

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-193646

(P2011-193646A)

(43) 公開日 平成23年9月29日(2011.9.29)

(51) Int.Cl.	F I	テーマコード (参考)
HO2M 7/48 (2007.01)	HO2M 7/48	Z 5H007
HO1L 25/07 (2006.01)	HO1L 25/04	C
HO1L 25/18 (2006.01)	HO2M 7/487	
HO2M 7/487 (2007.01)		

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願2010-58068 (P2010-58068)
 (22) 出願日 平成22年3月15日 (2010.3.15)

(71) 出願人 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 100150441
 弁理士 松本 洋一
 (72) 発明者 小松 康佑
 東京都品川区大崎一丁目11番2号 富士
 電機システムズ株式会社内
 Fターム(参考) 5H007 AA05 CA01 CB05 CC04 CC06
 HA03 HA04

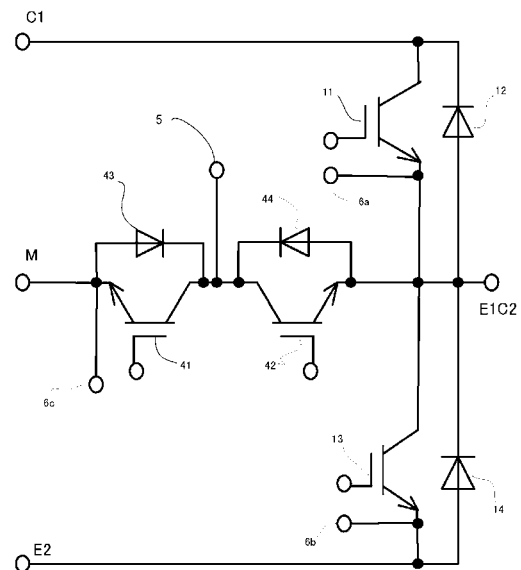
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 3レベルインバータ回路の半導体装置における IGBTの駆動電源数を減らし、かつ半導体装置の試験を行えるようにする。

【解決手段】 直流電源のPN間に接続される IGBTの直列接続回路と、この直列接続回路の直列接続点と直流電源の中性点との間に接続する交流スイッチ素子を1つのモジュールとした半導体装置において、交流スイッチ素子が、ダイオード43を逆並列接続した第1の IGBT 41とダイオード44を逆並列接続した第2の IGBT 42のコレクタ同士を接続して形成し、かつコレクタ同士の接続箇所を中間端子5を設ける。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

電圧形の 3 レベルインバータに適用する半導体装置であって、ダイオードを逆並列接続し、直流回路の正極端子にコレクタが接続された第 1 の I G B T と、ダイオードを逆並列接続し、直流回路の負極端子にエミッタが接続される第 2 の I G B T とを備え、第 1 の I G B T のエミッタと第 2 の I G B T のコレクタとの接続点と、直流回路の正極端子と負極端子との間に設けられた中性点端子との間に接続される交流スイッチとを、1 つのパッケージ内に収納した半導体モジュールにおいて、交流スイッチは、ダイオードを逆並列接続した第 3 の I G B T のコレクタとダイオードを逆並列接続した第 4 の I G B T のコレクタとを接続して構成し、第 3 の I G B T のコレクタと第 4 の I G B T のコレクタとの間に中間端子を設けることを特徴とする半導体装置。

10

【請求項 2】

各ダイオードを逆並列接続した第 1 の I G B T から第 4 の I G B T を 1 相分のスイッチ回路とし、該 1 相分スイッチ回路を複数個 1 つのパッケージ内に収納することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

第 1 の I G B T から第 4 の I G B T が補助エミッタの端子を備えることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】

第 1 の I G B T から第 4 の I G B T のうち、エミッタ同士が共通の電位である I G B T の補助エミッタの端子を共有することを特徴とする請求項 3 に記載の半導体装置。

20

【請求項 5】

第 1 の I G B T のコレクタと第 2 の I G B T のエミッタと中性点端子とが主端子であり、中間端子と第 1 の I G B T から第 4 の I G B T のゲートと補助エミッタとが主端子より小さい端子であることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

中間端子は、主端子及びゲートと補助エミッタの端子よりも低い位置にあることを特徴とする請求項 5 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

この発明は、3 レベルインバータや共振形インバータに用いる 3 レベル電力変換回路の半導体装置に関する。

【背景技術】

【0002】

図 4 に、従来技術を用いた直流から交流に変換する 3 レベル 3 相インバータの回路例を示す。1、2 が直列に接続された直流電源で、正極電位を P、負極電位を N、中性点電位を M としている。一般に直流電源を交流電源システムより構成する場合は、図示していないダイオード整流器で交流を全波整流し、大容量の電解コンデンサなどで平滑化する構成を用いることで可能である。

40

【0003】

正極電位 P と負極電位 N との間には、ダイオードを逆並列接続した I G B T の直列接続回路が 3 相分接続されている。即ち、U 相用の直列接続回路 60 はダイオード 12 を逆並列接続した I G B T 11 からなる上アームとダイオード 14 を逆並列接続した I G B T 13 からなる下アームとの直列接続回路で、V 相用の直列接続回路 61 はダイオード 22 を逆並列接続した I G B T 21 からなる上アームとダイオード 24 を逆並列接続した I G B T 23 からなる下アームとの直列接続回路で、W 相用の直列接続回路 62 はダイオード 32 を逆並列接続した I G B T 31 からなる上アームとダイオード 34 を逆並列接続した I G B T 33 からなる下アームとの直列接続回路で、それぞれ構成されている。

【0004】

50

各相の直列接続回路の上アームと下アームの直列接続点と直流中性点電位Mとの間には、ダイオードを逆並列接続したIGBTを逆直列接続した交流スイッチが接続されている。即ち、U相用の直列接続回路60の直列接続点と直流電源の中性点Mとの間には、ダイオード82を逆並列接続したIGBT81からなる半導体装置63のエミッタと、ダイオード84を逆並列接続したIGBT83からなる半導体装置64のエミッタとが接続された構成の交流スイッチ回路が接続されている。また、V相用の直列接続回路61の直列接続点と直流電源の中性点Mとの間には、ダイオード86を逆並列接続したIGBT85からなる半導体装置65のエミッタと、ダイオード88を逆並列接続したIGBT87からなる半導体装置66のエミッタとが接続された構成の交流スイッチ回路が接続されている。また、W相用の直列接続回路62の直列接続点と直流電源の中性点Mとの間には、ダイオード90を逆並列接続したIGBT89からなる半導体装置67のエミッタと、ダイオード92を逆並列接続したIGBT91からなる半導体装置68のエミッタとが接続された構成の交流スイッチ回路が接続されている。また、各直列接続回路60、61、62の直列接続点はU相、V相およびW相の各交流出力となり、各々フィルタ用リアクトル71、72、73を介して負荷74に接続される。

10

20

30

40

50

【0005】

この3相の回路構成とすることで、各直列接続回路60、61、62の直列接続点は、正極電位P、負極電位N、および中性点電位Mを出力することが可能となるため、3レベルのインバータ出力となる。2レベルタイプのインバータに対して、3つの電圧レベルを持った高調波成分の少ない交流電圧が出力されることが特徴であり、出力フィルタ71～73の小型化が可能となる。

【0006】

この図4における3相分全てを1つに収納して3相用のモジュールとした半導体装置、あるいは1相分を1つに収納してモジュールとした半導体装置が実現されている。1相分を1つに収納してモジュールとした半導体装置の場合は、単相用として使用できるのは勿論のこと、複数個を用いて図4の3相インバータを構成させてもよい。図5は、図4の1相分を1つに収納した半導体装置を示しており、(a)がモジュールの外観、(b)が内部の回路構成である。内蔵する半導体素子としては、IGBT11、13と、ダイオード12、14と、交流スイッチ15である。端子17が直流電源の正極電位Pに接続されるC1端子、端子18が直流電源の中性点電位Mに接続されるM端子、端子19が直流電源の負極電位Nに接続されるE2端子、端子16が負荷に接続されるE1C2端子である。図5(a)において、3は半導体素子や配線部材を絶縁して設置する金属性のベース基板、4はモジュールの絶縁ケースで、ベース基板3は内部で発生した熱を冷却フィンへ伝達する役目も担っている。なお、ベース基板3としては、アルミニウム板上に絶縁層を形成したアルミ絶縁基板や、銅等の金属箔を接合したアルミナ、窒化アルミなどのセラミック基板を銅又は合金の板上へ搭載したものがあり、近年では銅又は合金の板を省き金属箔を接合しただけのセラミック基板等が用いられる。いずれの場合もベース基板3の裏面は金属が露出し、絶縁ケース4内部に搭載する半導体素子は前記金属と絶縁体で絶縁されている。また図5(a)において、端子C1、M、およびE2は、モジュール上に一列状に配置した構成としている。図6は、図5において使用される交流スイッチ15の構成例である。図6(a)と図6(b)の例では、通常のIGBTは逆耐圧が微小であるため、IGBTとダイオードを直列接続して、逆方向の耐圧を確保している。図6(a)はダイオード43を逆並列接続したIGBT41のエミッタと、ダイオード44を逆並列接続したIGBT42のエミッタを接続して構成した交流スイッチの回路構成である。端子Kから端子Lへ電流を流す場合は、IGBT41をオンさせ、IGBT41ダイオード44の経路で流し、端子Lから端子Kへ電流を流す場合は、IGBT42をオンさせ、IGBT42ダイオード43の経路で、各々電流を流す。

【0007】

図6(b)はダイオード43を逆並列接続したIGBT41のコレクタと、ダイオード44を逆並列接続したIGBT42のコレクタを接続して構成した交流スイッチの回路

構成である。端子Kから端子Lへ電流を流す場合は、IGBT42をオンさせ、ダイオード43 IGBT42の経路で流し、端子Lから端子Kへ電流を流す場合は、IGBT41をオンさせ、ダイオード44 IGBT41の経路で、各々電流を流す。

【0008】

図6(c)は逆方向の耐圧を備えたIGBTである逆阻止形IGBT45、46を逆並列接続して、交流スイッチを構成した例である。端子Kから端子Lへ電流を流す場合は逆阻止形IGBT45をオンさせ、端子Lから端子Kへ電流を流す場合は逆阻止形IGBT46をオンさせれば良い。(例えば、下記特許文献1参照。)

尚、交流スイッチとしてIGBTの逆直列回路や逆阻止形IGBTの逆並列接続回路の例を示したが、ダイオードブリッジ回路とIGBTの組合せ回路や、その他の種類の半導体スイッチング素子でも実現可能である。

10

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2008-193779号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

図6(a)のエミッタを共通接続としたIGBTを交流スイッチ15とした図5の回路構成では、IGBT11、IGBT13をそれぞれ駆動するための2つの駆動電源と、IGBT41とIGBT42を駆動するための2つの駆動電源の合計4つの駆動電源が必要となる。

20

【0011】

一方、図6(b)のコレクタを共通接続としたIGBTを交流スイッチ15とした図5の回路構成では、IGBT11のエミッタとIGBT42のエミッタが接続されてエミッタ電位が同電位となっているので、IGBT11とIGBT42の駆動電源を共通とすることができ、IGBT11とIGBT42を駆動する1つの駆動電源と、IGBT13とIGBT41を駆動するための2つの駆動電源の合計3つの駆動電源に減らすことが可能である。駆動電源を減らすことで、インバータ自体の小型化、低価格化を図ることが可能となる。

30

【0012】

しかしながら、図6(b)のコレクタを共通接続としたIGBTを交流スイッチ15とした図5の回路構成では、駆動電源を減らせる反面、交流スイッチ15の部分で次の課題がある。

【0013】

即ち、図4における3相分全てを1つに収納してモジュールとする、あるいは1相分を1つに収納してモジュールとした半導体装置は、いずれも製品が完成した時点で絶縁試験が行われる。絶縁試験とは、モジュールの主端子と、制御端子等モジュールの外部に突出している端子を交流電源の1端に接続し、ベース基板3の裏面に露出している金属を交流電源の他端に接続し、例えば3.0kVの電圧を印加してモジュール内の半導体素子とベース基板3裏面の金属が導通しないことを確認する試験である。この絶縁試験について図7を用いて説明する。図7は、ベース基板として銅ベース8上のセラミック基板7を用いた例である。図7(a)に示すように、交流電源9から電流Iが加えられ端子側に正の電圧が印加された際に、セラミック基板7(点線で示す)上の回路パターン(図示せず)とセラミック基板7の裏面の銅ベース8との間に電荷が蓄えられる。ここで、交流スイッチ部分で銅ベース8との間で蓄えられる電荷としては、電流 I_1 のうち、IGBT41のエミッタと銅ベースの間の容量成分 C_1 に加えられる充電電流 I_{11} により蓄えられる電荷 Q_1 、電流 I_2 のうち、IGBT42のエミッタと銅ベースの間の容量成分 C_2 に加えられる充電電流 I_{21} により蓄えられる電荷 Q_2 、ダイオード43を流れる電流 I_3 とダイオード44を流れる電流 I_4 による充電電流 I_3+I_4 でカソードと銅ベースの間の容

40

50

量成分 C_3 に蓄えられる電荷 Q_3 の3つがある。

【0014】

次に、図7(b)に示すように、交流電源9から印加する電圧が低下するとセラミック基板7に蓄えられた電荷が放電される。この時、IGBT41, 42の各エミッタと銅ベース間の容量成分 C_1 、 C_2 に蓄えられた電荷 Q_1 、 Q_2 による放電電流 I_{11} 、 I_{21} は交流電源側へ流れていくが、コレクタと銅ベース間の容量成分 C_3 に蓄えられた電荷 Q_3 による放電電流 $I_3 + I_4$ はダイオードに阻止され流ることができず放電されずに残る。このコレクタと銅ベース間の容量成分 C_3 に残った電荷 Q_3 により、IGBT41, 42のコレクタ - エミッタ間に大きな電位差が生じ、IGBT41, 42が破壊にいたる場合がある。

10

【0015】

また、図7の交流スイッチでは、IGBT41のコレクタとIGBT42のコレクタが共通であるため、補助エミッタ6c、6dが交流スイッチの両端に設けられることとなる。このため、補助エミッタ6c、6dも用いて個別の素子評価を行おうとする時に、測定できる特性がIGBT41とダイオード44及びIGBT42とダイオード43といったIGBTとダイオードの総合した特性となってしまう、個別の素子評価が困難であるという課題がある。

【0016】

この発明は、上述した従来技術による課題を解消するため、半導体装置の絶縁試験における破壊を防ぎ、半導体装置内の個別の素子評価を行えるようにすることを目的とする。

20

【課題を解決するための手段】

【0017】

上述した課題を解決し、目的を達成するため、請求項1の発明にかかる半導体装置は、以下の特徴を有する。電圧形の3レベルインバータに適用する半導体装置であって、ダイオードを逆並列接続し、直流回路の正極端子にコレクタが接続された第1のIGBTと、ダイオードを逆並列接続し、直流回路の負極端子にエミッタが接続される第2のIGBTとを備え、第1のIGBTのエミッタと第2のIGBTのコレクタとの接続点と、直流回路の正極端子と負極端子との間に設けられた中性点端子との間に接続される交流スイッチとを、1つのパッケージ内に収納した半導体モジュールにおいて、交流スイッチは、ダイオードを逆並列接続した第3のIGBTのコレクタとダイオードを逆並列接続した第4のIGBTのコレクタとを接続して構成し、第3のIGBTのコレクタと第4のIGBTのコレクタとの間に中間端子を設ける。

30

【0018】

また、請求項2の発明にかかる半導体装置は、請求項1に記載の発明において、各ダイオードを逆並列接続した第1のIGBTから第4のIGBTを1相分のスイッチ回路とし、該1相分スイッチ回路を複数個1つのパッケージ内に収納することを特徴とする。

【0019】

また、請求項3の発明にかかる半導体装置は、請求項1または2に記載の発明において、第1のIGBTから第4のIGBTが補助エミッタの端子を備えることを特徴とする。

40

また、請求項4の発明にかかる半導体装置は、請求項3に記載の発明において、第1のIGBTから第4のIGBTのうち、エミッタ同士が共通の電位であるIGBTの補助エミッタの端子を共有することを特徴とする。

【0020】

また、請求項5の発明にかかる半導体装置は、請求項1～4に記載の発明のいずれかにおいて、第1のIGBTのコレクタと第2のIGBTのエミッタと中性点端子とが主端子であり、中間端子と第1のIGBTから第4のIGBTのゲートと補助エミッタとが主端子よりも小さい端子であることを特徴とする。

【0021】

また、請求項6の発明にかかる半導体装置は、請求項5に記載の発明において、中間端子は、主端子及びゲートと補助エミッタの端子よりも低い位置にあることを特徴とする。

50

【発明の効果】

【0022】

本発明にかかる半導体装置によれば、半導体装置の絶縁試験における破壊するおそれがなく、半導体装置内の個別の素子評価が行えるようになるという効果を奏する。

【図面の簡単な説明】

【0023】

【図1】実施の形態1にかかる半導体装置を示す回路図である。

【図2】実施の形態1にかかる半導体装置の試験状態を示す回路図である。

【図3】実施の形態1にかかる半導体装置を示す側面図である。

【図4】従来 of 3 レベルインバータの回路図である。

10

【図5】従来 of 半導体装置を示す構成図であり、(a) は外観を示す斜視図であり、(b) は回路図である。

【図6】従来 of 交流スイッチを示す回路図である。

【図7】従来 of 絶縁試験を示す回路図である。

【発明を実施するための形態】

【0024】

以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

(実施の形態1)

20

図1は、実施の形態1にかかる半導体装置を示す回路図であり、図5(b)に対応している。図1に示す半導体装置が図5(b)と異なる点は、交流スイッチ15として、ダイオード43を逆並列接続したIGBT41のコレクタと、ダイオード44を逆並列接続したIGBT42のコレクタを接続して構成し、更にIGBT41のコレクタとIGBT42のコレクタとの間に中間端子5を設けたことである。端子Mから端子E1C2へ電流を流す場合は、IGBT42をオンさせ、ダイオード43 IGBT42の経路で流し、端子E1C2から端子Mへ電流を流す場合は、IGBT41をオンさせ、ダイオード44 IGBT41の経路で、各々電流を流す。この電流を流す動作は、図5(b)の回路図と同じである。なお、6a, 6b及び6cは、IGBT11, IGBT13及びIGBT41の補助エミッタである。IGBT42の補助エミッタは、IGBT11の補助エミッタ6aで兼用できるため設けていない。この図1の回路構成を1相分として、モジュールとした半導体装置が構成できる。また、図1の回路構成を1相分として複数個を組み込み、例えば3相分を1つに収納してモジュールとした半導体装置が構成できる。

30

【0025】

次に、半導体装置が完成した時点で行われる絶縁試験について説明する。図2は、モジュールの主端子と、制御端子等モジュールの外部に突出している端子を交流電源9の1端に接続し、ベース基板3の裏面に露出している金属を交流電源の他端に接続し、例えば3.0kVの電圧を印加してモジュール内の半導体素子とベース基板3裏面の金属が導通しないことを確認する試験の一部を示した回路図である。図2では、図1の回路構成のうち、交流スイッチとなるIGBT41, IGBT42, ダイオード43及びダイオード44

の部分だけを示しているが、IGBT11, IGBT13、ダイオード12及びダイオード14の部分も同様に試験が行われる。この絶縁試験について図2を用いて説明する。図2は、ベース基板として銅ベース基板8上のセラミック基板7を用いた例である。図2(a)に示すように、交流電源9から電流Iが加えられ端子側に正の電圧が印加された際に、セラミック基板7(点線で示す)上の回路パターン(図示せず)とセラミック基板7の裏面の銅ベース8との間に電荷が蓄えられる。ここで、交流スイッチ部分で銅ベース8との間で蓄えられる電荷としては、電流I₁のうち、IGBT41のエミッタと銅ベースの間の容量成分C₁に加えられる充電電流I₁₁により蓄えられる電荷Q₁、電流I₂のうち、IGBT42のエミッタと銅ベースの間の容量成分C₂に加えられる充電電流I₂₁により蓄えられる電荷Q₂、ダイオード43を流れる電流I₃とダイオード44を流れる

40

50

電流 I_4 と中間端子 5 を介して流れる電流 I_5 による充電電流 $I_3 + I_4 + I_5$ でカソードと銅ベースの間の容量成分 C_3 に蓄えられる電荷 Q_3 の 3 つがある。

【0026】

次に、図 2 (b) に示すように、交流電源 9 から印加する電圧が低下するとセラミック基板 7 に蓄えられた電荷が放電される。この時、IGBT 41, 42 の各エミッタと銅ベース間の容量成分 C_1 、 C_2 に蓄えられた電荷 Q_1 、 Q_2 による放電電流 I_{11} 、 I_{21} は交流電源側へ流れていく。また、コレクタと銅ベース間の容量成分 C_3 に蓄えられた電荷 Q_3 による放電電流 $I_3 + I_4 + I_5$ は中間端子 5 を介して交流電源側へ流れていく。このように、コレクタと銅ベース間の容量成分 C_3 に蓄えられた電荷 Q_3 が放電されて残らないので、IGBT 41, 42 のコレクタ - エミッタ間に大きな電位差が生じることがなく、IGBT 41, 42 が破壊にいたることがなくなる。

10

【0027】

また、図 1 において、IGBT 41 のコレクタと IGBT 42 のコレクタ間に中間端子 5 を設けたことにより、IGBT 41、ダイオード 44、IGBT 42 及びダイオード 43 の素子特性を個別に測定することができ、個別の素子評価が行え、不具合時の原因究明が可能となる。

【0028】

次に、図 3 は、半導体装置をインバータとして使用時の状態を示す側面図である。図 3 において、3 は半導体素子や配線部材を絶縁して設置する金属性のベース基板で、内部で発生した熱を冷却フィンへ伝達する役目も担っている。ベース基板 3 としては、アルミニウム板上に絶縁層を形成したアルミ絶縁基板や、銅等の金属箔を接合したアルミナ、窒化アルミなどのセラミック基板を銅又は合金の板上へ搭載したものや、銅又は合金の板を省き金属箔を接合しただけのセラミック基板等を用いる。モジュールの絶縁ケース 4 の上面には U 相用の主端子となる E1C2 である U 端子 16 と、負極電位 N の主端子となる E2 の N 端子 19 と、中性点電位 M の主端子となる M の M 端子 18 と、正極電位 P の主端子となる C1 の P 端子 17 がこの順に一行に配置されている。そして、絶縁ケース 4 の P 端子 17 側の側端には、ゲートと補助エミッタの端子 20 が配置されている。10 は、制御回路等と接続するための配線基板である。制御回路との接続は、配線基板 10 の他にブスバーや電線での接続でもよい。樹脂ケース 4 の他方の側端には、主端子及び端子 20 より低い位置に中間端子 5 が設けられている。このような半導体装置の端子配置とすることで、次の効果を奏する。まず、N 端子 19、M 端子 18 及び P 端子 17 がこの順で配置されることにより、N 端子 19 と M 端子 18 の間、M 端子 18 と P 端子 17 の間のそれぞれにコンデンサを接続配置しやすくなる。また、U 端子 16 と端子 20 が離れることにより、出力端子を流れる主電流の端子 20 への影響を小さくすることができる。また、中間端子 5 を主端子及び端子 20 より低くすることにより、配線基板 10 での接続配線の妨げになることがない。なお、主端子、端子 20 及び中間端子 5 が対地に対する絶縁規格の絶縁距離を満たしており、端子 20 と中間端子 5 は主端子よりも小さい。

20

30

【産業上の利用可能性】

【0029】

以上のように、本発明にかかる半導体装置は、ダイオードを逆並列接続した IGBT を 2 個直列接続した直列接続回路と、ダイオードを逆並列接続した IGBT をコレクタ共通で 2 個直列接続した交流スイッチを 1 つのモジュールとして一体化したものであり、3 レベルインバータ回路、3 レベルコンバータ回路及び共振形回路などへの適用が可能である。

40

【符号の説明】

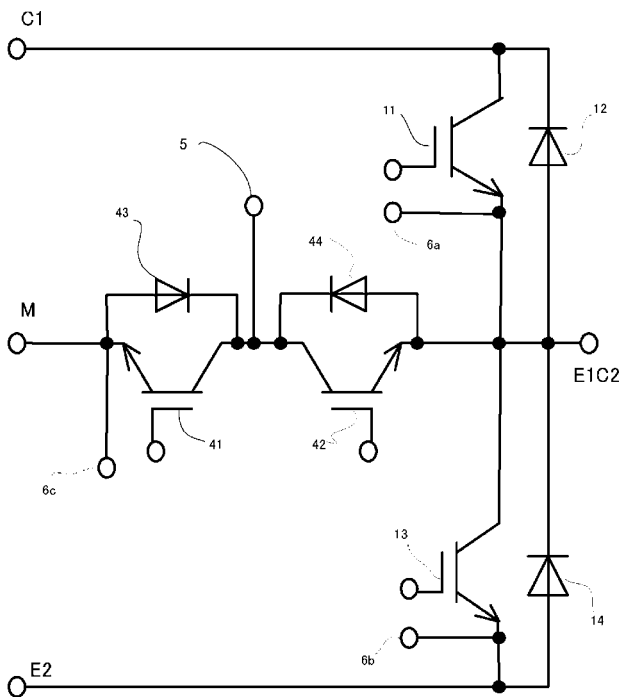
【0030】

- 1、2 直流電源
- 3 ベース基板
- 4 絶縁ケース
- 5 中間端子

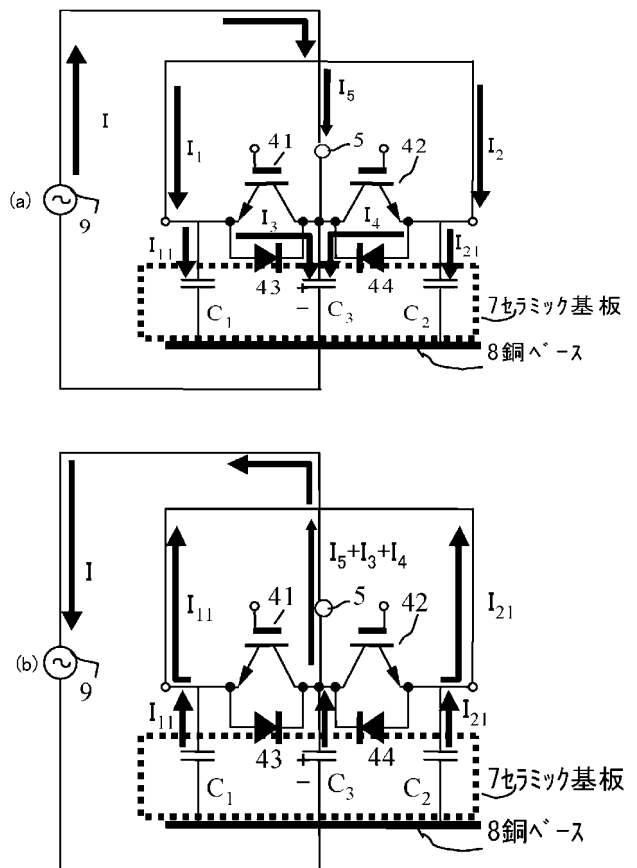
50

- 6 a , 6 b , 6 c , 6 d 補助エミッタ
- 7 セラミック基板
- 8 銅ベース
- 9 交流電源
- 10 配線基板
- 11 , 13 , 41 , 42 IGBT
- 12 , 14 , 43 , 44 ダイオード
- 15 交流スイッチ
- 16 U端子
- 17 P端子
- 18 M端子
- 19 N端子
- 20 端子

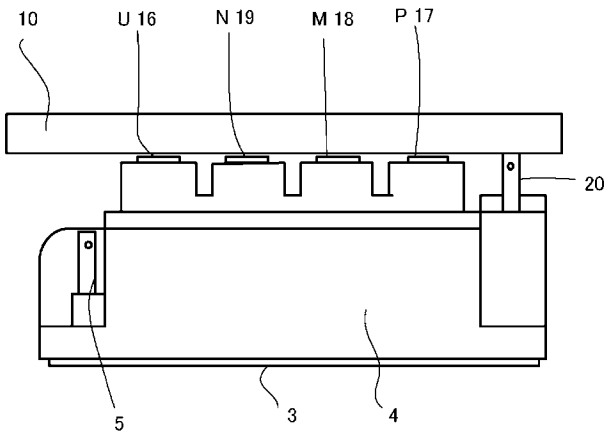
【 図 1 】



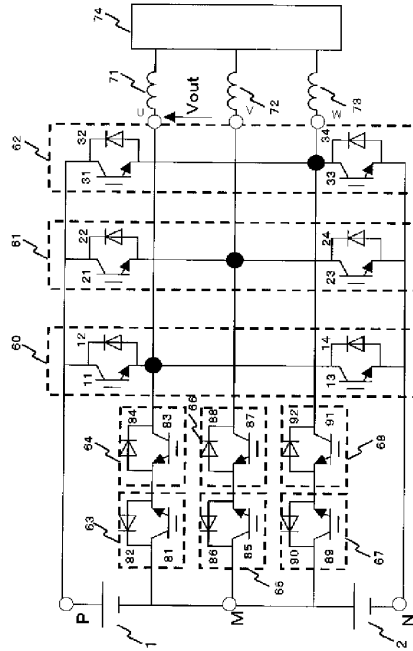
【 図 2 】



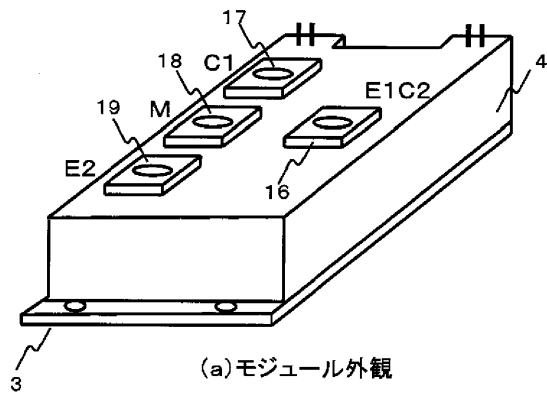
【 図 3 】



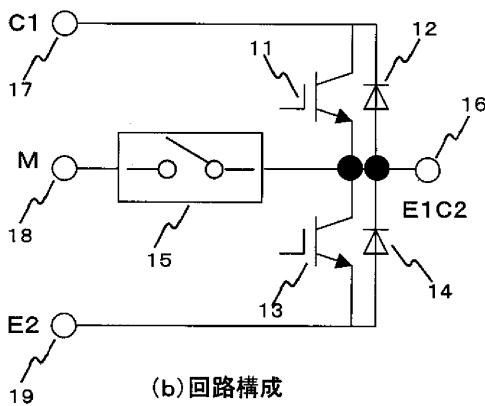
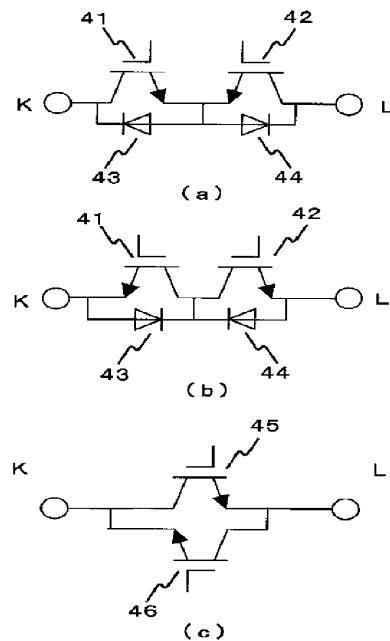
【 図 4 】



【 図 5 】



【 図 6 】



【 図 7 】

