

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5839474号
(P5839474)

(45) 発行日 平成28年1月6日(2016.1.6)

(24) 登録日 平成27年11月20日(2015.11.20)

(51) Int.Cl.	F I				
G 1 1 C 14/00 (2006.01)	G 1 1 C	11/34	3 5 2 A		
H O 1 L 27/10 (2006.01)	H O 1 L	27/10	4 6 1		
H O 1 L 21/336 (2006.01)	H O 1 L	29/78	3 7 1		
H O 1 L 29/788 (2006.01)	H O 1 L	27/10	4 3 4		
H O 1 L 29/792 (2006.01)	H O 1 L	27/10	4 8 1		
請求項の数 1 (全 66 頁) 最終頁に続く					

(21) 出願番号 特願2012-48001 (P2012-48001)
 (22) 出願日 平成24年3月5日(2012.3.5)
 (65) 公開番号 特開2012-256405 (P2012-256405A)
 (43) 公開日 平成24年12月27日(2012.12.27)
 審査請求日 平成26年12月23日(2014.12.23)
 (31) 優先権主張番号 特願2011-65210 (P2011-65210)
 (32) 優先日 平成23年3月24日(2011.3.24)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2011-108886 (P2011-108886)
 (32) 優先日 平成23年5月14日(2011.5.14)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 小林 英智
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 前橋 幸男
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 滝谷 亮一

最終頁に続く

(54) 【発明の名称】 信号処理回路

(57) 【特許請求の範囲】

【請求項1】

演算部と、メモリと、前記演算部及び前記メモリを制御する制御部と、を有し、
 前記制御部は、第1の揮発性の記憶回路と、前記第1の揮発性の記憶回路に保持されたデータを記憶する第1の記憶回路と、の組を有し、
 前記メモリは、第2の記憶回路を複数有し、
 前記第1の記憶回路及び前記第2の記憶回路それぞれは、チャンネルが酸化物半導体層に形成されるトランジスタと、前記トランジスタがオフ状態となることによってフローティングとなるノードに一对の電極のうち的一方が電気的に接続された容量素子と、を有し、
 前記第1の記憶回路が有する前記容量素子の一对の電極のうち他方と、前記第2の記憶回路が有する前記容量素子の一对の電極のうち他方と、は、互いに分離されることなく共通に設けられ、且つ、前記演算部、前記メモリ、及び前記制御部を構成するトランジスタを覆うように設けられていることを特徴とする信号処理回路。

【発明の詳細な説明】

【技術分野】

【0001】

電源を切っても記憶している論理状態が消えない不揮発性の記憶回路を用いた信号処理回路に関する。また、当該信号処理回路を用いた電子機器に関する。

【背景技術】

【0002】

中央演算処理装置（CPU：Central Processing Unit）などの信号処理回路は、その用途によって多種多様な構成を有しているが、一般的に、データやプログラムを記憶するためのメインメモリの他に、レジスタやキャッシュメモリなど、各種の記憶回路が設けられている。

【0003】

レジスタやキャッシュメモリ等の記憶回路は、メインメモリよりも高速でデータの読み書きを行う必要がある。よって、通常は、レジスタとしてフリップフロップが、キャッシュメモリとしてSRAM（Static Random Access Memory）等が用いられる。つまり、これらのレジスタ、キャッシュメモリ等には、電源電圧の供給が途絶えるとデータを消失してしまう揮発性の記憶回路が用いられている。

10

【0004】

消費電力を抑えるため、データの入出力が行われない期間において信号処理回路への電源電圧の供給を一時的に停止するという方法が提案されている。その方法では、レジスタ、キャッシュメモリ等の揮発性の記憶回路の周辺に不揮発性の記憶回路を配置し、上記データをその不揮発性の記憶回路に一時的に記憶させる。こうして、信号処理回路において電源電圧の供給を停止する間も、レジスタ、キャッシュメモリ等はデータを保持する（例えば、特許文献1参照）。

【0005】

また、信号処理回路において長時間の電源電圧の供給停止を行う際には、電源電圧の供給停止の前に、揮発性の記憶回路内のデータをハードディスク、フラッシュメモリ等の外部記憶装置に移すことで、データの消失を防ぐこともできる。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平10-078836号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

特許文献1に開示されたような信号処理回路では、不揮発性の記憶回路を構成する記憶素子として強誘電体を用いられている。強誘電体を用いた記憶素子では、データの書き込みを繰り返すことによって、強誘電体材料が疲労し、書き込み不良となる等の問題があり、書き換え回数が制限される。また、データの処理速度（以下、アクセススピードとも呼ぶ）、例えば、読み書きの速度が遅い。

30

【0008】

また、不揮発性の記憶回路としてフラッシュメモリを用いた場合、高電圧を印加してトンネル電流により電子を注入または放出する動作を行うため、データの書き換えを繰り返すことによる各記憶素子の劣化が激しい等の問題があり、書き換え回数が制限される。また、アクセススピードが遅い。

【0009】

また、信号処理回路において電源電圧の供給を停止する間、外部記憶装置に揮発性の記憶回路のデータを記憶させる信号処理回路では、外部記憶装置から揮発性の記憶回路にデータを戻すための時間を要する。よって、このような信号処理回路は、消費電力の低減を目的とした短時間の電源停止には適さない。

40

【0010】

上述の課題に鑑み、本発明は、電源電圧の供給を停止しても記憶している論理状態が消えない、新たな構成の記憶回路を用いた信号処理回路を提供することを目的の一つとする。

【課題を解決するための手段】

【0011】

本発明の信号処理回路の一態様は、演算部と、メモリと、演算部及びメモリを制御する

50

制御部と、を有する。制御部は、第1の揮発性の記憶回路と、第1の揮発性の記憶回路に保持されたデータを記憶するための第1の不揮発性の記憶回路と、の組を有し、メモリは、第2の不揮発性の記憶回路を有する構成とする。なお、メモリは第2の不揮発性の記憶回路がマトリクス状に複数設けられていてもよい。制御部において、電源電圧が供給されている間に、第1の揮発性の記憶回路に保持されたデータを第1の不揮発性の記憶回路に入力して記憶させる（以下、データ格納とも呼ぶ）。データ格納は、第1の揮発性の記憶回路が所定のデータを保持すると同時に行うこともできるし、その後に行うこともできる。そして、第1の不揮発性の記憶回路に記憶されたデータが第1の揮発性の記憶回路からの信号によって変動しないような状態とする（以下、データ待機とも呼ぶ）。具体的には、第1の不揮発性の記憶回路において、データに対応する信号電位が保持されたノードをフローティング状態とする。データ待機の後、制御部全体（またはその大部分）において、電源電圧の供給を停止する。電源電圧の供給が停止した後も、第1の揮発性の記憶回路のデータを第1の不揮発性の記憶回路によって保持することができる。そして、必要に応じて、制御部全体またはその一部において選択的に電源電圧の供給を行う。その後、制御部のうち電源電圧供給が選択された部分において、第1の不揮発性の記憶回路に保持していたデータを第1の揮発性の記憶回路に移動する（以下、データ提供とも呼ぶ）。こうして、制御部のうち電源電圧供給が選択された部分において、第1の揮発性の記憶回路によって所定の動作を行うことができる。

10

【0012】

このように、必要な場合にのみ電源電圧を供給する（以下、ノーマリオフとも呼ぶ）駆動方法を採用することによって、信号処理回路の消費電力を大幅に低減することができる。また、第1の揮発性の記憶回路は、第1の不揮発性の記憶回路よりもデータ書き込み及び読み出しのスピードが速い。よって、制御部のうち電源電圧供給が選択された部分における動作速度を速くすることが可能であり、信号処理回路を高速で動作させることができる。また、メモリも、電源電圧の供給が停止した後もデータを保持し続けることができる。

20

【0013】

（不揮発性の記憶回路の構成）

ここで上記不揮発性の記憶回路（第1の不揮発性の記憶回路及び第2の不揮発性の記憶回路それぞれ）は、オフ電流が著しく小さいトランジスタと、当該トランジスタがオフ状態となることによってフローティングとなるノードに一对の電極のうち的一方が電氣的に接続された容量素子とを有する構成とする。当該不揮発性の記憶回路では、容量素子の一对の電極のうち的一方の電位（またはそれに対応する電荷量）をデータに応じて制御することによって、データを記憶する。例えば、容量素子に所定の電荷が充電された状態を「1」に対応させ、容量素子に電荷が充電されていない状態を「0」に対応させることによって、1ビットのデータを記憶することができる。ここで、オフ電流が極めて小さいトランジスタとしては、シリコンよりも広いバンドギャップを有する半導体となる層や基板中にチャンネルが形成されるトランジスタを用いることができる。シリコンよりも広いバンドギャップを有する半導体として化合物半導体があり、例えば、酸化物半導体、窒化物半導体などがある。例えば、オフ電流が著しく小さいトランジスタとして、チャンネルが酸化物半導体層に形成されるトランジスタを用いることができる。

30

40

【0014】

このような不揮発性の記憶回路では、オフ電流が著しく小さいトランジスタをオフ状態とすることにより、電源電圧の供給が停止した後も、容量素子の一对の電極のうち的一方の電位を長期間に渡って保持することが可能となる。そのため、上記構成の不揮発性の記憶回路を用いたメモリでは、定期的なデータの再書き込み動作（以下、リフレッシュ動作とも呼ぶ）が不要、若しくはリフレッシュ動作を行う頻度を非常に低くすることが可能となる。

【0015】

また、このような不揮発性の記憶回路では、データに対応する信号電位を所定のノード

50

(容量素子の一对の電極のうち的一方)に入力し、オフ電流が非常に小さなトランジスタをオフ状態として、当該ノードをフローティング状態とすることにより、データを記憶する構成である。そのため、当該不揮発性の記憶回路において、データの書き換えを繰り返すことによる疲労は少なく、データの書き換え可能な回数を多くすることができる。

【0016】

ここで、第1の不揮発性の記憶回路(制御部の不揮発性の記憶回路)が有するオフ電流が著しく小さいトランジスタと、第2の不揮発性の記憶回路(メモリの不揮発性の記憶回路)が有するオフ電流が著しく小さいトランジスタとは、同一工程で作製することができる。例えば、これらトランジスタのゲート電極は、同一の導電膜をエッチング加工して形成することができる。また例えば、これらトランジスタのソース電極及びドレイン電極は、同一の導電膜をエッチング加工して形成することができる。また例えば、これらトランジスタの活性層(チャンネルが形成される半導体層)は、同一の半導体層をエッチング加工して形成することができる。

10

【0017】

また、第1の不揮発性の記憶回路(制御部の不揮発性の記憶回路)が有する容量素子と、第2の不揮発性の記憶回路(メモリの不揮発性の記憶回路)が有する容量素子とは、同一工程で作製することができる。例えば、これら容量素子の一对の電極のうち的一方は、同一の導電膜をエッチング加工して形成することができる。また例えば、これら容量素子の誘電体層は、同一の絶縁膜をエッチング加工して形成することができる。なお、これら容量素子の誘電体層を、互いに分離することなく共通に設けることもできる。また例えば、これら容量素子の一对の電極のうち他方は、同一の導電膜をエッチング加工して形成することができる。なお、これら容量素子の一对の電極のうち他方を、互いに分離することなく共通に設けることもできる。この場合には、分離することなく共通に設けられた導電層を、信号処理回路の遮蔽層や遮光層として用いることができる。例えば、信号処理回路を構成するトランジスタ等の素子を覆うように当該導電層を設けることによって、外部の電界等が信号処理回路を構成する素子に与える影響を低減することができる。また例えば、信号処理回路を構成するトランジスタ等の素子が形成された基板の一面(表面または裏面)を覆うように当該導電層を設けることによって、外部の電界等が信号処理回路を構成する素子に与える影響を低減することができる。このように、容量素子の一对の電極のうち他方の電極を遮蔽層や遮光層として機能させることにより、作製工程を増加させることなく、信頼性の高い信号処理回路を提供することができる。

20

30

【0018】

(揮発性の記憶回路の構成)

第1の揮発性の記憶回路(制御部が有する揮発性の記憶回路)としては、少なくとも2つの演算回路を有し、一方の演算回路の出力が他方の演算回路に入力され、他方の演算回路の出力が一方の演算回路に入力されるような、帰還ループを有する構成とすることができる。このような構成の記憶回路としては、フリップフロップ回路や、ラッチ回路がある。

【0019】

なお、CPU、マイクロプロセッサ、画像処理回路、DSP(Digital Signal Processor)、FPGA(Field Programmable Gate Array)等のLSI(Large Scale Integrated Circuit)等が、本発明の信号処理回路の範疇に含まれる。演算部は、ALU(Arithmetic Logic Unit)と呼ぶこともできる。メモリは、データやプログラムを記憶するメインメモリとして機能させることができる。

40

【0020】

(演算部のバリエーション)

演算部は、第2の揮発性の記憶回路と、第2の揮発性の記憶回路に保持されたデータを記憶するための第3の不揮発性の記憶回路と、の組を有していてもよい。第3の不揮発性の記憶回路の構成は、上記第1の不揮発性の記憶回路及び第2の不揮発性の記憶回路と同

50

様とすることができる。ここで、第2の揮発性の記憶回路（演算部が有する揮発性の記憶回路）としては、例えば、クロック信号に同期してデータを入出力するフリップフロップ回路を用いることができる。

【0021】

ここで、第3の不揮発性の記憶回路（演算部の不揮発性の記憶回路）が有するオフ電流が著しく小さいトランジスタと、第1の不揮発性の記憶回路（制御部の不揮発性の記憶回路）が有するオフ電流が著しく小さいトランジスタと、第2の不揮発性の記憶回路（メモリの不揮発性の記憶回路）が有するオフ電流が著しく小さいトランジスタとは、同一工程で作製することができる。例えば、これらトランジスタのゲート電極は、同一の導電膜をエッチング加工して形成することができる。また例えば、これらトランジスタのソース電極及びドレイン電極は、同一の導電膜をエッチング加工して形成することができる。また例えば、これらトランジスタの活性層（チャンネルが形成される半導体層）は、同一の半導体層をエッチング加工して形成することができる。

10

【0022】

また、第3の不揮発性の記憶回路（演算部の不揮発性の記憶回路）が有する容量素子と、第1の不揮発性の記憶回路（制御部の不揮発性の記憶回路）が有する容量素子と、第2の不揮発性の記憶回路（メモリの不揮発性の記憶回路）が有する容量素子とは、同一工程で作製することができる。例えば、これら容量素子の一对の電極のうち的一方は、同一の導電膜をエッチング加工して形成することができる。また例えば、これら容量素子の誘電体層は、同一の絶縁膜をエッチング加工して形成することができる。なお、これら容量素子の誘電体層を、互いに分離することなく共通に設けることもできる。また例えば、これら容量素子の一对の電極のうち他方は、同一の導電膜をエッチング加工して形成することができる。なお、これら容量素子の一对の電極のうち他方を、互いに分離されことなく共通に設けることもできる。この場合には、分離されことなく共通に設けられた導電層を、信号処理回路の遮蔽層や遮光層として用いることができる。例えば、信号処理回路を構成するトランジスタ等の素子を覆うように当該導電層を設けることによって、外部の電界等が信号処理回路を構成する素子に与える影響を低減することができる。また例えば、信号処理回路を構成するトランジスタ等の素子が形成された基板の一面（表面または裏面）を覆うように当該導電層を設けることによって、外部の電界等が信号処理回路を構成する素子に与える影響を低減することができる。このように、容量素子の一对の電極のうち他方の電極を遮蔽層や遮光層として機能させることにより、作製工程を増加させることなく、信頼性の高い信号処理回路を提供することができる。

20

30

【0023】

（制御部のバリエーション）

制御部は、デコーダと、制御回路と、レジスタと、電源回路とを有する構成とすることができる。

【0024】

デコーダはコマンドをデコードする。また、デコーダは、メモリへの電源電圧供給停止時において、外部からの入力により電源回路や制御回路に制御信号を入力する機能を有していてもよい。また、デコーダは、カウンタ（タイマ）を有し、メモリへの電源電圧供給停止時において、カウンタ（タイマ）により電源回路や制御回路に制御信号を入力する機能を有していてもよい。制御回路は、デコードされたコマンドに基づき、レジスタや演算部やメモリを制御する。レジスタは、演算部に入力されるデータや、演算部から出力されるデータを一時的に記憶する。電源回路はデコーダによって制御され、演算部、制御回路、レジスタ、及びメモリへの電源電圧の供給を制御する。なお、演算部、制御回路、レジスタ、及びメモリのそれぞれをモジュールとも呼ぶ。ここで、電源回路は、モジュール毎に電源電圧の供給または停止を選択することができる。つまり、電源回路は、全てのモジュール（演算部、制御回路、レジスタ、及びメモリ）において電源電圧の供給を行うことができるし、一部のモジュール（演算部、制御回路、レジスタ、メモリのうちのいずれか）において選択的に電源電圧の供給を行うこともできる。

40

50

【 0 0 2 5 】

レジスタは、第3の揮発性の記憶回路と、第3の揮発性の記憶回路に保持されたデータを記憶するための第4の不揮発性の記憶回路と、の組を有し、制御回路は、第4の揮発性の記憶回路と、第4の揮発性の記憶回路に保持されたデータを記憶するための第5の不揮発性の記憶回路との組を有する構成とすることができる。第3の揮発性の記憶回路及び第4の揮発性の記憶回路は、上記第1の揮発性の記憶回路（制御部が有する揮発性の記憶回路）に相当する。第4の不揮発性の記憶回路及び第5の不揮発性の記憶回路は、上記第1の不揮発性の記憶回路（制御部が有する不揮発性の記憶回路）に相当する。

【 0 0 2 6 】

ここで、レジスタが有する第3の揮発性の記憶回路としては、例えば、クロック信号に同期してデータを入出力するフリップフロップ回路や、ラッチ回路を用いることができる。また、制御回路が有する第4の揮発性の記憶回路としては、例えば、クロック信号に同期してデータを入出力するフリップフロップ回路を用いることができる。

10

【 0 0 2 7 】

なお、レジスタにおいて、1ビットのデータを記憶する第3の揮発性の記憶回路1つに、1ビットのデータを記憶する第4の不揮発性の記憶回路が複数対応するように設けられていてもよい。ここで、複数の第4の不揮発性の記憶回路それぞれをバンクとも呼ぶ。こうして、ノーマリオフの駆動方法を行う場合において、電源電圧の供給を選択された際に、複数の第4の不揮発性の記憶回路（複数のバンク）から1つの第4の不揮発性の記憶回路（バンク）を選択し、選択された第4の不揮発性の記憶回路（バンク）に保持された1

20

【 発明の効果 】

【 0 0 2 8 】

上記した新たな構成の不揮発性の記憶回路を信号処理回路に用いることによって、電源電圧の供給を停止した後も信号処理回路はデータを長期間にわたって保持し続けることができる。よって、ノーマリオフの駆動方法を行うことができる。それ故、信号処理回路の消費電力を大幅に低減することができる。そして、電源電圧の供給を選択された際、信号処理回路は直ぐに保持されたデータを用いて所定の処理を開始することができる。そのため、信号処理回路において、電源電圧の供給を選択された後に所定の処理を開始する迄の時間を短くすることができる。また、電源電圧が供給されているモジュールにおいては、揮発性の記憶回路を用いて所定の処理を行うため、信号処理回路のアクセススピードを高速化することが可能である。更に、信号処理回路に用いる不揮発性の記憶回路として、書き込み可能な回数が多く信頼性の高い回路を用いるため、信号処理回路の耐久性、信頼性を向上させることができる。

30

【 0 0 2 9 】

特に、制御部のレジスタ及び制御回路それぞれ、または、制御部のレジスタ及び制御回路並びに演算部それぞれにおいて、上記揮発性の記憶回路と、当該揮発性の記憶回路に保持されたデータを記憶するための上記不揮発性の記憶回路と、の組を設け、またメモリにおいて上記不揮発性の記憶回路を設け、電源回路によって各モジュールへの電源電圧の供給を制御することによって、以下の効果を奏する。

40

【 0 0 3 0 】

モジュール間でのデータの移動を伴うことなく、電源電圧供給を停止前後におけるデータ供給及び待機を行うことができる。そのため、モジュール間においてデータ供給及び待機のための特別な信号経路（バス、スキャンバス）を設ける必要がなく、信号処理回路の回路規模を大きくすることが容易となる。

【 図面の簡単な説明 】

【 0 0 3 1 】

【 図 1 】 信号処理回路の構成を示す図。

【 図 2 】 メモリの構成を示す図。

50

- 【図3】 センスアンプ回路、プリチャージ回路の構成を示す図。
- 【図4】 信号処理回路の駆動方法を示すフローチャート。
- 【図5】 信号処理回路の駆動方法を示すフローチャート。
- 【図6】 信号処理回路の構成を示す断面図、及び斜視模式図。
- 【図7】 信号処理回路の構成を示す断面図。
- 【図8】 信号処理回路の作製工程を示す断面図。
- 【図9】 信号処理回路の作製工程を示す断面図。
- 【図10】 信号処理回路の作製工程を示す断面図。
- 【図11】 酸化物半導体層にチャンネルが形成されるトランジスタの構成を示す断面図。
- 【図12】 酸化物半導体層にチャンネルが形成されるトランジスタの構成を示す断面図。 10
- 【図13】 携帯用の電子機器のブロック図。
- 【図14】 電子書籍のブロック図。
- 【図15】 信号処理回路の駆動方法を示すフローチャート。
- 【図16】 酸化物材料の結晶構造を説明する図。
- 【図17】 酸化物材料の結晶構造を説明する図。
- 【図18】 酸化物材料の結晶構造を説明する図。
- 【図19】 計算によって得られた移動度のゲート電圧依存性を説明する図。
- 【図20】 計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。
- 。
- 【図21】 計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図 20
- 。
- 【図22】 計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。
- 。
- 【図23】 計算に用いたトランジスタの断面構造を説明する図。
- 【図24】 酸化物半導体膜を用いたトランジスタの特性を示す図。
- 【図25】 試料1のトランジスタのBT試験後の $V_g - I_d$ 特性を示す図。
- 【図26】 試料2のトランジスタのBT試験後の $V_g - I_d$ 特性を示す図。
- 【図27】 試料Aおよび試料BのXRDスペクトルを示す図。
- 【図28】 トランジスタのオフ電流と測定時基板温度との関係を示す図。
- 【図29】 I_d および電界効果移動度の V_g 依存性を示す図。 30
- 【図30】 基板温度としきい値電圧の関係及び基板温度と電界効果移動度の関係を示す図。
- 。
- 【図31】 トランジスタの構造の一例を示す図。
- 【図32】 トランジスタの構造の一例を示す図。
- 【発明を実施するための形態】
- 【0032】
- 以下では、実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。 40
- 【0033】
- なお、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れかわることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れかえて用いることができるものとする。
- 【0034】
- 「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限はない。
- 【0035】 50

回路図上は独立している構成要素どうしが電氣的に接続しているように図示されている場合であっても、実際には、例えば配線の一部が電極や端子としても機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0036】

「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

【0037】

図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等において開示された位置、大きさ、範囲などに限定されない。

【0038】

「第1」、「第2」、「第3」などの序数詞は、構成要素の混同を避けるために付すものである。

【0039】

(実施の形態1)

信号処理回路の一態様について説明する。図1(A)は、信号処理回路の構成を模式的に示すブロック図である。信号処理回路2000は、デコーダ2001、制御回路2002、ALU2003、レジスタ2004、メモリ2005、電源回路2006を有する。

【0040】

デコーダ2001は、コマンドをデコードする。制御回路2002は、デコードされたコマンドに基づき、レジスタ2004やALU2003やメモリ2005を制御する。レジスタ2004は、ALU2003に入力されるデータや、ALU2003から出力されるデータを一時的に記憶する。また、ALU2003とメモリ2005の間においてもデータの入出力が行われる。電源回路2006はデコーダ2001によって制御され、ALU2003、制御回路2002、レジスタ2004、及びメモリ2005への電源電圧の供給を制御する。ここで、電源回路2006は、全てのモジュール(ALU2003、制御回路2002、レジスタ2004、及びメモリ2005)において電源電圧の供給を停止することができるし、全てのモジュールにおいて電源電圧を供給することもできるし、一部のモジュール(ALU2003、制御回路2002、レジスタ2004、及びメモリ2005のうちのいずれか)において選択的に電源電圧を供給し且つその他のモジュールにおいて電源電圧の供給を停止することもできる。

【0041】

(不揮発性の記憶回路)

制御回路2002、レジスタ2004、及びメモリ2005は、図1(B)に示す不揮発性の記憶回路100を有する構成とすることができる。なお、ALU2003も、図1(B)に示す不揮発性の記憶回路100を有する構成とすることができる。図1(B)において、不揮発性の記憶回路100は、トランジスタ101と容量素子102とを有する。トランジスタ101のゲートは端子Wと電氣的に接続され、ソース及びドレインの一方は端子Bと電氣的に接続され、他方は容量素子102の一对の電極のうち的一方と電氣的に接続される。容量素子102の一对の電極のうち他方は端子Cと電氣的に接続される。

【0042】

ここで、トランジスタ101として、オフ電流が著しく小さいトランジスタを用いることができる。そして、トランジスタ101がオフ状態となることによってフローティングとなるノードに容量素子102の一对の電極のうち的一方が電氣的に接続されている。不揮発性の記憶回路100では、容量素子102の一对の電極のうち一方の電位(またはそれに対応する電荷量)をデータに応じて制御することによって、データを記憶する。例

10

20

30

40

50

例えば、容量素子102に所定の電荷が充電された状態を「1」に対応させ、容量素子102に電荷が充電されていない状態を「0」に対応させることによって、1ビットのデータを記憶することができる。ここで、オフ電流が極めて小さいトランジスタ101としては、シリコンよりも広いバンドギャップを有する半導体でなる層や基板中にチャンネルが形成されるトランジスタを用いることができる。シリコンよりも広いバンドギャップを有する半導体として化合物半導体があり、例えば、酸化物半導体、窒化物半導体などがある。例えば、チャンネルが酸化物半導体層に形成されるトランジスタを用いることができる。図1(B)では、トランジスタ101として、チャンネルが酸化物半導体層に形成されるトランジスタを用いる例を示し、OSの符号を付す。

【0043】

(不揮発性の記憶回路100の駆動方法)

不揮発性の記憶回路100では、端子Wに入力される制御信号によってトランジスタ101をオン状態とし、データに対応する信号電位を端子Bに入力する。その後、端子Wに入力される制御信号によってトランジスタ101をオフ状態とすることにより、データを保持する。不揮発性の記憶回路100の端子Cには、任意の電位が与えられる構成とすることができる。例えば、接地電位が与えられる構成とすることができる。トランジスタ101のオフ電流は非常に小さいため、電源電圧の供給が停止した後も、容量素子102の一对の電極のうち一方の電位を長期間に渡って保持することが可能となる。不揮発性の記憶回路100からのデータの読み出しは、端子Wに入力される制御信号によってトランジスタ101をオン状態とし、容量素子102の一对の電極のうち一方の電位(またはそれに対応する電荷量)を端子Bから検出することによって行う。このような不揮発性の記憶回路100では、データに対応する信号電位を所定のノード(容量素子102の一对の電極のうち一方)に入力し、オフ電流が非常に小さなトランジスタ101をオフ状態として、当該ノードをフローティング状態とすることにより、データを記憶する構成である。そのため、不揮発性の記憶回路100において、データの書き換えを繰り返すことによる疲労は少なく、データの書き換え可能な回数を多くすることができる。

【0044】

(制御回路2002、レジスタ2004、及びALU2003の構成)

ここで、制御回路2002及びレジスタ2004、または、制御回路2002、レジスタ2004及びALU2003は、それぞれ、揮発性の記憶回路と、図1(B)に示す不揮発性の記憶回路100との組を有する構成とすることができる。図1(C)は、当該組の構成を示した図である。図1(C)では、1ビットのデータを記憶する揮発性の記憶回路200に対して、図1(B)に示す不揮発性の記憶回路100を2つ(不揮発性の記憶回路100-1、不揮発性の記憶回路100-2)を設けた例を示した。これに限定されず、1ビットのデータを記憶する揮発性の記憶回路200に対して、図1(B)に示す不揮発性の記憶回路100を1つ設けてもよいし、3つ以上設けてもよい。特に、レジスタ2004において、1ビットのデータを記憶する揮発性の記憶回路200に対して不揮発性の記憶回路100を複数設けた組を有する構成を採用することができる。また、制御回路2002、及びALU2003それぞれにおいて、1ビットのデータを記憶する揮発性の記憶回路200に対して不揮発性の記憶回路100を1つ設けた組を有する構成を採用することができる。

【0045】

揮発性の記憶回路200としては、少なくとも2つの演算回路を有し、一方の演算回路の出力が他方の演算回路に入力され、他方の演算回路の出力が一方の演算回路に入力されるような、帰還ループを有する構成とすることができる。図1(C)では、演算回路201及び演算回路202を有し、演算回路201の出力が演算回路202に入力され、演算回路202の出力が演算回路201に入力されるような、帰還ループを有する。演算回路としては、例えば、インバータ回路、NAND回路等が挙げられる。このような構成の揮発性の記憶回路200としては、フリップフロップ回路や、ラッチ回路がある。

【0046】

10

20

30

40

50

不揮発性の記憶回路100-1の端子B及び不揮発性の記憶回路100-2の端子Bはそれぞれ、演算回路202の入力端子と演算回路201の出力端子との間に存在するノードMと電氣的に接続される。また揮発性の記憶回路200は、ノードMと演算回路201の出力端子との電氣的接続を選択するスイッチ203を有し、スイッチ203は制御信号SEL0によって導通状態または非導通状態が選択される。なお、演算回路201が制御信号(例えば、クロック信号等)によって選択的に信号を出力する回路の場合には、スイッチ203を必ずしも設ける必要はなく、省略することも可能である。不揮発性の記憶回路100-1の端子Wには制御信号SEL1が入力され、不揮発性の記憶回路100-2の端子Wには制御信号SEL2が入力されている。なお、不揮発性の記憶回路100-1の端子Cと、不揮発性の記憶回路100-2の端子Cとは同じ電位が入力される構成とすることができる。

10

【0047】

図1(C)に示す揮発性の記憶回路200と不揮発性の記憶回路100-1及び不揮発性の記憶回路100-2との組の駆動方法について説明する。

【0048】

(電源電圧供給時の動作)

当該組に電源電圧が供給されている間、つまり当該組が含まれるモジュールに電源電圧が供給されている間は、制御信号SEL0によってスイッチ203は導通状態である。こうして、揮発性の記憶回路200は、演算回路201及び演算回路202でなる帰還ループによってデータを保持する。つまり、図1(C)に示す組において、入力されるデータは揮発性の記憶回路200の帰還ループによって保持され、また揮発性の記憶回路200の帰還ループからデータが出力される。このような揮発性の記憶回路200の帰還ループによるデータの保持及び出力は、高速に行うことが可能である。

20

【0049】

(データ格納の動作)

上記のとおり、揮発性の記憶回路200の帰還ループによるデータの保持が行われると同時に、または当該データの保持が行われた後に、制御信号SEL0によってスイッチ203を導通状態としたまま、制御信号SEL1及び制御信号SEL2によって、不揮発性の記憶回路100-1のトランジスタ101、または不揮発性の記憶回路100-2のトランジスタ101を選択的にオン状態とする。例えば、不揮発性の記憶回路100-1のトランジスタ101をオン状態とし、不揮発性の記憶回路100-2のトランジスタ101をオフ状態とする。こうして、揮発性の記憶回路200のノードMの電位を、不揮発性の記憶回路100-1の容量素子102の一对の電極のうち的一方に入力して、揮発性の記憶回路200に保持されたデータを不揮発性の記憶回路100-1に記憶させることができる。こうしてデータの格納を行うことができる。

30

【0050】

(データ待機の動作)

データ格納の後、不揮発性の記憶回路100-1のトランジスタ101をオフ状態とすることによって、不揮発性の記憶回路100-1に記憶されたデータが揮発性の記憶回路200からの信号によって変動しないような状態とする。こうしてデータの待機を行うことができる。

40

【0051】

1ビットのデータを記憶する揮発性の記憶回路200に対して、図1(B)に示す不揮発性の記憶回路100を複数設けた構成では、互いに異なる期間において揮発性の記憶回路200が異なるデータを保持している場合に、それら期間に対応する複数のデータそれぞれを、異なる不揮発性の記憶回路100に記憶させることができる。特に、レジスタにおいて、1ビットのデータを記憶する揮発性の記憶回路200に対して不揮発性の記憶回路100を複数設けた組を有する構成を採用する場合に、複数設けた不揮発性の記憶回路100それぞれをバンクと呼ぶことができる。こうして、異なる期間におけるレジスタの状態それぞれを、複数のバンクに記憶させることができる。

50

【 0 0 5 2 】

なお、1ビットのデータを記憶する揮発性の記憶回路200に対して不揮発性の記憶回路100を1つ設けた組を有する構成を採用する場合にも、上記と同様の動作を行い、当該不揮発性の記憶回路100に揮発性の記憶回路200に保持されていたデータを記憶する。こうしてデータの待機を行うことができる。

【 0 0 5 3 】

以上のとおり、データの待機を行った後、電源電圧の供給を停止する。

【 0 0 5 4 】

(データ供給の動作)

当該組に電源電圧供給が選択された後、つまり当該組が含まれるモジュールに電源電圧が供給されはじめた後に、制御信号SEL0によってスイッチ203を非導通状態とし、且つ制御信号SEL1及び制御信号SEL2によって、不揮発性の記憶回路100-1のトランジスタ101、または不揮発性の記憶回路100-2のトランジスタ101を選択的にオン状態とする。例えば、不揮発性の記憶回路100-1のトランジスタ101をオン状態とし、不揮発性の記憶回路100-2のトランジスタ101をオフ状態とする。こうして、揮発性の記憶回路200のノードMに、不揮発性の記憶回路100-1の容量素子102の一对の電極のうち一方の電位(またはそれに対応する電荷量)を入力する。その後、制御信号SEL0によってスイッチ203を導通状態とする。こうして、不揮発性の記憶回路100-1に保持されていたデータを、揮発性の記憶回路200に入力し、帰還ループによって保持させることができる。このように揮発性の記憶回路200にデータを供給することができる。ここで、揮発性の記憶回路200は、不揮発性の記憶回路100-1や不揮発性の記憶回路100-2よりもデータ書き込み及び読み出しのスピードが速い。よって、電源電圧供給が選択された組における動作速度を速くすることが可能である。

【 0 0 5 5 】

1ビットのデータを記憶する揮発性の記憶回路200に対して、図1(B)に示す不揮発性の記憶回路100を複数設けた構成では、複数の不揮発性の記憶回路100から選択し、選択された不揮発性の記憶回路100のデータを揮発性の記憶回路200に供給することができる。特に、レジスタにおいて、1ビットのデータを記憶する揮発性の記憶回路200に対して不揮発性の記憶回路100を複数設けた組を有する構成を採用する場合に、複数のバンクから選択的にデータを揮発性の記憶回路200に供給することによって、電源電圧の供給が選択された後のレジスタの状態を複数の状態から選択することが可能となる。

【 0 0 5 6 】

なお、1ビットのデータを記憶する揮発性の記憶回路200に対して不揮発性の記憶回路100を1つ設けた組を有する構成を採用する場合にも、上記と同様の動作を行い、当該不揮発性の記憶回路100に保持されていたデータを、揮発性の記憶回路200に入力することができる。こうして揮発性の記憶回路200にデータを供給することができる。

【 0 0 5 7 】

なお、演算回路201を制御信号(例えば、クロック信号等)によって選択的に信号を出力する回路として、スイッチ203を省略する構成を採用した場合には、上記説明においてスイッチ203が非導通状態となる際に、演算回路201の出力が無い(不定となる)ように演算回路201を制御する。演算回路201以外の駆動方法は上記と同様とすることができる。

【 0 0 5 8 】

以上が、図1(C)に示す揮発性の記憶回路200と不揮発性の記憶回路100-1及び不揮発性の記憶回路100-2との組の駆動方法についての説明である。

【 0 0 5 9 】

(揮発性の記憶回路と不揮発性の記憶回路の組のバリエーション)

揮発性の記憶回路と、揮発性の記憶回路に保持されたデータを記憶するための不揮発性

10

20

30

40

50

の記憶回路との組の構成は、図1(C)に示した構成に限定されない。例えば、図1(E)に示す構成とすることができる。なお、図1(E)において図1(C)と同じ部分は同じ符号を用いて示し、説明は省略する。図1(E)に示す構成の組では、揮発性の記憶回路200中に不揮発性の記憶回路100が含まれるような構成となっている。図1(E)において、不揮発性の記憶回路100の端子Fは、図1(D)に示すとおり、容量素子102の一对の電極のうち的一方と電氣的に接続される端子である。

【0060】

図1(E)に示した構成の組の駆動方法について説明する。

【0061】

(電源電圧供給時の動作)

当該組に電源電圧が供給されている間、つまり当該組が含まれるモジュールに電源電圧が供給されている間は、制御信号SELによって不揮発性の記憶回路100のトランジスタ101はオン状態である。こうして、揮発性の記憶回路200は、演算回路201及び演算回路202でなる帰還ループによってデータを保持する。つまり、図1(E)に示す組において、入力されるデータは揮発性の記憶回路200の帰還ループによって保持され、また揮発性の記憶回路200の帰還ループからデータが出力される。このような揮発性の記憶回路200の帰還ループによるデータの保持及び出力は、高速に行うことが可能である。

【0062】

(データ格納の動作)

上記のとおり、揮発性の記憶回路200の帰還ループによるデータの保持が行われると同時に、揮発性の記憶回路200のノードMの電位は、不揮発性の記憶回路100の容量素子102の一对の電極のうち的一方に入力され、揮発性の記憶回路200に保持されたデータを不揮発性の記憶回路100に記憶させることができる。こうしてデータの格納を行うことができる。

【0063】

(データ待機の動作)

データ格納の後、不揮発性の記憶回路100のトランジスタ101をオフ状態とすることによって、不揮発性の記憶回路100に記憶されたデータが揮発性の記憶回路200の演算回路201からの信号によって変動しないような状態とする。こうしてデータの待機を行うことができる。

【0064】

以上のとおり、データの待機を行った後、電源電圧の供給を停止する。

【0065】

(データ供給の動作)

当該組に電源電圧供給が選択された後、つまり当該組が含まれるモジュールに電源電圧が再び供給されはじめた後に、制御信号SELによって不揮発性の記憶回路100のトランジスタ101をオン状態とする。こうして、揮発性の記憶回路200のノードMに、不揮発性の記憶回路100の容量素子102の一对の電極のうち的一方の電位(または対応する電荷)を入力する。こうして、不揮発性の記憶回路100に保持されていたデータを、揮発性の記憶回路200の帰還ループによって保持させることができる。このように揮発性の記憶回路200にデータを供給することができる。ここで、揮発性の記憶回路200は、不揮発性の記憶回路100よりもデータ書き込み及び読み出しのスピードが速い。よって、電源電圧供給が選択された組における動作速度を速くすることが可能である。

【0066】

なお、上記データ供給を行う際、電源電圧供給が選択された後、制御信号SELによって不揮発性の記憶回路100のトランジスタ101をオン状態とするとき、演算回路201から信号が出力されない(演算回路201の出力が不定である)構成とすることが好ましい。例えば、演算回路201として、制御信号(例えば、クロック信号等)によって選択的に信号を出力する回路を用いることが好ましい。また例えば、演算回路201の出力

10

20

30

40

50

端子と、揮発性の記憶回路 100 の端子 B との間にスイッチ等を設ける構成として、電源電圧供給が選択された後、制御信号 SEL によって不揮発性の記憶回路 100 のトランジスタ 101 をオン状態とする際に、当該スイッチを非導通状態とすることが好ましい。

【0067】

以上が、図 1 (E) に示す揮発性の記憶回路 200 と不揮発性の記憶回路 100 の組の駆動方法についての説明である。

【0068】

レジスタ 2004 及び制御回路 2002 それぞれ、または、レジスタ 2004 及び制御回路 2002 並びに ALU 2003 それぞれにおいて、図 1 (C) や図 1 (E) に示した構成の組を設け、電源回路 2006 によって各モジュールへの電源電圧の供給を制御することができる。こうして、必要な場合にのみ電源電圧を供給するノーマリオフの駆動方法を行い、信号処理回路の消費電力を大幅に低減することができる。また、モジュール間のデータの移動を伴うことなく、電源電圧供給を停止前後におけるデータ供給及び待機を行うことができる。そのため、モジュール間においてデータ供給及び待機のための特別な信号経路 (パス、スキャンパス) を設ける必要がなく、信号処理回路の回路規模を大きくすることが容易となる。

【0069】

(メモリ 2005 の構成)

(メモリセルアレイの構成)

メモリ 2005 は、図 1 (B) に示した不揮発性の記憶回路 100 をマトリクス状に複数有するメモリセルアレイを含んだ構成とすることができる。例えば、当該メモリセルアレイとして図 2 (B) に示す構成とすることができる。図 2 (B) に示すメモリセルアレイ 400 は、 $m \times n$ (m は自然数、 n は自然数) 個の不揮発性の記憶回路 100 (i, j) (i は m 以下の自然数、 j は n 以下の自然数) を有する。不揮発性の記憶回路 100 (i, j) は、図 1 (B) に示した不揮発性の記憶回路 100 とすることができる。以下、不揮発性の記憶回路 100 (i, j) をメモリセルとも呼ぶ。

【0070】

図 2 (B) において、同じ列に並んだメモリセルにおいて、端子 B に電氣的に接続される配線 (BL j) を共有している。例えば、第 1 列に並んだメモリセルにおいて、端子 B に電氣的に接続される配線 (BL 1) を共有している。配線 (BL j) はビット線と呼ぶことができる。

【0071】

図 2 (B) において、同じ行に並んだメモリセルにおいて、端子 W に電氣的に接続される配線 (WL i) を共有している。例えば、第 1 行に並んだメモリセルにおいて、端子 W に電氣的に接続される配線 (WL 1) を共有している。配線 (WL i) はワード線と呼ぶこともできる。

【0072】

しかし、これに限定されず、同じ列に並んだメモリセルにおいて、複数の配線 (BL j) を設けてもよいし、同じ行に並んだメモリセルにおいて、複数の配線 (WL i) を設けてもよい。また、 $m \times n$ 個のメモリセルにおいて、端子 C は同じ電極や配線と電氣的に接続されていてもよいし、異なる電極や配線と電氣的に接続されていてもよい。

【0073】

図 2 (B) に示すメモリセルアレイ 400 では、配線 (WL i) に入力される信号によって指定された行のメモリセルにおいて選択的に、データの書き込み及び読み出しが行われる。具体的には、配線 (WL i) に入力される信号によって、書き込み対象の i 行のメモリセル以外の行のトランジスタ 101 をオフ状態とし、且つ書き込み対象の i 行のメモリセルのトランジスタ 101 をオン状態として、選択的にデータの書き込みを行う。また、配線 (WL i) に入力される信号によって、読み出し対象の i 行のメモリセル以外の行のトランジスタ 101 をオフ状態とし、且つ読み出し対象の i 行のメモリセルのトランジスタ 101 をオン状態として、選択的にデータの読み出しを行う。指定されたメモリセル

10

20

30

40

50

におけるデータの書き込み及び読み出しの方法は、上記で説明した不揮発性の記憶回路 100 の駆動方法と同様であるため説明は省略する。

【0074】

(メモリセルアレイ以外の構成)

メモリ2005は、メモリセルアレイ400に加えて、行デコーダ、列デコーダ、プリチャージ回路、センスアンプ回路、及び一時記憶回路のいずれかまたは全てを有する構成とすることができる。なお、これらの回路のうちのいくつかをまとめて1つの回路とすることもできる。例えば、センスアンプ回路は、一時記憶回路の機能を有していてもよい。

【0075】

行デコーダ及び列デコーダは、メモリセルアレイ400中の任意のメモリセルを選択する機能を有する。メモリ2005は、行デコーダ及び列デコーダによって選択されたメモリセルにおいて、データの書き込みや読み出しを行う。プリチャージ回路は、メモリセルからデータを読み出す前に、メモリセルアレイ400に含まれるビット線の電位を所定の電位にする(プリチャージする)機能を有する。プリチャージ回路によって、ビット線の電位を所定の電位とした後にメモリセルからデータを読み出すことにより、メモリセルからのデータの読み出し速度を速くすることができる。センスアンプ回路は、メモリセルに保持されたデータに対応するビット線の電位を増幅し、出力する機能を有する。センスアンプ回路によって、データをより高速且つ正確に読み出すことができる。一時記憶回路は、ページバッファやラッチ回路とも呼ばれ、メモリ2005の外部から入力されたデータを一時的に保持する機能を有する。また、一時記憶回路は、メモリセルアレイから読み出されたデータを保持する機能を有していてもよい。

【0076】

図2(A)に、メモリ2005の構成の一態様を模式的に示す。図2(A)において、メモリ2005は、メモリセルアレイ400と、列デコーダ403と、行デコーダ404と、プリチャージ回路402と、センスアンプ回路401とを有する。

【0077】

なお、図2(A)において、プリチャージ回路402と、センスアンプ回路401とは、メモリセルアレイ400の列デコーダ403が設けられた側に設けた構成を示したがこれに限定されない。プリチャージ回路402とセンスアンプ回路401の一方または両方は、メモリセルアレイ400を挟んで列デコーダ403と対向する側に設けてもよい。また、プリチャージ回路402とセンスアンプ回路401とはまとめて1つの回路としてもよい。

【0078】

ここで、図2(A)は、メモリ2005の構成の一態様を模式的に示したものであって、各回路の配置の仕方はこれに限定されない。例えば、実際には、メモリセルアレイ400と重なるように、その他の回路(列デコーダ403、行デコーダ404、プリチャージ回路402、及びセンスアンプ回路401)を形成することができる。また、メモリセルアレイ400を分割し、分割されたメモリセルアレイを互いに重ねて配置する(多層化する)こともできる。こうして、メモリセルアレイ400の占有面積を低減しつつ、記憶容量を増大させることができる。

【0079】

(センスアンプ回路の構成)

次いで、図2(A)におけるセンスアンプ回路401の構成の具体的な一態様について説明する。センスアンプ回路401は、複数のセンスアンプを有する構成とすることができる。各センスアンプは、メモリセルアレイ400に配置されたビット線毎に設けることができる。各センスアンプによってビット線の電位を増幅し、各センスアンプの出力端子から検出することができる。ここで、ビット線の電位は、当該ビット線に電氣的に接続され読み出しを選択されたメモリセルに保持された信号電位に応じた値となる。そのため、各センスアンプの出力端子から出力される信号は、読み出しを選択されたメモリセルに保持されたデータに対応する。こうして、センスアンプ回路401によって、メモリセルア

10

20

30

40

50

レイ 400 の各メモリセルに保持されたデータを検出することができる。

【0080】

センスアンプは、インバータや、バッファを用いて構成することができる。例えば、ラッチ回路を用いた構成（ラッチ型のセンスアンプ）とすることができる。ラッチ型のセンスアンプでは、入力信号を増幅し、且つ増幅した信号を保持することができる。そのため、メモリセル（不揮発性の記憶回路100）から情報を読み出す際に、容量素子102に保持された信号電位に対応する電荷が変化（読み出し破壊）しても、当該信号電位に対応する信号をラッチ型のセンスアンプによって保持し、当該メモリセル（不揮発性の記憶回路100）に再び書き込むことができる。

【0081】

以下、図3（A）及び図3（B）を用いて、センスアンプ回路401のより具体的な一態様について説明する。

【0082】

図3（A）及び図3（B）に示すセンスアンプ回路401は、ラッチ回路443によって構成されるラッチ型のセンスアンプの例である。ラッチ回路443は、例えば、インバータ444とインバータ445によって構成することができる。センスアンプ回路401は、n個のラッチ回路443を有し、n個のラッチ回路443それぞれは、メモリセルアレイ400に配置されたビット線（BL1乃至BLn）毎に設けられる。n個のラッチ回路443によって、ビット線（BL1乃至BLn）の電位を増幅し、出力端子（OUT1乃至OUTn）から出力することができる。ここで、ビット線の電位は、当該ビット線に電氣的に接続され読み出しを選択されたメモリセルに保持された信号電位に応じた値となる。そのため、各ラッチ回路443の出力端子から出力される信号（増幅した信号）は、読み出しを選択されたメモリセルに保持されたデータに対応する。こうして、n個のラッチ回路443を用いたセンスアンプ回路401によって、メモリセルアレイ400の各メモリセルに保持されたデータを検出することができる。

【0083】

また、n個のラッチ回路443それぞれは、増幅した信号を保持することができる。そのため、メモリセルアレイ400のメモリセルから情報を読み出す際に、読み出し破壊が起こっても、対応する信号をn個のラッチ回路443それぞれによって保持し、当該メモリセルに再び書き込むことができる。

【0084】

また、図3（A）及び図3（B）に示したような、ラッチ回路443を用いて構成したセンスアンプ回路401では、上述のとおり信号を保持する機能を有するため、一時記憶回路として用いることもできる。例えば、ラッチ回路443を用いて構成したセンスアンプ回路401は、メモリ2005の外部から入力されるデータを一時的に保持する回路（ページバッファ等）としても用いることができる。

【0085】

（プリチャージ回路の構成）

次いで、図2（A）におけるプリチャージ回路402の構成の具体的な一態様について、図3（C）を用いて説明する。図3（C）において、プリチャージ回路402はプリチャージ線PRと、複数のスイッチ446とを有する。各スイッチ446は、メモリセルアレイ400に配置されたビット線（BL1乃至BLn）毎に設けることができる。各スイッチ446によって各ビット線とプリチャージ線PRとの電氣的接続を選択し、各ビット線にプリチャージ線PRの電位（プリチャージ電位）を入力することができる。スイッチ446としては、例えばアナログスイッチ、トランジスタ等を用いることができる。また、スイッチ446として、クロック信号及びクロック信号の反転信号の一方または両方が入力される演算回路を用いることもできる。

【0086】

以上が、メモリ2005の説明である。

【0087】

上述のとおり、不揮発性の記憶回路100を用いたメモリ2005では、定期的なデータの再書き込み動作（以下、リフレッシュ動作とも呼ぶ）が不要、若しくはリフレッシュ動作を行う頻度を非常に低くすることが可能となる。このようなメモリ2005を用いることによってノーマリオフの駆動方法を行うことが容易となり、信号処理回路の消費電力を低減することができる。

【0088】

以上のとおり、本実施の形態で示した信号処理回路2000は、電源電圧の供給を停止した後もデータを長期間にわたって保持し続けることができるため、ノーマリオフの駆動方法を行うことができる。それ故、信号処理回路2000の消費電力を大幅に低減することができる。そして、電源電圧の供給を選択された際、信号処理回路2000は直ぐに保持されたデータを用いて所定の処理を開始することができる。そのため、信号処理回路2000において、電源電圧の供給を選択された後に所定の処理を開始する迄の時間を短くすることができる。また、電源電圧が供給されているモジュールにおいては、揮発性の記憶回路を用いて所定の処理を行うため、信号処理回路2000のアクセス速度を高速化することが可能である。更に、信号処理回路2000に用いる不揮発性の記憶回路100として、書き込み可能な回数が多く信頼性の高い回路を用いるため、信号処理回路2000の耐久性、信頼性を向上させることができる。

10

【0089】

特に、レジスタ2004及び制御回路2002それぞれ、または、レジスタ2004及び制御回路2002並びにALU2003それぞれにおいて、揮発性の記憶回路200と、揮発性の記憶回路200に保持されたデータを記憶するための不揮発性の記憶回路100と、の組を設け、またメモリ2005において不揮発性の記憶回路100を設け、電源回路2006によって各モジュールへの電源電圧の供給を制御することによって、以下の効果を奏する。

20

【0090】

また、モジュール間でのデータの移動を伴うことなく、電源電圧供給を停止前後におけるデータ供給及び待機を行うことができる。そのため、モジュール間においてデータ供給及び待機のための特別な信号経路（パス、スキャンパス）を設ける必要がなく、信号処理回路2000の回路規模を大きくすることが容易となる。

【0091】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

30

【0092】

（実施の形態2）

本発明の信号処理回路のノーマリオフの駆動方法の一態様について、フローチャートを用いてより詳細に説明する。図15は、信号処理回路の全モジュールにおいて電源電圧供給を停止した状態（以下、待機モードとも呼ぶ）となる迄の動作を示すフローチャートである。図5は、待機モードから、全部または一部のモジュールにおいて電源電圧を供給するモードを選択する動作を示すフローチャートである。図4は、全部または一部のモジュールにおいて電源電圧が供給された状態から、全部または一部のモジュールの電源電圧供給を停止する迄の動作を示すフローチャートである。説明では、図1の符号も参照する。

40

【0093】

図15では、信号処理回路2000の全モジュールにおいて電源電圧供給を停止した状態（待機モード）となる迄に、デコーダ2001、制御回路2002、ALU2003、レジスタ2004、メモリ2005、電源回路2006それぞれが行う動作を示している。

【0094】

信号処理回路2000の電源電圧が供給されている間に、制御回路2002、ALU2003、レジスタ2004それぞれにおいて、データ格納の動作を行う（図15中、「電源電圧供給時にデータ格納」）。制御回路2002、ALU2003、レジスタ2004におけるデータ格納動作に関しては、実施の形態1と同様である。また、メモリ2005

50

においてデータの書き込みが行われる（図15中、「データ記憶」）。

【0095】

その後、デコーダ2001は、全モジュールにおいて電源電圧供給を停止する指令（以下、待機指令と呼ぶ）を制御回路2002に出力する（図15中、「制御回路に待機指令出力」）。こうして制御回路2002は待機指令が入力される（図15中、「待機指令入力」）。制御回路2002は入力された待機指令に基づき、全モジュールに対して待機指令を出力する。図15では、制御回路2002、ALU2003、レジスタ2004、メモリ2005において、電源電圧供給を停止するので、制御回路2002は、ALU2003、及びレジスタ2004に対して待機指令を出力する（図15中、「ALU、レジスタに待機指令出力」）とともに、制御回路2002内の揮発性の記憶回路のデータを当該揮発性の記憶回路と組をなす不揮発性の記憶回路に待機させる（図15中、「データ待機」）。制御回路2002内の当該組の構成及びデータ待機動作に関しては、実施の形態1と同様である。また、制御回路2002からALU2003に待機指令が入力されると（図15中、「待機指令入力」）、ALU2003は、その内部の揮発性の記憶回路のデータを当該揮発性の記憶回路と組をなす不揮発性の記憶回路に待機させる（図15中、「データ待機」）。ALU2003内の当該組の構成及びデータ待機動作に関しては、実施の形態1と同様である。制御回路2002からレジスタ2004に待機指令が入力されると（図15中、「待機指令入力」）、レジスタ2004は、その内部の揮発性の記憶回路のデータを当該揮発性の記憶回路と組をなす不揮発性の記憶回路に待機させる（図15中、「データ待機」）。レジスタ2004内の当該組の構成及びデータ待機動作に関しては、

10

20

【0096】

こうして、制御回路2002、ALU2003、レジスタ2004において、データの待機が完了した後、デコーダ2001は電源回路2006に待機指令を出力する（図15中、「電源回路に待機指令出力」）。電源回路2006に待機指令が入力されると（図15中、「待機指令入力」）、電源回路2006は待機指令に基づき、モジュールへの電源電圧の供給を停止する（図15中、「全モジュールにて電源電圧供給停止（待機モード）」）。なお、メモリ2005は、実施の形態1において説明したとおり、電源電圧の供給が停止しても保持しているデータが消えない不揮発性の記憶回路をメモリセルとして有するため、データのバックアップ等を行うことなく電源電圧の供給を停止することができる。ここで、所定のモジュールにおいて電源電圧の供給を停止するとは、高電源電位と低電源電位の差に対応する電圧が電源電位として該モジュールに与えられている場合に、一方の電位の供給を停止する、または一方の電位を他方の電位と同じ電位にする動作に対応する。

30

【0097】

以上が、信号処理回路2000の全モジュールにおいて電源電圧供給を停止した状態（待機モード）となる迄の動作についての説明である。次いで、待機モードから、全部または一部のモジュールにおいて電源電圧を供給するモードを選択する動作について説明する。

【0098】

図5では、待機モードから、全部または一部のモジュールにおいて電源電圧を供給するモードを選択する迄に、デコーダ2001、制御回路2002、ALU2003、レジスタ2004、メモリ2005、電源回路2006それぞれが行う動作を示している。

40

【0099】

まず、デコーダ2001が電源電圧を供給するモジュールを選択（図5中、「電源供給モジュールを選択」）する。この選択は、デコーダ2001がそれまでに受信したコマンドの履歴情報を用いて行うことができる。例えば、今後動作させる可能性があるモジュールを予測して、当該モジュールの電源電圧供給を選択するようにしてもよい。図5では、制御回路2002、ALU2003、レジスタ2004、メモリ2005において、電源電圧供給を再開する例について説明する。しかしながら、これらモジュールのうち一部の

50

モジュールにおいて選択的に電源電圧を供給することができる。

【0100】

電源電圧を供給するモジュールが選択されたら、どのモジュールにおいて電源電圧を供給するかを示す情報（以下、供給情報と呼ぶ）を電源回路2006に出力する（図5中、「電源回路に供給情報出力」）。こうして電源回路2006に供給情報が入力されると（図5中、「供給情報入力」）、電源回路2006は供給情報に基づき、モジュールへ電源電圧を供給する（図5中、「電源電圧の供給を選択されたモジュールにて電源電圧供給開始」）。なお、電源電圧の供給を選択されたモジュールにメモリ2005が含まれる場合には、メモリ2005へも電源電圧が供給される。

【0101】

電源電圧が供給された後、デコーダ2001は制御回路2002に供給情報を出力する（図5中、「制御回路に供給情報出力」）。こうして、制御回路2002は供給情報が入力される（図5中、「供給情報入力」）。制御回路2002は入力された供給情報に基づき、電源電圧を供給されたモジュールに対して供給情報を出力する。図5では、制御回路2002、ALU2003、レジスタ2004、メモリ2005において、電源電圧を供給する例について説明するので、制御回路2002は、ALU2003、及びレジスタ2004に対して供給情報を出力する（図5中、「ALU、レジスタに供給情報出力」）とともに、制御回路2002内の不揮発性の記憶回路のデータを当該不揮発性の記憶回路と組をなす揮発性の記憶回路に入力する（図5中、「データ供給」）。制御回路2002内の当該組の構成及びデータ供給動作に関しては、実施の形態1と同様である。また、制御回路2002からALU2003に供給情報が入力されると（図5中、「供給情報入力」）、ALU2003は、その内部の不揮発性の記憶回路のデータを当該不揮発性の記憶回路と組をなす揮発性の記憶回路に入力する（図5中、「データ供給」）。ALU2003内の当該組の構成及びデータ供給動作に関しては、実施の形態1と同様である。制御回路2002からレジスタ2004に供給情報が入力されると（図5中、「供給情報入力」）、レジスタ2004は、その内部の不揮発性の記憶回路のデータを当該不揮発性の記憶回路と組をなす揮発性の記憶回路に入力する（図5中、「データ供給」）。レジスタ2004内の当該組の構成及びデータ供給動作に関しては、実施の形態1と同様である。なお、メモリ2005は、実施の形態1において説明したとおり、電源電圧の供給が停止しても保持しているデータが消えない不揮発性の記憶回路をメモリセルとして有する。

【0102】

以上のようにして、制御回路2002、ALU2003、レジスタ2004、メモリ2005において、電源電圧を供給し、これらモジュールを動作させ所定の処理を直ぐに行うことができる（図5中、「全モジュールにおいて動作状態」）。なお、図5では、制御回路2002、ALU2003、レジスタ2004、メモリ2005において、電源電圧を供給する例について説明したが、これに限定されない。これらモジュールのうちの一部において、電源電圧を供給し、その他のモジュールについては電源電圧供給が停止したままの状態とすることもできる。この場合には、供給情報によって、電源電圧が供給されたモジュールにおいてのみデータ提供動作が行われ、一部モジュールにおいて動作状態となる。

【0103】

以上が、待機モードから、全部または一部のモジュールにおいて電源電圧を供給するモードを選択する迄の動作についての説明である。

【0104】

図4では、全部または一部のモジュールにおいて電源電圧が供給された状態から、全部または一部のモジュールの電源電圧供給を停止する迄にデコーダ2001、制御回路2002、ALU2003、レジスタ2004、メモリ2005、電源回路2006それぞれが行う動作を示している。

【0105】

まず、デコーダ2001が電源電圧供給を停止するモジュールを選択（図4中、「電源

10

20

30

40

50

切断モジュールを選択」)する。この選択は、デコーダ2001がそれまでに受信したコマンドの履歴情報及び供給情報を用いて行うことができる。例えば、特定のモジュールを動作させる必要の無いコマンドを連続して受信した等の履歴情報が存在し、且つ供給情報によって当該モジュールに電源電圧が供給されている場合に、当該モジュールが今後しばらく動作しないことを予測して、当該モジュールの電源電圧供給停止を選択するようにしてもよい。デコーダ2001において、一定期間毎に最新の履歴情報を取得する構成とすることができる。図4では、全モジュール(制御回路2002、ALU2003、レジスタ2004、メモリ2005)において電源電圧が供給された状態(図4中、「全モジュールにおいて動作状態」)から、これらモジュールすべてにおいて電源電圧供給を停止する例について説明する。しかしながら、これらモジュールのうち一部のモジュールにおいて選択的に電源電圧供給を停止することもできる。

10

【0106】

電源電圧供給を停止するモジュールが選択されたら、どのモジュールにおいて電源電圧供給を停止するかを示す情報(以下、切断情報と呼ぶ)を制御回路2002に出力する(図4中、制御回路に切断情報出力)。こうして制御回路2002は切断情報が入力される(図4中、「切断情報入力」)。制御回路2002は入力された切断情報に基づき、電源電圧供給を停止するモジュールに対して切断情報を出力する。図4では、制御回路2002、ALU2003、レジスタ2004、メモリ2005において、電源電圧供給を停止する例について説明するので、制御回路2002は、ALU2003、及びレジスタ2004に対して切断情報を出力する(図4中、「ALU、レジスタに切断情報出力」とともに、制御回路2002内の揮発性の記憶回路のデータを当該揮発性の記憶回路と組をなす不揮発性の記憶回路に待機させる(図4中、「データ待機」)。制御回路2002内の当該組の構成及びデータ待機動作に関しては、実施の形態1と同様である。また、制御回路2002からALU2003に切断情報が入力されると(図4中、「切断情報入力」)、ALU2003は、その内部の揮発性の記憶回路のデータを当該揮発性の記憶回路と組をなす不揮発性の記憶回路に待機させる(図4中、「データ待機」)。ALU2003内の当該組の構成及びデータ待機動作に関しては、実施の形態1と同様である。制御回路2002からレジスタ2004に切断情報が入力されると(図4中、「切断情報入力」)、レジスタ2004は、その内部の揮発性の記憶回路のデータを当該揮発性の記憶回路と組をなす不揮発性の記憶回路に待機させる(図4中、「データ待機」)。レジスタ2004内の当該組の構成及びデータ待機動作に関しては、実施の形態1と同様である。

20

30

【0107】

こうして、電源電圧供給を停止するモジュールのうち、制御回路2002、ALU2003、レジスタ2004において、データの待機が完了した後、デコーダ2001は電源回路2006に切断情報を出力する(図4中、「電源回路に切断情報出力」)。電源回路2006に切断情報が入力されると(図4中、「切断情報入力」)、電源回路2006は切断情報に基づき、モジュールへの電源電圧の供給を停止する(図4中、「電源切断を選択されたモジュールにて電源電圧供給停止」)。なお、電源切断を選択されたモジュールにメモリ2005が含まれる場合には、メモリ2005への電源電圧の供給も停止する。メモリ2005は、実施の形態1において説明したとおり、電源電圧の供給が停止しても保持しているデータが消えない不揮発性の記憶回路をメモリセルとして有するため、データのバックアップ等を行うことなく電源電圧の供給を停止することができる。ここで、所定のモジュールにおいて電源電圧の供給を停止するとは、高電源電位と低電源電位の差に対応する電圧が電源電位として該モジュールに与えられている場合に、一方の電位の供給を停止する、または一方の電位を他方の電位と同じ電位にする動作に対応する。

40

【0108】

以上が、全部または一部のモジュールにおいて電源電圧が供給された状態から、全部または一部のモジュールの電源電圧供給を停止する迄の動作についての説明である。

【0109】

以上のとおり、信号処理回路2000は、必要なときにのみ電源電圧を供給して一部ま

50

たは全てのモジュールを動作させる、ノーマリオフの駆動方法を行うことができる。それ故、信号処理回路2000の消費電力を大幅に低減することができる。そして、電源電圧の供給を選択された際、信号処理回路2000の各モジュールは直ぐに保持されたデータを用いて所定の処理を開始することができる。そのため、信号処理回路2000において、電源電圧の供給を選択された後に所定の処理を開始する迄の時間を短くすることができる。また、電源電圧が供給されているモジュールにおいては、揮発性の記憶回路を用いて所定の処理を行うため、信号処理回路2000のアクセス速度を高速化することが可能である。更に、信号処理回路2000に用いる不揮発性の記憶回路100として、書き込み可能な回数が多く信頼性の高い回路を用いるため、信号処理回路2000の耐久性、信頼性を向上させることができる。

10

【0110】

特に、レジスタ2004及び制御回路2002それぞれ、または、レジスタ2004及び制御回路2002並びにALU2003それぞれにおいて、揮発性の記憶回路200と、揮発性の記憶回路200に保持されたデータを記憶するための不揮発性の記憶回路100と、の組を設け、またメモリ2005において不揮発性の記憶回路100を設け、電源回路2006によって各モジュールへの電源電圧の供給を制御することによって、以下の効果を奏する。

【0111】

また、モジュール間でのデータの移動を伴うことなく、電源電圧供給を停止前後におけるデータ供給及び待機を行うことができる。そのため、モジュール間においてデータ供給及び待機のための特別な信号経路(パス、スキャンパス)を設ける必要がなく、信号処理回路2000の回路規模を大きくすることが容易となる。

20

【0112】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0113】

(実施の形態3)

本実施の形態では、実施に形態1において示した信号処理回路2000のより具体的な構成について説明する。なお、説明では図1の符号も参照する。

【0114】

図6(A)は、信号処理回路2000の断面図である。図6(A)中、左半分は、制御回路2002、ALU2003、レジスタ2004が形成された領域の断面図である。制御回路2002、ALU2003、レジスタ2004における、揮発性の記憶回路200と不揮発性の記憶回路100の組のうち、揮発性の記憶回路200が有するトランジスタ103aと、不揮発性の記憶回路100の有するトランジスタ101a(図1(B)や図1(D)におけるトランジスタ101に相当)及び容量素子102a(図1(B)や図1(D)における容量素子102に相当)を代表で示す。図6(A)中、右半分は、メモリ2005が形成された領域の断面図である。メモリ2005における、メモリセル(不揮発性の記憶回路100)の有するトランジスタ101b(図1(B)や図1(D)におけるトランジスタ101に相当)及び容量素子102b(図1(B)や図1(D)における容量素子102に相当)を代表で示す。なお、メモリ2005のメモリセルが有するトランジスタ101bの下層に、例えば重なるようにトランジスタ103bを設けることができる。図6(A)において、基板700上に、トランジスタ103a、トランジスタ103bが形成され、その上方に層間絶縁層を介してトランジスタ101a及びトランジスタ101bが形成され、更にその上方に容量素子102a及び容量素子102bが形成された構成となっている。

30

40

【0115】

図6(A)において、トランジスタ103aとトランジスタ103bは同一工程で作製することができる。トランジスタ101aとトランジスタ101bは同一工程で作製することができる。ここで複数のトランジスタを同一工程で作製するとは、複数のトランジスタのゲート電極を同一の導電膜をエッチング加工して形成することを示す。複数のトラン

50

ジスタのゲート絶縁膜を同一の絶縁膜を用いて（または同一の絶縁膜をエッチング加工して）形成することを示す。複数のトランジスタのソース電極及びドレイン電極を同一の導電膜をエッチング加工して形成することを示す。なお、チャンネルが半導体層に形成されるトランジスタの場合には、複数のトランジスタの活性層を同一の半導体層（半導体膜）をエッチング加工して形成することを含む。

【 0 1 1 6 】

図 6 (A) において、容量素子 1 0 2 a 及び容量素子 1 0 2 b は同一工程で作製することができる。ここで複数の容量素子を同一工程で作製するとは、複数の容量素子の一对の電極のうち的一方を、同一の導電膜をエッチング加工して形成することを示す。複数の容量素子の誘電体層を、同一の絶縁膜を用いて（または同一の絶縁膜をエッチング加工して）形成することを示す。複数の容量素子の一对の電極のうちの方を、同一の導電膜を用いて（または同一の導電膜をエッチング加工して）形成することを示す。

10

【 0 1 1 7 】

なお、図 6 では、容量素子 1 0 2 a は、一对の電極のうち的一方 3 0 1 a と、誘電体層 3 0 2 a と、一对の電極のうちの方 3 0 3 とを有する。容量素子 1 0 2 b は、一对の電極のうちの方 3 0 1 b と、誘電体層 3 0 2 a と、一对の電極のうちの方 3 0 3 とを有する。容量素子 1 0 2 a の誘電体層 3 0 2 a 及び容量素子 1 0 2 b の誘電体層 3 0 2 a を、互いに分離することなく共通に設けている。また、容量素子 1 0 2 a の一对の電極のうちの方 3 0 3 及び容量素子 1 0 2 b の一对の電極のうちの方 3 0 3 を、互いに分離することなく共通に設けている。この場合には、分離することなく共通に設けられた導電層（容量素子 1 0 2 a 及び容量素子 1 0 2 b の一对の電極のうちの方 3 0 3 ）を、信号処理回路 2 0 0 0 の遮蔽層（例えば、電界遮蔽層等）や遮光層として用いることができる。例えば、信号処理回路 2 0 0 0 を構成するトランジスタ等の素子（例えば、トランジスタ 1 0 3 a、トランジスタ 1 0 3 b、トランジスタ 1 0 1 a、トランジスタ 1 0 1 b）を覆うように当該導電層を設けることによって、外部の電界等が信号処理回路 2 0 0 0 を構成する素子に与える影響を低減することができる。このように、容量素子 1 0 2 a の一对の電極のうちの方 3 0 3 及び容量素子 1 0 2 b の一对の電極のうちの方 3 0 3 を遮蔽層や遮光層として機能させることにより、作製工程を増加させることなく、信頼性の高い信号処理回路 2 0 0 0 を提供することができる。

20

【 0 1 1 8 】

図 6 (B) は、信号処理回路 2 0 0 0 の構成を模式的に示した斜視図である。信号処理回路 2 0 0 0 は、トランジスタ 1 0 3 a やトランジスタ 1 0 3 b と同様のトランジスタを用いて基板 7 0 0 上に形成される回路群 1 1 0 3 と、回路群 1 1 0 3 と重なるように上方に設けられ、トランジスタ 1 0 1 a やトランジスタ 1 0 1 b と同様のトランジスタを用いて形成される回路群 1 1 0 1 及び回路群 1 1 1 1 と、回路群 1 1 0 1 及び回路群 1 1 1 1 と重なるように更に上方に設けられ、容量素子 1 0 2 a や容量素子 1 0 2 b と同様の容量素子を複数有する領域（図 6 (B) では、容量素子の一对の電極のうちの方 3 0 3 のみを代表で示す）と、を含む構成とすることができる。ここで、容量素子 1 0 2 a 及び容量素子 1 0 2 b の一对の電極のうちの方 3 0 3 は、分離することなく共通に設けられ、回路群 1 1 0 3、回路群 1 1 0 1、及び回路群 1 1 1 1 を覆っている。こうして、容量素子 1 0 2 a 及び容量素子 1 0 2 b の一对の電極のうちの方 3 0 3 を、信号処理回路 2 0 0 0 の遮蔽層として用いる。

30

40

【 0 1 1 9 】

回路群 1 1 0 3 は、例えば、信号処理回路 2 0 0 0 を構成する回路のうち、揮発性の記憶回路 1 0 0 以外の回路とすることができる。回路群 1 1 0 3 には、揮発性の記憶回路 2 0 0 を構成する素子や、メモリ 2 0 0 5 のメモリセルアレイ 4 0 0 以外（行デコーダ 4 0 4、列デコーダ 4 0 3、センスアンプ回路 4 0 1、プリチャージ回路 4 0 2 等）を構成する素子等が含まれる。回路群 1 1 1 1 は、例えば、信号処理回路 2 0 0 0 を構成する回路のうち、揮発性の記憶回路 2 0 0 と組をなす揮発性の記憶回路 1 0 0 に含まれるトランジスタ 1 0 1 となる回路とすることができる。回路群 1 1 0 1 は、例えば、信号処理回

50

路2000を構成する回路のうち、メモリ2005のメモリセルアレイ400を構成する不揮発性の記憶回路100に含まれるトランジスタ101が設けられた構成とすることができる。そしてこれら回路群の上方に、信号処理回路2000を構成する回路のうち、不揮発性の記憶回路100に含まれる容量素子102を設けることができる。

【0120】

ここで、回路群1103の一部1101bには、メモリ2005のメモリセルアレイ400以外（行デコーダ404、列デコーダ403、センスアンプ回路401、プリチャージ回路402等）を構成する素子を設け、この領域（一部1101b）が回路群1101と重なるのが好ましい。ここで、回路群1101にはメモリセルアレイ400に含まれる不揮発性の記憶回路100中のトランジスタ101が設けられる。そのため、データの出入力を制御する回路部分をメモリセルアレイ400の近くに配置することができる。

10

【0121】

図6では、トランジスタ103a及びトランジスタ103bの上方に、トランジスタ101a及びトランジスタ101bを有し、更に上方に容量素子102a及び容量素子102bを有する構成を示したがこれに限定されない。トランジスタ103a及びトランジスタ103bの上方に、トランジスタ101aやトランジスタ101bでなる層と、容量素子102aや容量素子102bでなる層とを、多層に設けてもよい。この構成例を図7に示す。図7では、トランジスタ103a及びトランジスタ103bの上方に、トランジスタ101aやトランジスタ101bでなる層と、容量素子102aや容量素子102bでなる層と、トランジスタ101cやトランジスタ101dでなる層と、容量素子102c

や容量素子102dでなる層と、を設けている。ここで、図6(B)と異なり、容量素子102aの一对の電極のうちの他方と容量素子102bの一对の電極のうちの他方とは分離されている。これは、容量素子102a及び容量素子102bの更に上方に設けられた回路と、下層の回路との電気的接続を行うためである。図7では、容量素子102cの一对の電極のうちの他方と容量素子102dの一对の電極のうちの他方とは、分離されることなく共通に設けられ、信号処理回路2000の遮蔽層として機能させることができる。このように、トランジスタ103a及びトランジスタ103bの上方に、トランジスタ101aやトランジスタ101bでなる層と、容量素子102aや容量素子102bでなる層とを、多層に設ける構成では、最上層に設けられる容量素子102cの一对の電極のうちの他方と容量素子102dの一对の電極のうちの他方を、分離されることなく共通に設けて遮蔽層とすることができる。

20

30

【0122】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0123】

（実施の形態4）

図1(A)に示した信号処理回路2000の作製方法について説明する。本実施の形態では、信号処理回路2000に含まれる不揮発性の記憶回路100以外の回路を構成する素子のうち、トランジスタ103と、信号処理回路2000に含まれる不揮発性の記憶回路100を構成する素子のうち、チャンネルが酸化物半導体層に形成されるトランジスタ101及び容量素子102を例に挙げて、信号処理回路2000の作製方法について説明する。ここで、トランジスタ103は、チャンネルがシリコン膜で形成されるトランジスタである場合を例に挙げる。

40

【0124】

まず、図8(A)に示すように、基板700上に絶縁膜701と、単結晶の半導体基板から分離された半導体膜702とを形成する。

【0125】

基板700として使用することができる素材に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、基板700には、フュージョン法やフロート法で作製されるガラス基板、石英基板、半導体基板、セラミック基板等を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場

50

合には、歪み点が730 以上のものを用いると良い。

【0126】

また、本実施の形態では、半導体膜702が単結晶のシリコンである場合を例に挙げて、以下、トランジスタ103の作製方法について説明する。なお、具体的な単結晶の半導体膜702の作製方法の一例について、簡単に説明する。まず、単結晶の半導体基板であるボンド基板に、電界で加速されたイオンでなるイオンビームを注入し、ボンド基板の表面から一定の深さの領域に、結晶構造が乱されることで局所的に脆弱化された脆化層を形成する。脆化層が形成される領域の深さは、イオンビームの加速エネルギーとイオンビームの入射角によって調節することができる。そして、ボンド基板と、絶縁膜701が形成された基板700とを、間に当該絶縁膜701が挟まるように貼り合わせる。貼り合わせは、ボンド基板と基板700とを重ね合わせた後、ボンド基板と基板700の一部に、 1 N/cm^2 以上 500 N/cm^2 以下、好ましくは 11 N/cm^2 以上 20 N/cm^2 以下程度の圧力を加える。圧力を加えると、その部分からボンド基板と絶縁膜701とが接合を開始し、最終的には密着した面全体に接合がおよぶ。次いで、加熱処理を行うことで、脆化層に存在する微小ポイドどうしが結合して、微小ポイドの体積が増大する。その結果、脆化層においてボンド基板の一部である単結晶半導体膜が、ボンド基板から分離する。上記加熱処理の温度は、基板700の歪み点を越えない温度とする。そして、上記単結晶半導体膜をエッチング等により所望の形状に加工することで、半導体膜702を形成することができる。

10

【0127】

半導体膜702には、閾値電圧を制御するために、硼素、アルミニウム、ガリウムなどのp型の導電性を付与する不純物元素、若しくはリン、砒素などのn型の導電性を付与する不純物元素を添加しても良い。閾値電圧を制御するための不純物元素の添加は、所定の形状にエッチング加工する前の半導体膜に対して行っても良いし、所定の形状にエッチング加工した後の半導体膜702に対して行っても良い。また、閾値電圧を制御するための不純物元素の添加を、ボンド基板に対して行っても良い。若しくは、不純物元素の添加を、閾値電圧を大まかに調整するためにボンド基板に対して行った上で、閾値電圧を微調整するために、所定の形状にエッチング加工する前の半導体膜に対して、又は所定の形状にエッチング加工した後の半導体膜702に対しても行っても良い。

20

【0128】

なお、本実施の形態では、単結晶の半導体膜を用いる例について説明しているが、本発明はこの構成に限定されない。例えば、絶縁膜701上に気相成長法を用いて形成された多結晶、微結晶、非晶質の半導体膜を用いても良いし、上記半導体膜を公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせ用いることもできる。また、石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプ加熱結晶化法、触媒元素を用いる結晶化法、950 程度の高温加熱法を組み合わせた結晶化法を用いても良い。

30

【0129】

次に、図8(B)に示すように、半導体膜702を所定の形状に加工し、半導体層704を形成する。そして、半導体層704上にゲート絶縁膜703を形成する。

40

【0130】

ゲート絶縁膜703は、例えば、プラズマCVD法又はスパッタリング法などを用い、酸化珪素、窒化酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウム又は酸化タンタル、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x > 0$ 、 $y > 0$ 、 $z > 0$))、窒素が添加されたハフニウムアルミネート($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x > 0$ 、 $y > 0$ 、 $z > 0$))等を含む膜を、単層で、又は積層させることで、形成することができる。

【0131】

50

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質を意味する。

【0132】

ゲート絶縁膜703の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。本実施の形態では、プラズマCVD法を用いて、酸化珪素を含む単層の絶縁膜を、ゲート絶縁膜703として用いる。

【0133】

次いで、図8(C)に示すように、ゲート電極707を形成する。

【0134】

ゲート電極707は、導電膜を形成した後、該導電膜を所定の形状に加工することで、形成することができる。上記導電膜の形成にはCVD法、スパッタリング法、蒸着法、スピコート法等を用いることができる。また、導電膜は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等を用いることができる。上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。又は、導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。

【0135】

なお、本実施の形態ではゲート電極707を単層の導電膜で形成しているが、本実施の形態はこの構成に限定されない。ゲート電極707は積層された複数の導電膜で形成されていても良い。

【0136】

2つの導電膜の組み合わせとして、1層目に窒化タンタル又はタンタルを、2層目にタングステンをを用いることができる。上記例の他に、窒化タングステンとタングステン、窒化モリブデンとモリブデン、アルミニウムとタンタル、アルミニウムとチタン等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、2層の導電膜を形成した後の工程において、熱活性化を目的とした加熱処理を行うことができる。また、2層の導電膜の組み合わせとして、例えば、n型の導電性を付与する不純物元素がドーピングされた珪素とニッケルシリサイド、n型の導電性を付与する不純物元素がドーピングされた珪素とタングステンシリサイド等も用いることができる。

【0137】

3つの導電膜を積層する3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

【0138】

また、ゲート電極707に酸化インジウム、酸化インジウムスズ、酸化インジウム亜鉛、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、又は酸化亜鉛ガリウム等の透光性を有する酸化物導電膜を用いることもできる。

【0139】

なお、マスクを用いずに、液滴吐出法を用いて選択的にゲート電極707を形成しても良い。液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出又は噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。

【0140】

また、ゲート電極707は、導電膜を形成後、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング条件(コイル型の電極層に印加される電力量、基板側の電極層に印加される電力量、基板側の電極温度等)を適宜調節することにより、所望のテーパ形状を有するようにエッチングすることができる。また、テーパ形状は、マスクの形状によっても角度等を制御することができる。なお、エッチング用ガスとしては、塩素、塩化硼素、塩化珪素もしくは四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄もしくは弗化窒素などのフッ素系ガス又は酸素を適宜用いることができる。

10

20

30

40

50

【 0 1 4 1 】

次に、図 8 (D) に示すように、ゲート電極 7 0 7 をマスクとして一導電性を付与する不純物元素を半導体層 7 0 4 に添加することで、ゲート電極 7 0 7 と重なるチャネル形成領域 7 1 0 と、チャネル形成領域 7 1 0 を間に挟む一対の不純物領域 7 0 9 とが、半導体層 7 0 4 に形成される。

【 0 1 4 2 】

本実施の形態では、半導体層 7 0 4 に p 型を付与する不純物元素 (例えばボロン) を添加する場合を例に挙げる。

【 0 1 4 3 】

次いで、図 9 (A) に示すように、ゲート絶縁膜 7 0 3、ゲート電極 7 0 7 を覆うように、絶縁膜 7 1 2、絶縁膜 7 1 3 を形成する。具体的に、絶縁膜 7 1 2、絶縁膜 7 1 3 は、酸化珪素、窒化珪素、窒化酸化珪素、酸化窒化珪素、窒化アルミニウム、窒化酸化アルミニウムなどの無機の絶縁膜を用いることができる。特に、絶縁膜 7 1 2、絶縁膜 7 1 3 に誘電率の低い (low - k) 材料を用いることで、各種電極や配線の重なり起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁膜 7 1 2、絶縁膜 7 1 3 に、上記材料を用いた多孔性の絶縁膜を適用しても良い。多孔性の絶縁膜では、密度の高い絶縁膜と比較して誘電率が低下するため、電極や配線に起因する寄生容量を更に低減することが可能である。

10

【 0 1 4 4 】

本実施の形態では、絶縁膜 7 1 2 として酸化窒化珪素、絶縁膜 7 1 3 として窒化酸化珪素を用いる場合を例に挙げる。また、本実施の形態では、ゲート電極 7 0 7 上に絶縁膜 7 1 2、絶縁膜 7 1 3 を形成している場合を例示しているが、本発明はゲート電極 7 0 7 上に絶縁膜を 1 層だけ形成していても良いし、3 層以上の複数の絶縁膜を積層するように形成していても良い。

20

【 0 1 4 5 】

次いで、図 9 (B) に示すように、絶縁膜 7 1 3 に C M P (化学的機械研磨) 処理やエッチング処理を行うことにより、絶縁膜 7 1 3 の上面を平坦化する。なお、後に形成されるトランジスタ 1 0 1 の特性を向上させるために、絶縁膜 7 1 3 の表面は可能な限り平坦にしておくことが好ましい。

【 0 1 4 6 】

以上の工程により、トランジスタ 1 0 3 を形成することができる。

30

【 0 1 4 7 】

次いで、トランジスタ 1 0 1 の作製方法について説明する。まず、図 9 (C) に示すように、絶縁膜 7 1 3 上に酸化物半導体層 7 1 6 を形成する。

【 0 1 4 8 】

酸化物半導体層 7 1 6 は、絶縁膜 7 1 3 上に形成した酸化物半導体膜を所望の形状に加工することで、形成することができる。上記酸化物半導体膜の膜厚は、2 nm 以上 2 0 0 nm 以下、好ましくは 3 nm 以上 5 0 nm 以下、更に好ましくは 3 nm 以上 2 0 nm 以下とする。酸化物半導体膜は、スパッタ法により成膜する。また、酸化物半導体膜は、希ガス (例えばアルゴン) 雰囲気下、酸素雰囲気下、又は希ガス (例えばアルゴン) 及び酸素混合雰囲気下においてスパッタ法により形成することができる。

40

【 0 1 4 9 】

なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、絶縁膜 7 1 3 の表面に付着している塵埃を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に R F 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

【 0 1 5 0 】

50

用いる酸化物半導体としては、少なくともインジウム (In) あるいは亜鉛 (Zn) を含むことが好ましい。特に In と Zn を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (Ga) を有することが好ましい。また、スタビライザーとしてスズ (Sn) を有することが好ましい。また、スタビライザーとしてハフニウム (Hf) を有することが好ましい。また、スタビライザーとしてアルミニウム (Al) を有することが好ましい。

【0151】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種あるいは複数種を有してもよい。

10

【0152】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In-Zn 系酸化物、Sn-Zn 系酸化物、Al-Zn 系酸化物、Zn-Mg 系酸化物、Sn-Mg 系酸化物、In-Mg 系酸化物、In-Ga 系酸化物、三元系金属の酸化物である In-Ga-Zn 系酸化物 (IGZO とも表記する)、In-Al-Zn 系酸化物、In-Sn-Zn 系酸化物、Sn-Ga-Zn 系酸化物、Al-Ga-Zn 系酸化物、Sn-Al-Zn 系酸化物、In-Hf-Zn 系酸化物、In-La-Zn 系酸化物、In-Ce-Zn 系酸化物、In-Pr-Zn 系酸化物、In-Nd-Zn 系酸化物、In-Sm-Zn 系酸化物、In-Eu-Zn 系酸化物、In-Gd-Zn 系酸化物、In-Tb-Zn 系酸化物、In-Dy-Zn 系酸化物、In-Ho-Zn 系酸化物、In-Er-Zn 系酸化物、In-Tm-Zn 系酸化物、In-Yb-Zn 系酸化物、In-Lu-Zn 系酸化物、四元系金属の酸化物である In-Sn-Ga-Zn 系酸化物、In-Hf-Ga-Zn 系酸化物、In-Al-Ga-Zn 系酸化物、In-Sn-Al-Zn 系酸化物、In-Sn-Hf-Zn 系酸化物、In-Hf-Al-Zn 系酸化物を用いることができる。また、上記酸化物半導体に In と Ga と Sn と Zn 以外の元素、例えば SiO₂ を含ませてもよい。

20

【0153】

なお、ここで、例えば、In-Ga-Zn 系酸化物とは、In と Ga と Zn を主成分として有する酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素が入っていてもよい。

30

【0154】

また、酸化物半導体として、InM₃(ZnO)_m (m > 0、且つ、m は整数でない) で表記される材料を用いてもよい。なお、M は、Ga、Fe、Mn 及び Co から選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、In₃SnO₅(ZnO)_n (n > 0、且つ、n は整数) で表記される材料を用いてもよい。

【0155】

例えば、In:Ga:Zn = 1:1:1 (= 1/3:1/3:1/3) あるいは In:Ga:Zn = 2:2:1 (= 2/5:2/5:1/5) の原子数比の In-Ga-Zn 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、In:Sn:Zn = 1:1:1 (= 1/3:1/3:1/3)、In:Sn:Zn = 2:1:3 (= 1/3:1/6:1/2) あるいは In:Sn:Zn = 2:1:5 (= 1/4:1/8:5/8) の原子数比の In-Sn-Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。

40

【0156】

しかし、これらに限られず、必要とする半導体特性 (移動度、しきい値、ばらつき等) に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

50

【0157】

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0158】

なお、例えば、In、Ga、Znの原子数比がIn:Ga:Zn = a:b:c (a+b+c=1)である酸化物の組成が、原子数比がIn:Ga:Zn = A:B:C (A+B+C=1)の酸化物の組成の近傍であるとは、a、b、cが、 $(a-A)^2 + (b-B)^2 + (c-C)^2 < r^2$ を満たすことを言う。rとしては、例えば、0.05とすればよい。他の酸化物でも同様である。

10

【0159】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0160】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0161】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。

20

【0162】

なお、Raは、JIS B0601で定義されている中心線平均粗さを面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【0163】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

30

【0164】

なお、上記において、 S_0 は、測定面(座標 (x_1, y_1) 、 (x_1, y_2) 、 (x_2, y_1) 、 (x_2, y_2) で表される4点によって囲まれる長方形の領域)の面積を指し、 Z_0 は測定面の平均高さを指す。Raは原子間力顕微鏡(AFM: Atomic Force Microscope)にて評価可能である。

【0165】

本実施の形態では、In(インジウム)、Ga(ガリウム)、及びZn(亜鉛)を含むターゲットを用いたスパッタ法により得られる膜厚30nmのIn-Ga-Zn系酸化物半導体の薄膜を、酸化物半導体膜として用いる。上記ターゲットとして、例えば、各金属の組成比がIn:Ga:Zn = 1:1:0.5、In:Ga:Zn = 1:1:1、又はIn:Ga:Zn = 1:1:2であるターゲットを用いることができる。また、In、Ga、及びZnを含むターゲットの充填率は90%以上100%以下、好ましくは95%以上100%未満である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

40

【0166】

本実施の形態では、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水

50

分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体膜を成膜する。成膜時に、基板温度を100以上600以下、好ましくは200以上400以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水(H₂O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

10

【0167】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する塵埃が軽減でき、膜厚分布も均一となるために好ましい。

【0168】

また、スパッタリング装置の処理室のリークレートを 1×10^{-10} Pa・m³/秒以下とすることで、スパッタリング法による成膜途中における酸化物半導体膜への、アルカリ金属、水素化物等の不純物の混入を低減することができる。また、排気系として上述した吸着型の真空ポンプを用いることで、排気系からのアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等の不純物の逆流を低減することができる。

20

【0169】

また、ターゲットの純度を、99.99%以上とすることで、酸化物半導体膜に混入するアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等を低減することができる。また、当該ターゲットを用いることで、酸化物半導体膜において、リチウム、ナトリウム、カリウム等のアルカリ金属の濃度を低減することができる。

【0170】

なお、酸化物半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で絶縁膜712及び絶縁膜713までが形成された基板700を予備加熱し、基板700に吸着した水分又は水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、100以上400以下、好ましくは150以上300以下である。また、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。また、この予備加熱は、後に行われるゲート絶縁膜721の成膜前に、導電層719、導電層720まで形成した基板700にも同様に行ってもよい。

30

【0171】

なお、酸化物半導体層716を形成するためのエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl₂)、三塩化硼素(BCl₃)、四塩化珪素(SiCl₄)、四塩化炭素(CCl₄)など)が好ましい。また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF₄)、六弗化硫黄(SF₆)、三弗化窒素(NF₃)、トリフルオロメタン(CHF₃)など)、臭化水素(HBr)、酸素(O₂)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

40

【0172】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加され

50

る電力量、基板側の電極温度等)を適宜調節する。

【0173】

ウェットエッチングに用いるエッチング液として、燐酸と酢酸と硝酸を混ぜた溶液、クエン酸やシュウ酸などの有機酸を用いることができる。本実施の形態では、ITO-07N(関東化学社製)を用いる。

【0174】

酸化物半導体層716を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0175】

なお、次工程の導電膜を形成する前に逆スパッタを行い、酸化物半導体層716及び絶縁膜713の表面に付着しているレジスト残渣などを除去することが好ましい。

【0176】

なお、スパッタ等で成膜された酸化物半導体膜中には、不純物としての水分又は水素(水酸基を含む)が含まれていることがある。水分又は水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、酸化物半導体膜中の水分又は水素などの不純物を低減(脱水化または脱水素化)するために、酸化物半導体層716に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア(CRDS(キャビティリングダウンレーザー分光法)方式)の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)雰囲気下で、加熱処理を施す。

【0177】

酸化物半導体層716に加熱処理を施すことで、酸化物半導体層716中の水分又は水素を脱離させることができる。具体的には、250以上750以下、好ましくは400以上基板の歪み点未満の温度で加熱処理を行えば良い。例えば、500、3分間以上6分間以下程度で行えばよい。加熱処理にRTA法を用いれば、短時間に脱水化又は脱水素化が行えるため、ガラス基板の歪点を越える温度でも処理することができる。

【0178】

本実施の形態では、加熱処理装置の一つである電気炉を用いる。

【0179】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

【0180】

加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水分又は水素などが含まれないことが好ましい。又は、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0181】

なお、酸化物半導体は不純物に対して鈍感であり、膜中にはかなりの金属不純物が含まれていても問題がなく、ナトリウムのようなアルカリ金属が多量に含まれる廉価なソーダ石灰ガラスも使えると指摘されている(神谷、野村、細野、「アモルファス酸化物半導体

10

20

30

40

50

の物性とデバイス開発の現状」、固体物理、2009年9月号、Vol. 44、pp. 621-633。しかし、このような指摘は適切でない。アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちNaは、酸化物半導体層に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散して Na^+ となる。また、Naは、酸化物半導体層内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの特性の劣化が起こり、加えて、特性のばらつきも生じる。この不純物によりもたらされるトランジスタの特性の劣化と、特性のばらつきは、酸化物半導体層中の水素濃度が十分に低い場合において顕著に現れる。従って、酸化物半導体層中の水素濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{17} / \text{cm}^3$ 以下である場合には、上記不純物の濃度を低減することが望ましい。具体的に、二次イオン質量分析法によるNa濃度の測定値は、 $5 \times 10^{16} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、Li濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、K濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。

【0182】

以上の工程により、酸化物半導体層716中の水素の濃度を低減することができる。それにより酸化物半導体層の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、キャリア密度が極端に少なく、バンドギャップの広い酸化物半導体層を形成することができる。このため、大面積基板を用いてトランジスタを作製することができ、量産性を高めることができる。また、当該水素濃度が低減された酸化物半導体層を用いることで、耐圧性が高く、オフ電流の著しく低いトランジスタを作製することができる。上記加熱処理は、酸化物半導体層の成膜以降であれば、いつでも行うことができる。

【0183】

なお、酸化物半導体層は非晶質であっても良いが、結晶性を有していても良い。結晶性を有する酸化物半導体層は、例えば、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜を用いて形成することができる。

【0184】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部および非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡 (TEM: Transmission Electron Microscope) による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界 (グレインバウンダリーともいう。) は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

【0185】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、 85° 以上 95° 以下の範囲も含まれることとする。また、単に平行と記載する場合、 -5° 以上 5° 以下の範囲も含まれることとする。

【0186】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被

10

20

30

40

50

形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、C A A C - O S 膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【 0 1 8 7 】

C A A C - O S 膜に含まれる結晶部の c 軸は、C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、C A A C - O S 膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部の c 軸の方向は、C A A C - O S 膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

10

【 0 1 8 8 】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【 0 1 8 9 】

C A A C - O S 膜を構成する酸素の一部は窒素で置換されてもよい。

【 0 1 9 0 】

C A A C - O S 膜は、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【 0 1 9 1 】

このような C A A C - O S 膜の例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる結晶を挙げることもできる。

20

【 0 1 9 2 】

C A A C - O S 膜に含まれる結晶構造の一例について図 1 6 乃至図 1 8 を用いて詳細に説明する。なお、特に断りがない限り、図 1 6 乃至図 1 8 は上方向を c 軸方向とし、c 軸方向と直交する面を a b 面とする。なお、単に上半分、下半分という場合、a b 面を境にした場合の上半分、下半分をいう。また、図 1 6 において、丸で囲まれた O は 4 配位の O を示し、二重丸で囲まれた O は 3 配位の O を示す。

30

【 0 1 9 3 】

図 1 6 (A) に、1 個の 6 配位の I n と、I n に近接の 6 個の 4 配位の酸素原子（以下 4 配位の O ）と、を有する構造を示す。ここでは、金属原子が 1 個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図 1 6 (A) の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図 1 6 (A) の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O がある。図 1 6 (A) に示す小グループは電荷が 0 である。

【 0 1 9 4 】

図 1 6 (B) に、1 個の 5 配位の G a と、G a に近接の 3 個の 3 配位の酸素原子（以下 3 配位の O ）と、G a に近接の 2 個の 4 配位の O と、を有する構造を示す。3 配位の O は、いずれも a b 面に存在する。図 1 6 (B) の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O がある。また、I n も 5 配位をとるため、図 1 6 (B) に示す構造をとりうる。図 1 6 (B) に示す小グループは電荷が 0 である。

40

【 0 1 9 5 】

図 1 6 (C) に、1 個の 4 配位の Z n と、Z n に近接の 4 個の 4 配位の O と、を有する構造を示す。図 1 6 (C) の上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。図 1 6 (C) に示す小グループは電荷が 0 である。

【 0 1 9 6 】

図 1 6 (D) に、1 個の 6 配位の S n と、S n に近接の 6 個の 4 配位の O と、を有する構造を示す。図 1 6 (D) の上半分には 3 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。図 1 6 (D) に示す小グループは電荷が + 1 となる。

50

【 0 1 9 7 】

図 1 6 (E) に、2 個の Zn を含む小グループを示す。図 1 6 (E) の上半分には 1 個の 4 配位の O があり、下半分には 1 個の 4 配位の O がある。図 1 6 (E) に示す小グループは電荷が -1 となる。

【 0 1 9 8 】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。

【 0 1 9 9 】

ここで、これらの小グループ同士が結合する規則について説明する。図 1 6 (A) に示す 6 配位の In の上半分の 3 個の O は、下方向にそれぞれ 3 個の近接 In を有し、下半分の 3 個の O は、上方向にそれぞれ 3 個の近接 In を有する。図 1 6 (B) に示す 5 配位の Ga の上半分の 1 個の O は下方向に 1 個の近接 Ga を有し、下半分の 1 個の O は上方向に 1 個の近接 Ga を有する。図 1 6 (C) に示す 4 配位の Zn の上半分の 1 個の O は下方向に 1 個の近接 Zn を有し、下半分の 3 個の O は上方向にそれぞれ 3 個の近接 Zn を有する。この様に、金属原子の上方向の 4 配位の O の数と、その O の下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の 4 配位の O の数と、その O の上方向にある近接金属原子の数は等しい。 O は 4 配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は 4 になる。従って、金属原子の上方向にある 4 配位の O の数と、別の金属原子の下方向にある 4 配位の O の数との和が 4 個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6 配位の金属原子（ In または Sn ）が下半分の 4 配位の O を介して結合する場合、4 配位の O が 3 個であるため、5 配位の金属原子（ Ga または In ）または 4 配位の金属原子（ Zn ）のいずれかと結合することになる。

【 0 2 0 0 】

これらの配位数を有する金属原子は、 c 軸方向において、4 配位の O を介して結合する。また、このほかにも、層構造の合計の電荷が 0 となるように複数の小グループが結合して中グループを構成する。

【 0 2 0 1 】

図 1 7 (A) に、 $In - Sn - Zn$ 系の酸化物の層構造を構成する中グループのモデル図を示す。図 1 7 (B) に、3 つの中グループで構成される大グループを示す。なお、図 1 7 (C) は、図 1 7 (B) の層構造を c 軸方向から観察した場合の原子配列を示す。

【 0 2 0 2 】

図 1 7 (A) においては、簡単のため、3 配位の O は省略し、4 配位の O は個数のみ示し、例えば、 Sn の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O があることを丸枠の 3 として示している。同様に、図 1 7 (A) において、 In の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O があり、丸枠の 1 として示している。また、同様に、図 1 7 (A) において、下半分には 1 個の 4 配位の O があり、上半分には 3 個の 4 配位の O がある Zn と、上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある Zn とを示している。

【 0 2 0 3 】

図 1 7 (A) において、 $In - Sn - Zn$ 系の酸化物の層構造を構成する中グループは、上から順に 4 配位の O が 3 個ずつ上半分および下半分にある Sn が、4 配位の O が 1 個ずつ上半分および下半分にある In と結合し、その In が、上半分に 3 個の 4 配位の O がある Zn と結合し、その Zn の下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分および下半分にある In と結合し、その In が、上半分に 1 個の 4 配位の O がある Zn 2 個からなる小グループと結合し、この小グループの下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分および下半分にある Sn と結合している構成である。この中グループが複数結合して大グループを構成する。

【 0 2 0 4 】

ここで、3 配位の O および 4 配位の O の場合、結合 1 本当たりの電荷はそれぞれ -0 .

10

20

30

40

50

667、-0.5と考えることができる。例えば、In(6配位または5配位)、Zn(4配位)、Sn(5配位または6配位)の電荷は、それぞれ+3、+2、+4である。従って、Snを含む小グループは電荷が+1となる。そのため、Snを含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図16(E)に示すように、2個のZnを含む小グループが挙げられる。例えば、Snを含む小グループが1個に対し、2個のZnを含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができる。

【0205】

具体的には、図17(B)に示した大グループが繰り返されることで、In-Sn-Zn系の酸化物の結晶($\text{In}_2\text{SnZn}_3\text{O}_8$)を得ることができる。なお、得られるIn-Sn-Zn-O系の層構造は、 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (mは0または自然数。)とする組成式で表すことができる。

10

【0206】

また、このほかにも、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物や、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する。)、In-Al-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物や、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物や、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物や、In-Ga系酸化物、一元系金属の酸化物であるIn系酸化物、Sn系酸化物、Zn系酸化物などを用いた場合も同様である。

20

【0207】

例えば、図18(A)に、In-Ga-Zn系の酸化物の層構造を構成する中グループのモデル図を示す。

【0208】

図18(A)において、In-Ga-Zn系の酸化物の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるInが、4配位のOが1個上半分にあるZnと結合し、そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGaと結合し、そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるInと結合している構成である。この中グループが複数結合して大グループを構成する。

30

【0209】

図18(B)に3つの中グループで構成される大グループを示す。なお、図18(C)は、図18(B)の層構造をc軸方向から観察した場合の原子配列を示している。

【0210】

ここで、In(6配位または5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、ZnおよびGaのいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

40

【0211】

また、In-Ga-Zn系の酸化物の層構造を構成する中グループは、図18(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループも取りうる。

【0212】

CAAC-OS膜は、非晶質の酸化物半導体膜と比較して、金属と酸素の結合が秩序化している。すなわち、酸化物半導体が非晶質の場合は、個々の金属原子によって金属原子

50

に配位している酸素原子の数が異なることも有り得るが、C A A C - O S 膜では金属原子に配位している酸素原子の数はほぼ一定となる。そのため、微視的な酸素の欠損が減少し、水素原子（水素イオンを含む）やアルカリ金属原子の脱着による電荷の移動や不安定性を減少させる効果がある。

【 0 2 1 3 】

従って、C A A C - O S 膜で構成された酸化物半導体膜を用いてトランジスタを作製することで、トランジスタへの照射またはバイアス - 熱ストレス（B T）の付加を行った後に生じる、トランジスタのしきい値電圧の変化量を、低減することができる。よって、安定した電気的特性を有するトランジスタを作製することができる。

【 0 2 1 4 】

次いで、図 1 0（A）に示すように、酸化物半導体層 7 1 6 と接する導電層 7 1 9 と、酸化物半導体層 7 1 6 と接する導電層 7 2 0 とを形成する。導電層 7 1 9 及び導電層 7 2 0 は、ソース電極又はドレイン電極として機能する。

【 0 2 1 5 】

具体的に、導電層 7 1 9 及び導電層 7 2 0 は、スパッタ法や真空蒸着法で導電膜を形成した後、該導電膜を所定の形状に加工することで、形成することができる。

【 0 2 1 6 】

導電層 7 1 9 及び導電層 7 2 0 となる導電膜は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素、又は上述した元素を成分とする合金が、上述した元素を組み合わせた合金膜等が挙げられる。また、アルミニウム、銅などの金属膜の下側もしくは上側にクロム、タンタル、チタン、モリブデン、タングステンなどの高融点金属膜を積層させた構成としても良い。また、アルミニウム又は銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジウム、スカンジウム、イットリウム等を用いることができる。

【 0 2 1 7 】

また、導電層 7 1 9 及び導電層 7 2 0 となる導電膜は、単層構造でも、2 層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する 2 層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、更にその上にチタン膜を成膜する 3 層構造などが挙げられる。また、C u - M g - A l 合金、M o - T i 合金、T i、M o、は、酸化膜との密着性が高い。よって、下層に C u - M g - A l 合金、M o - T i 合金、T i、或いは M o で構成される導電膜、上層に C u で構成される導電膜を積層し、上記積層された導電膜を導電層 7 1 9 及び導電層 7 2 0 に用いることで、酸化膜である絶縁膜と、導電層 7 1 9 及び導電層 7 2 0 との密着性を高めることができる。

【 0 2 1 8 】

また、導電層 7 1 9 及び導電層 7 2 0 となる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウムスズ、酸化インジウム亜鉛又は前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

【 0 2 1 9 】

導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

【 0 2 2 0 】

なお、導電膜のエッチングの際に、酸化物半導体層 7 1 6 がなるべく除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。エッチング条件によっては、酸化物半導体層 7 1 6 の露出した部分が一部エッチングされることで、溝部（凹部）が形成されることもある。

【 0 2 2 1 】

本実施の形態では、導電膜にチタン膜を用いる。そのため、アンモニアと過酸化水素水

10

20

30

40

50

を含む溶液（アンモニア過水）を用いて、選択的に導電膜をウェットエッチングすることができる。具体的には、31重量%の過酸化水素水と、28重量%のアンモニア水と水とを、体積比5：2：2で混合したアンモニア過水を用いる。或いは、塩素（ Cl_2 ）、塩化硼素（ BCl_3 ）などを含むガスを用いて、導電膜をドライエッチングしても良い。

【0222】

なお、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことで更に形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

10

【0223】

また、酸化物半導体層716と、ソース電極又はドレイン電極として機能する導電層719及び導電層720との間に、ソース領域及びドレイン領域として機能する酸化物導電膜を設けるようにしても良い。酸化物導電膜の材料としては、酸化亜鉛を成分として含むものが好ましく、酸化インジウムを含まないものであることが好ましい。そのような酸化物導電膜として、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどを適用することができる。

20

【0224】

例えば、酸化物導電膜を形成する場合、酸化物導電膜を形成するためのエッチング加工と、導電層719及び導電層720を形成するためのエッチング加工とを一括で行うようにしても良い。

【0225】

ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、酸化物半導体層716と導電層719及び導電層720の間の抵抗を下げるができるので、トランジスタの高速動作を実現させることができる。また、ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、トランジスタの耐圧を高めることができる。

【0226】

次いで、 N_2O 、 N_2 、又はArなどのガスを用いたプラズマ処理を行うようにしても良い。このプラズマ処理によって露出している酸化物半導体層の表面に付着した水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

30

【0227】

なお、プラズマ処理を行った後、図10(B)に示すように、導電層719及び導電層720と、酸化物半導体層716とを覆うように、ゲート絶縁膜721を形成する。そして、ゲート絶縁膜721上において、酸化物半導体層716と重なる位置にゲート電極722を形成する。

【0228】

そして、ゲート電極722が形成された後にゲート電極722をマスクとして酸化物半導体層716にn型の導電性を付与するドーパントを添加し、一对の高濃度領域908を形成する。なお、酸化物半導体層716のうち、ゲート絶縁膜721を間に挟んでゲート電極722と重なる領域がチャンネル形成領域となる。酸化物半導体層716では、一对の高濃度領域908の間にチャンネル形成領域が設けられている。一对の高濃度領域908を形成するためのドーパントの添加は、イオン注入法を用いることができる。ドーパントは、例えばヘリウム、アルゴン、キセノンなどの希ガスや、窒素、リン、ヒ素、アンチモンなどの5族原子などを用いることができる。例えば、窒素をドーパントとして用いた場合、高濃度領域908中の窒素原子の濃度は、 $5 \times 10^{19} / cm^3$ 以上 $1 \times 10^{22} / cm^3$ 以下であることが望ましい。n型の導電性を付与するドーパントが添加されている高濃度領域908は、酸化物半導体層716中の他の領域に比べて導電性が高くなる。よっ

40

50

て、一対の高濃度領域 908 を酸化物半導体層 716 に設けることで、ソース電極とドレイン電極（導電層 719 と導電層 720）の間の抵抗を下げることができる。

【0229】

そして、ソース電極とドレイン電極（導電層 719 と導電層 720）の間の抵抗を下げることによって、トランジスタ 101 の微細化を進めても、高いオン電流と、高速動作を確保することができる。また、トランジスタ 101 の微細化により、当該トランジスタを用いたメモリセルアレイの占める面積を縮小化し、メモリセルアレイにおいて単位面積あたりの記憶容量を高めることができる。

【0230】

また、In-Ga-Zn系酸化物半導体を酸化物半導体層 716 に用いた場合、窒素を添加した後、300 以上 600 以下で 1 時間程度加熱処理を施すことにより、一対の高濃度領域 908 中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。一対の高濃度領域 908 中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらは一対の高濃度領域 908 の導電性を高め、ソース電極とドレイン電極（導電層 719 と導電層 720）の間の抵抗を下げることができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、ソース電極とドレイン電極（導電層 719 と導電層 720）の間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度領域 908 中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上 7 atoms % 以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体が得られる場合もある。

【0231】

ゲート絶縁膜 721 は、ゲート絶縁膜 703 と同様の材料、同様の積層構造を用いて形成することが可能である。なお、ゲート絶縁膜 721 は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。ゲート絶縁膜 721 に水素が含まれると、その水素が酸化物半導体層 716 へ侵入し、又は水素が酸化物半導体層 716 中の酸素を引き抜き、酸化物半導体層 716 が低抵抗化（n型化）してしまい、寄生チャネルが形成されるおそれがある。よって、ゲート絶縁膜 721 はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。上記ゲート絶縁膜 721 には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、上記バリア性の高い絶縁膜よりも、酸化物半導体層 716 に近い側に形成する。そして、窒素の含有比率が低い絶縁膜を間に挟んで、導電層 719 及び導電層 720 及び酸化物半導体層 716 と重なるように、バリア性の高い絶縁膜を形成する。バリア性の高い絶縁膜を用いることで、酸化物半導体層 716 内、ゲート絶縁膜 721 内、或いは、酸化物半導体層 716 と他の絶縁膜の界面とその近傍に、水分又は水素などの不純物が入り込むのを防ぐことができる。また、酸化物半導体層 716 に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接酸化物半導体層 716 に接するのを防ぐことができる。

【0232】

本実施の形態では、スパッタ法で形成された膜厚 200 nm の酸化珪素膜上に、スパッタ法で形成された膜厚 100 nm の窒化珪素膜を積層させた構造を有する、ゲート絶縁膜 721 を形成する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では 100 とする。

【0233】

なお、ゲート絶縁膜 721 を形成した後に、加熱処理を施しても良い。加熱処理は、窒素、超乾燥空気、又は希ガス（アルゴン、ヘリウムなど）の雰囲気下において、好ましくは 200 以上 400 以下、例えば 250 以上 350 以下で行う。上記ガスは、水の含有量が 20 ppm 以下、好ましくは 1 ppm 以下、より好ましくは 10 ppb 以下で

10

20

30

40

50

あることが望ましい。本実施の形態では、例えば、窒素雰囲気下で250、1時間の加熱処理を行う。或いは、導電層719及び導電層720を形成する前に、水分又は水素を低減させるための酸化物半導体層に対して行った先の加熱処理と同様に、高温短時間のRTA処理を行っても良い。酸素を含むゲート絶縁膜721が設けられた後に、加熱処理が施されることによって、酸化物半導体層716に対して行った先の加熱処理により、酸化物半導体層716に酸素欠損が発生していたとしても、ゲート絶縁膜721から酸化物半導体層716に酸素が供与される。そして、酸化物半導体層716に酸素が供与されることで、酸化物半導体層716において、ドナーとなる酸素欠損を低減し、化学量論的組成比を満たすことが可能である。酸化物半導体層716には、化学量論組成比を超える量の酸素が含まれていることが好ましい。その結果、酸化物半導体層716をi型に近づけることができ、酸素欠損によるトランジスタの電気特性のばらつきを軽減し、電気特性の向上を実現することができる。この加熱処理を行うタイミングは、ゲート絶縁膜721の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透明導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく、酸化物半導体層716をi型に近づけることができる。

10

【0234】

また、窒素雰囲気下で酸化物半導体層716に加熱処理を施すことで、酸化物半導体に酸素を添加し、酸化物半導体層716中においてドナーとなる酸素欠損を低減させても良い。加熱処理の温度は、例えば100以上350未満、好ましくは150以上250未満で行う。上記窒素雰囲気下の加熱処理に用いられる酸素ガスには、水、水素などが含まれないことが好ましい。又は、加熱処理装置に導入する酸素ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち酸素中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

20

【0235】

或いは、イオン注入法又はイオンドーピング法などを用いて、酸化物半導体層716に酸素を添加することで、ドナーとなる酸素欠損を低減させても良い。例えば、2.45GHzのマイクロ波でプラズマ化した酸素を酸化物半導体層716に添加すれば良い。

【0236】

また、ゲート電極722は、ゲート絶縁膜721上に導電膜を形成した後、該導電膜をエッチング加工することで形成することができる。ゲート電極722は、ゲート電極707、或いは導電層719及び導電層720と同様の材料を用いて形成することが可能である。

30

【0237】

ゲート電極722の膜厚は、10nm~400nm、好ましくは100nm~200nmとする。本実施の形態では、タングステンターゲットを用いたスパッタ法により150nmのゲート電極用の導電膜を形成した後、該導電膜をエッチングにより所望の形状に加工することで、ゲート電極722を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0238】

以上の工程により、トランジスタ101が形成される。

40

【0239】

トランジスタ101は、ソース電極及びドレイン電極(導電層719及び導電層720)と、ゲート電極722とが重なっていない。すなわち、ソース電極及びドレイン電極(導電層719及び導電層720)とゲート電極722との間には、ゲート絶縁膜721の膜厚よりも大きい間隔が設けられている。よって、トランジスタ101は、ソース電極及びドレイン電極とゲート電極との間に形成される寄生容量を小さく抑えることができるので、高速動作を実現することができる。

【0240】

なお、トランジスタ101として、チャンネルが酸化物半導体層に形成されるトランジス

50

々に限定されず、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料を、チャネル形成領域に含むトランジスタを用いることもできる。このような半導体材料としては、酸化物半導体の他に、例えば、炭化シリコン、窒化ガリウムなどが挙げられる。このような半導体材料をチャネル形成領域に含むことで、オフ電流が極めて低いトランジスタを実現することができる。

【0241】

また、トランジスタ101はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、電氣的に接続された複数のゲート電極を有することで、チャネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

【0242】

なお、酸化物半導体層716に接する絶縁膜（本実施の形態においては、ゲート絶縁膜721が該当する。）は、第13族元素及び酸素を含む絶縁材料を用いるようにしても良い。酸化物半導体材料には第13族元素を含むものが多く、第13族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体層に接する絶縁膜に用いることで、酸化物半導体層との界面の状態を良好に保つことができる。

【0243】

第13族元素を含む絶縁材料とは、絶縁材料に一又は複数の第13族元素を含むことを意味する。第13族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量（原子%）よりアルミニウムの含有量（原子%）が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量（原子%）がアルミニウムの含有量（原子%）以上のものを示す。

【0244】

例えば、ガリウムを含有する酸化物半導体層に接して絶縁膜を形成する場合に、絶縁膜に酸化ガリウムを含む材料を用いることで酸化物半導体層と絶縁膜の界面特性を良好に保つことができる。例えば、酸化物半導体層と酸化ガリウムを含む絶縁膜とを接して設けることにより、酸化物半導体層と絶縁膜の界面における水素のパイルアップを低減することができる。なお、絶縁膜に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁膜を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。

【0245】

また、酸化物半導体層716に接する絶縁膜は、酸素雰囲気下による熱処理や、酸素ドーピングなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドーピングとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドーピングには、プラズマ化した酸素をバルクに添加する酸素プラズマドーピングが含まれる。また、酸素ドーピングは、イオン注入法又はイオンドーピング法を用いて行ってもよい。

【0246】

例えば、酸化物半導体層716に接する絶縁膜として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムの組成を Ga_2O_x ($X = 3 +$ 、 $0 < < 1$) とすることができる。

【0247】

また、酸化物半導体層716に接する絶縁膜として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化アルミニウムの組成を Al_2O_x ($X = 3 +$ 、 $0 < < 1$) とすることができる。

【0248】

また、酸化物半導体層716に接する絶縁膜として酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うこ

10

20

30

40

50

とにより、酸化ガリウムアルミニウム（酸化アルミニウムガリウム）の組成を $Ga_x Al_{2-x} O_3$ （ $0 < x < 2$ 、 $0 < < 1$ ）とすることができる。

【0249】

酸素ドーパ処理を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁膜を形成することができる。このような領域を備える絶縁膜と酸化物半導体層が接することにより、絶縁膜中の過剰な酸素が酸化物半導体層に供給され、酸化物半導体層中、又は酸化物半導体層と絶縁膜の界面における酸素欠陥を低減し、酸化物半導体層を i 型化又は i 型に限りなく近くすることができる。

【0250】

なお、化学量論的組成比より酸素が多い領域を有する絶縁膜は、酸化物半導体層 716 に接する絶縁膜のうち、上層に位置する絶縁膜又は下層に位置する絶縁膜のうち、どちらか一方のみに用いても良いが、両方の絶縁膜に用いる方が好ましい。化学量論的組成比より酸素が多い領域を有する絶縁膜を、酸化物半導体層 716 に接する絶縁膜の、上層及び下層に位置する絶縁膜に用い、酸化物半導体層 716 を挟む構成とすることで、上記効果をより高めることができる。

【0251】

また、酸化物半導体層 716 の上層又は下層に用いる絶縁膜は、上層と下層で同じ構成元素を有する絶縁膜としても良いし、異なる構成元素を有する絶縁膜としても良い。例えば、上層と下層とも、組成が $Ga_2 O_x$ （ $X = 3 +$ 、 $0 < < 1$ ）の酸化ガリウムとしても良いし、上層と下層の一方を組成が $Ga_2 O_x$ （ $X = 3 +$ 、 $0 < < 1$ ）の酸化ガリウムとし、他方を組成が $Al_2 O_x$ （ $X = 3 +$ 、 $0 < < 1$ ）の酸化アルミニウムとしても良い。

【0252】

また、酸化物半導体層 716 に接する絶縁膜は、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。例えば、酸化物半導体層 716 の上層に組成が $Ga_2 O_x$ （ $X = 3 +$ 、 $0 < < 1$ ）の酸化ガリウムを形成し、その上に組成が $Ga_x Al_{2-x} O_3$ （ $0 < x < 2$ 、 $0 < < 1$ ）の酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を形成してもよい。なお、酸化物半導体層 716 の下層を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良いし、酸化物半導体層 716 の上層及び下層の両方を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。

【0253】

次に、図 10 (C) に示すように、ゲート絶縁膜 721、ゲート電極 722 を覆うように、絶縁膜 724 を形成する。絶縁膜 724 は、PVD 法や CVD 法などを用いて形成することができる。また、酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化ガリウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。なお、絶縁膜 724 には、誘電率の低い材料や、誘電率の低い構造（多孔性の構造など）を用いることが望ましい。絶縁膜 724 の誘電率を低くすることにより、配線や電極などの間に生じる寄生容量を低減し、動作の高速化を図ることができるためである。なお、本実施の形態では、絶縁膜 724 を単層構造としているが、本発明の一態様はこれに限定されず、2 層以上の積層構造としても良い。

【0254】

次に、ゲート絶縁膜 721、絶縁膜 724 に開口部を形成し、導電層 720 の一部を露出させる。その後、絶縁膜 724 上に、上記開口部において導電層 720 と接する配線 726 を形成する。

【0255】

配線 726 は、PVD 法や、CVD 法を用いて導電膜を形成した後、当該導電膜をエッチング加工することによって形成される。また、導電膜の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウ

10

20

30

40

50

ム、ベリリウム、ネオジム、スカンジウムいずれか、又はこれらを複数組み合わせた材料を用いてもよい。

【0256】

より具体的には、例えば、絶縁膜724の開口を含む領域にPVD法によりチタン膜を薄く形成し、PVD法によりチタン膜を薄く(5nm程度)形成した後に、開口部に埋め込むようにアルミニウム膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、被形成面の酸化膜(自然酸化膜など)を還元し、下部電極など(ここでは導電層720)との接触抵抗を低減させる機能を有する。また、アルミニウム膜のヒロックを防止することができる。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

10

【0257】

次に、図10(D)に示すように、配線726を覆うように絶縁膜727を形成する。更に絶縁膜727上に導電膜を形成し、当該導電膜をエッチング加工することによって導電層7301を形成する。その後、導電層7301を覆うように絶縁膜7302を形成し、絶縁膜7302上に導電膜7303を形成する。こうして容量素子102を形成することができる。容量素子102の一对の電極のうち的一方が導電層7301に対応し、容量素子102の一对の電極のうち他方が導電膜7303に対応し、容量素子102の誘電体層が絶縁膜7302に対応する。ここで、絶縁膜727、導電層7301、絶縁膜7302、導電膜7303の材料は、その他絶縁膜や導電層と同様の材料を用いることができる。

20

【0258】

上述した一連の工程により、信号処理回路2000を作製することができる。

【0259】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0260】

(実施の形態5)

本実施の形態では、実施の形態4とは異なる構造を有した、酸化物半導体層を用いたトランジスタについて説明する。なお、図10と同じ部分は同じ符号と用いて示し、説明は省略する。

【0261】

図11(A)に示すトランジスタ911は、ゲート電極722が酸化物半導体層716の上に形成されているトップゲート型であり、なおかつ、ソース電極及びドレイン電極(導電層719及び導電層720)が酸化物半導体層716の下に形成されているボトムコンタクト型である。

30

【0262】

また、酸化物半導体層716は、ゲート電極722が形成された後に酸化物半導体層716にn型の導電性を付与するドーパントを添加することで得られる、一对の高濃度領域918を有する。また、酸化物半導体層716のうち、ゲート絶縁膜721を間に挟んでゲート電極722と重なる領域がチャンネル形成領域919である。酸化物半導体層716では、一对の高濃度領域918の間にチャンネル形成領域919が設けられている。

40

【0263】

一对の高濃度領域918は、実施の形態4において説明した一对の高濃度領域908と同様に形成することができる。

【0264】

図11(B)に示すトランジスタ911は、ゲート電極722が酸化物半導体層716の上に形成されているトップゲート型であり、なおかつ、ソース電極及びドレイン電極(導電層719及び導電層720)が酸化物半導体層716の上に形成されているトップコンタクト型である。そして、ゲート電極722の側部に設けられた、絶縁膜で形成されたサイドウォール930を有する。

【0265】

50

また、酸化物半導体層 716 は、ゲート電極 722 が形成された後に酸化物半導体層 716 に n 型の導電性を付与するドーパントを添加することで得られる、一对の高濃度領域 928 と、一对の低濃度領域 929 とを有する。また、酸化物半導体層 716 のうち、ゲート絶縁膜 721 を間に挟んでゲート電極 722 と重なる領域がチャンネル形成領域 931 である。酸化物半導体層 716 では、一对の高濃度領域 928 の間に一对の低濃度領域 929 が設けられ、一对の低濃度領域 929 の間にチャンネル形成領域 931 が設けられている。そして、一对の低濃度領域 929 は、酸化物半導体層 716 中の、ゲート絶縁膜 721 を間に挟んでサイドウォール 930 と重なる領域に設けられている。

【0266】

一对の高濃度領域 928 及び一对の低濃度領域 929 は、実施の形態 4 において説明した一对の高濃度領域 908 と同様に形成することができる。

10

【0267】

図 11 (C) に示すトランジスタ 911 は、ゲート電極 722 が酸化物半導体層 716 の上に形成されているトップゲート型であり、なおかつ、ソース電極及びドレイン電極 (導電層 719 及び導電層 720) が酸化物半導体層 716 の下に形成されているボトムコンタクト型である。そして、ゲート電極 722 の側部に設けられた、絶縁膜で形成されたサイドウォール 950 を有する。

【0268】

また、酸化物半導体層 716 は、ゲート電極 722 が形成された後に酸化物半導体層 716 に n 型の導電性を付与するドーパントを添加することで得られる、一对の高濃度領域 948 と、一对の低濃度領域 949 とを有する。また、酸化物半導体層 716 のうち、ゲート絶縁膜 721 を間に挟んでゲート電極 722 と重なる領域がチャンネル形成領域 951 である。酸化物半導体層 716 では、一对の高濃度領域 948 の間に一对の低濃度領域 949 が設けられ、一对の低濃度領域 949 の間にチャンネル形成領域 951 が設けられている。そして、一对の低濃度領域 949 は、酸化物半導体層 716 中の、ゲート絶縁膜 721 を間に挟んでサイドウォール 950 と重なる領域に設けられている。

20

【0269】

一对の高濃度領域 948 及び一对の低濃度領域 949 は、実施の形態 4 において説明した一对の高濃度領域 908 と同様に形成することができる。

【0270】

なお、酸化物半導体を用いたトランジスタにおいて、ソース領域またはドレイン領域として機能する高濃度領域をセルフアラインプロセスにて作製する方法の一つとして、酸化物半導体層の表面を露出させて、アルゴンプラズマ処理をおこない、酸化物半導体層のプラズマにさらされた領域の抵抗率を低下させる方法が開示されている (S. Jeon et al. "180nm Gate Length Amorphous InGaZnO Thin Film Transistor for High Density Image Sensor Applications", IEDM Tech. Dig., p. 504 - 507, 2010.)。

30

【0271】

しかしながら、上記作製方法では、ゲート絶縁膜を形成した後に、ソース領域またはドレイン領域となるべき部分を露出するべく、ゲート絶縁膜を部分的に除去する必要がある。よって、ゲート絶縁膜が除去される際に、下層の酸化物半導体層も部分的にオーバーエッチングされ、ソース領域またはドレイン領域となるべき部分の膜厚が小さくなってしまふ。その結果、ソース領域またはドレイン領域の抵抗が増加し、また、オーバーエッチングによるトランジスタの特性不良が起こりやすくなる。

40

【0272】

トランジスタの微細化を進めるには、加工精度の高いドライエッチング法を採用する必要がある。しかし、上記オーバーエッチングは、酸化物半導体層とゲート絶縁膜の選択比が十分に確保できないドライエッチング法を採用する場合に、顕著に起こりやすい。

【0273】

50

例えば、酸化物半導体層が十分な厚さであればオーバーエッチングも問題にはならないが、チャンネル長を200nm以下とする場合には、短チャンネル効果を防止する上で、チャンネル形成領域となる部分の酸化物半導体層の厚さは20nm以下、好ましくは10nm以下であることが求められる。そのような薄い酸化物半導体層を扱う場合には、酸化物半導体層のオーバーエッチングは、上述したような、ソース領域またはドレイン領域の抵抗が増加、トランジスタの特性不良を生じさせるため、好ましくない。

【0274】

しかし、本発明の一態様のように、酸化物半導体層へのドーパントの添加を、酸化物半導体層を露出させず、ゲート絶縁膜を残したまま行うことで、酸化物半導体層のオーバーエッチングを防ぎ、酸化物半導体層への過剰なダメージを軽減することができる。また、
10 加えて、酸化物半導体層とゲート絶縁膜の界面も清浄に保たれる。従って、トランジスタの特性及び信頼性を高めることができる。

【0275】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0276】

(実施の形態6)

本実施の形態では、実施の形態4や実施の形態5とは異なる構造を有した、酸化物半導体層を用いたトランジスタについて説明する。なお、図10と同じ部分は同じ符号と用いて示し、説明は省略する。本実施の形態において示すトランジスタ101は、ゲート電極722が導電層719及び導電層720と重なる様に設けられている。また、実施の形態
20 4や実施の形態5に示したトランジスタ101とは異なり、酸化物半導体層716に対して、ゲート電極722をマスクとした導電型を付与する不純物元素の添加が行われていない点異なる。

【0277】

図12(A)に示すトランジスタ101は、導電層719及び導電層720の下方に酸化物半導体層716が設けられる例であり、図12(B)に示すトランジスタ101は、導電層719及び導電層720の上方に酸化物半導体層716が設けられる例である。なお、図12(A)及び図12(B)において、絶縁膜724の上面が平坦化されていない構成を示したがこれに限定されない。絶縁膜724の上面が平坦化されていてもよい。
30

【0278】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0279】

(実施の形態7)

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。そこで、本実施の形態では、半導体内部に欠陥がない理想的な酸化物半導体の電界効果移動度を理論的に導き出すとともに、このような酸化物半導体を用いて微細なトランジスタを作製した場合の特性の計算結果を示す。
40

【0280】

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのポテンシャル障壁(粒界等)が存在すると仮定すると、以下の式で表現できる。

【0281】

【数2】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

【0282】

ここで、Eはポテンシャル障壁の高さであり、kがボルツマン定数、Tは絶対温度であ
50

る。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルでは、以下の式で表される。

【0283】

【数3】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

【0284】

ここで、 e は電気素量、 N はチャンネル内の単位面積当たりの平均欠陥密度、 ϵ は半導体の誘電率、 n は単位面積当たりのチャンネルに含まれるキャリア数、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、 t はチャンネルの厚さである。なお、厚さ30nm以下の半導体層であれば、チャンネルの厚さは半導体層の厚さと同じとして差し支えない。線形領域におけるドレイン電流 I_d は、以下の式となる。

10

【0285】

【数4】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

【0286】

ここで、 L はチャンネル長、 W はチャンネル幅であり、ここでは、 $L = W = 10 \mu m$ である。また、 V_d はドレイン電圧である。上式の両辺を V_g で割り、更に両辺の対数を取ると、以下のようになる。

20

【0287】

【数5】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

【0288】

数5の右辺は V_g の関数である。この式からわかるように、縦軸を $\ln(I_d / V_g)$ 、横軸を $1 / V_g$ として実測値をプロットして得られるグラフの直線の傾きから欠陥密度 N が求められる。すなわち、トランジスタの $I_d - V_g$ 特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム(In)、スズ(Sn)、亜鉛(Zn)の比率が、 $In : Sn : Zn = 1 : 1 : 1$ のものでは欠陥密度 N は $1 \times 10^{12} / cm^2$ 程度である。

30

【0289】

このようにして求めた欠陥密度等をもとに数2および数3より $\mu_0 = 120 cm^2 / Vs$ が導出される。欠陥のあるIn-Sn-Zn系の酸化物で測定される移動度は $40 cm^2 / Vs$ 程度である。しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120 cm^2 / Vs$ となると予想できる。

【0290】

40

ただし、半導体内部に欠陥がなくても、チャンネルとゲート絶縁膜との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁膜界面から x だけ離れた場所における移動度 μ_1 は、以下の式で表される。

【0291】

【数6】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

【0292】

50

ここで、Dはゲート方向の電界、B、Gは定数である。BおよびGは、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $G = 10 \text{ nm}$ （界面散乱が及ぶ深さ）である。Dが増加する（すなわち、ゲート電圧が高くなる）と数6の第2項が増加するため、移動度 μ_1 は低下することがわかる。

【0293】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度 μ_2 を計算した結果を図19に示す。なお、計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、2.8電子ボルト、4.7電子ボルト、15、15 nmとした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

10

【0294】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、5.5電子ボルト、4.6電子ボルト、4.6電子ボルトとした。また、ゲート絶縁膜の厚さは100 nm、比誘電率は4.1とした。チャネル長およびチャネル幅はともに10 μm 、ドレイン電圧 V_d は0.1 Vである。

【0295】

図19で示されるように、ゲート電圧1 V強で移動度100 cm^2/Vs 以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること（Atomic Layer Flatness）が望ましい。

20

【0296】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した結果を図20乃至図22に示す。なお、計算に用いたトランジスタの断面構造を図23に示す。図23に示すトランジスタは酸化物半導体層に n^+ の導電型を呈する半導体領域803 aおよび半導体領域803 cを有する。半導体領域803 aおよび半導体領域803 cの抵抗率は $2 \times 10^{-3} \text{ cm}$ とする。

【0297】

図23(A)に示すトランジスタは、下地絶縁層801と、下地絶縁層801に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物802の上に形成される。トランジスタは半導体領域803 a、半導体領域803 cと、それらに挟まれ、チャネル形成領域となる真性の半導体領域803 bと、ゲート805を有する。ゲート805の幅を33 nmとする。

30

【0298】

ゲート805と半導体領域803 bの間には、ゲート絶縁膜804を有し、また、ゲート805の両側面には側壁絶縁物806 aおよび側壁絶縁物806 b、ゲート805の上部には、ゲート805と他の配線との短絡を防止するための絶縁物807を有する。側壁絶縁物の幅は5 nmとする。また、半導体領域803 aおよび半導体領域803 cに接して、ソース808 aおよびドレイン808 bを有する。なお、このトランジスタにおけるチャネル幅を40 nmとする。

40

【0299】

図23(B)に示すトランジスタは、下地絶縁層801と、酸化アルミニウムよりなる埋め込み絶縁物802の上に形成され、半導体領域803 a、半導体領域803 cと、それらに挟まれた真性の半導体領域803 bと、幅33 nmのゲート805とゲート絶縁膜804と側壁絶縁物806 aおよび側壁絶縁物806 bと絶縁物807とソース808 aおよびドレイン808 bを有する点で図23(A)に示すトランジスタと同じである。

【0300】

図23(A)に示すトランジスタと図23(B)に示すトランジスタの相違点は、側壁絶縁物806 aおよび側壁絶縁物806 bの下の半導体領域の導電型である。図23(A)に示すトランジスタでは、側壁絶縁物806 aおよび側壁絶縁物806 bの下の半導体

50

領域は n^+ の導電性を呈する半導体領域 803a および半導体領域 803c であるが、図 23 (B) に示すトランジスタでは、真性の半導体領域 803b である。すなわち、半導体領域 803a (半導体領域 803c) とゲート 805 が幅 L_{off} だけ重ならない領域ができています。この領域をオフセット領域といい、その幅 L_{off} をオフセット長という。図から明らかのように、オフセット長は、側壁絶縁物 806a (側壁絶縁物 806b) の幅と同じである。

【0301】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Device を使用した。図 20 は、図 23 (A) に示される構造のトランジスタのドレイン電流 (I_d 、実線) および移動度 (μ 、点線) のゲート電圧 (V_g 、ゲートとソースの電位差) 依存性を示す。ドレイン電流 I_d は、ドレイン電圧 (ドレインとソースの電位差) を +1V とし、移動度 μ はドレイン電圧を +0.1V として計算したものである。

10

【0302】

図 20 (A) はゲート絶縁層の厚さを 15nm としたものであり、図 20 (B) は 10nm としたものであり、図 20 (C) は 5nm としたものである。ゲート絶縁層が薄くなるほど、特にオフ状態でのドレイン電流 I_d (オフ電流) が顕著に低下する。一方、移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流) には目立った変化が無い。ゲート電圧 1V 前後で、ドレイン電流は 10 μ A を超えることが示された。

20

【0303】

図 21 は、図 23 (B) に示される構造のトランジスタで、オフセット長 L_{off} を 5nm としたもののドレイン電流 I_d (実線) および移動度 μ (点線) のゲート電圧 V_g 依存性を示す。ドレイン電流 I_d は、ドレイン電圧を +1V とし、移動度 μ はドレイン電圧を +0.1V として計算したものである。図 21 (A) はゲート絶縁層の厚さを 15nm としたものであり、図 21 (B) は 10nm としたものであり、図 21 (C) は 5nm としたものである。

【0304】

また、図 22 は、図 23 (B) に示される構造のトランジスタで、オフセット長 L_{off} を 15nm としたもののドレイン電流 I_d (実線) および移動度 μ (点線) のゲート電圧依存性を示す。ドレイン電流 I_d は、ドレイン電圧を +1V とし、移動度 μ はドレイン電圧を +0.1V として計算したものである。図 22 (A) はゲート絶縁層の厚さを 15nm としたものであり、図 22 (B) は 10nm としたものであり、図 22 (C) は 5nm としたものである。

30

【0305】

いずれもゲート絶縁膜が薄くなるほど、オフ電流が顕著に低下する一方、移動度 μ のピーク値やオン電流には目立った変化が無い。

【0306】

なお、移動度 μ のピークは、図 20 では 80 cm^2/Vs 程度であるが、図 21 では 60 cm^2/Vs 程度、図 22 では 40 cm^2/Vs と、オフセット長 L_{off} が増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流にはオフセット長 L_{off} の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧 1V 前後で、ドレイン電流はメモリ素子等で必要とされる 10 μ A を超えることが示された。

40

【0307】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0308】

(実施の形態 8)

本発明の一態様に係る信号処理回路に用いることができる、In、Sn、Zn を主成分とする酸化物半導体をチャネル形成領域とするトランジスタは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行う

50

ことで良好な特性を得ることができる。なお、主成分とは組成比で5 a t o m i c %以上含まれる元素をいう。

【0309】

In、Sn、Znを主成分とする酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリ・オフ化させることが可能となる。

【0310】

例えば、図24(A)~(C)は、In、Sn、Znを主成分とし、チャンネル長Lが3 μm 、チャンネル幅Wが10 μm である酸化物半導体膜と、厚さ100 nmのゲート絶縁膜を用いたトランジスタの特性である。なお、 V_d は10 Vとした。

10

【0311】

図24(A)は基板を意図的に加熱せずにスパッタリング法でIn、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性である。このとき電界効果移動度は18.8 cm^2/Vs が得られている。一方、基板を意図的に加熱してIn、Sn、Znを主成分とする酸化物半導体膜を形成すると電界効果移動度を向上させることが可能となる。図24(B)は基板を200 に加熱してIn、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性を示すが、電界効果移動度は32.2 cm^2/Vs が得られている。

【0312】

電界効果移動度は、In、Sn、Znを主成分とする酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図24(C)は、In、Sn、Znを主成分とする酸化物半導体膜を200 でスパッタリング成膜した後、650 で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は34.5 cm^2/Vs が得られている。

20

【0313】

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体膜中に取り込まれるのを低減することができる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためと

30

【0314】

In、Sn、Znを主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

【0315】

基板を意図的に加熱して成膜すること及び/又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることに寄与している。基板を意図的に加熱しないで形成されたIn、Sn、Znを主成分とする酸化物半導体膜をチャンネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリ・オフとなる方向に動き、このような傾向は図24(A)と図24(B)の対比からも確認することができる。

40

【0316】

なお、しきい値電圧はIn、Sn及びZnの比率を変えることによっても制御することが可能であり、組成比としてIn:Sn:Zn=2:1:3とすることでトランジスタの

50

ノーマリ・オフ化することができる。また、ターゲットの組成比を $I_n : S_n : Z_n = 2 : 1 : 3$ とすることで結晶性の高い酸化物半導体膜を得ることができる。

【0317】

意図的な基板加熱温度若しくは熱処理温度は、150 以上、好ましくは200 以上、より好ましくは400 以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリ・オフ化を図ることが可能となる。

【0318】

また、意図的に基板を加熱した成膜及び/又は成膜後に熱処理をすることで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、2MV/cm、150、1時間印加の条件において、ドリフトがそれぞれ ± 1.5 V未満、好ましくは1.0V未満を得ることができる。

10

【0319】

実際に、酸化物半導体膜成膜後に加熱処理を行っていない試料1と、650 の加熱処理を行った試料2のトランジスタに対してBT試験を行った。

【0320】

まず基板温度を25 とし、 V_{ds} を10Vとし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、基板温度を150 とし、 V_{ds} を0.1Vとした。次に、ゲート絶縁膜に印加される電界強度が2MV/cmとなるように V_g に20Vを印加し、そのまま1時間保持した。次に、 V_g を0Vとした。次に、基板温度25 とし、 V_{ds} を10Vとし、トランジスタの $V_g - I_d$ 測定を行った。これをプラスBT試験と呼ぶ。

20

【0321】

同様に、まず基板温度を25 とし、 V_{ds} を10Vとし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、基板温度を150 とし、 V_{ds} を0.1Vとした。次に、ゲート絶縁膜に印加される電界強度が-2MV/cmとなるように V_g に-20Vを印加し、そのまま1時間保持した。次に、 V_g を0Vとした。次に、基板温度25 とし、 V_{ds} を10Vとし、トランジスタの $V_g - I_d$ 測定を行った。これをマイナスBT試験と呼ぶ。

【0322】

試料1のプラスBT試験の結果を図25(A)に、マイナスBT試験の結果を図25(B)に示す。また、試料2のプラスBT試験の結果を図26(A)に、マイナスBT試験の結果を図26(B)に示す。

30

【0323】

試料1のプラスBT試験およびマイナスBT試験によるしきい値電圧の変動は、それぞれ1.80Vおよび-0.42Vであった。また、試料2のプラスBT試験およびマイナスBT試験によるしきい値電圧の変動は、それぞれ0.79Vおよび0.76Vであった。試料1および試料2のいずれも、BT試験前後におけるしきい値電圧の変動が小さく、信頼性が高いことがわかる。

【0324】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、または減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行っても良い。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用しても良い。

40

【0325】

酸化物半導体中及び該酸化物半導体と接する膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、後に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は $1 \times 10^{16} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下とすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができる。

50

【0326】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることで、より安定な酸化物半導体膜を得ることができる。例えば、組成比 $In : Sn : Zn = 1 : 1 : 1$ のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体膜は、X線回折 (XRD: X-Ray Diffraction) でハローパターンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば650の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。

【0327】

実際に、 $In - Sn - Zn$ 系の酸化膜のXRD分析を行った。XRD分析には、Bruker AXS社製X線回折装置D8 ADVANCEを用い、Out-of-Plane法で測定した。

10

【0328】

XRD分析を行った試料として、試料Aおよび試料Bを用意した。以下に試料Aおよび試料Bの作製方法を説明する。

【0329】

脱水素化処理済みの石英基板上に $In - Sn - Zn$ 系の酸化膜を100nmの厚さで成膜した。

【0330】

$In - Sn - Zn$ 系の酸化膜は、スパッタリング装置を用い、酸素雰囲気中で電力を100W (DC)として成膜した。ターゲットは、 $In : Sn : Zn = 1 : 1 : 1$ [原子数比]の $In - Sn - Zn - O$ ターゲットを用いた。なお、成膜時の基板加熱温度は200とした。このようにして作製した試料を試料Aとした。

20

【0331】

次に、試料Aと同様の方法で作製した試料に対し加熱処理を650の温度で行った。加熱処理は、はじめに窒素雰囲気中で1時間の加熱処理を行い、温度を下げずに酸素雰囲気ですらに1時間の加熱処理を行っている。このようにして作製した試料を試料Bとした。

【0332】

図27に試料Aおよび試料BのXRDスペクトルを示す。試料Aでは、結晶由来のピークが観測されなかったが、試料Bでは、2θが35deg近傍および37deg~38degに結晶由来のピークが観測された。

30

【0333】

このように、 In 、 Sn 、 Zn を主成分とする酸化物半導体は成膜時に意図的に加熱すること及び/又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

【0334】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含ませないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによってトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を $1 \text{ aA} / \mu\text{m}$ 以下にすることができる。ここで、上記オフ電流値の単位は、チャンネル幅 $1 \mu\text{m}$ あたりの電流値を示す。

40

【0335】

図28に、トランジスタのオフ電流と測定時の基板温度(絶対温度)の逆数との関係を示す。ここでは、簡単のため測定時の基板温度の逆数に1000を掛けた数値($1000/T$)を横軸としている。

【0336】

具体的には、図28に示すように、基板温度が125の場合には $1 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-18} \text{ A} / \mu\text{m}$)以下、85の場合には $100 \text{ zA} / \mu\text{m}$ ($1 \times 10^{-19} \text{ A} / \mu\text{m}$)以下、室温(27)の場合には $1 \text{ zA} / \mu\text{m}$ ($1 \times 10^{-21} \text{ A} / \mu\text{m}$)以下にす

50

ることができる。好ましくは、125 において $0.1 \text{ a A} / \mu\text{m}$ ($1 \times 10^{-19} \text{ A} / \mu\text{m}$) 以下に、85 において $10 \text{ z A} / \mu\text{m}$ ($1 \times 10^{-20} \text{ A} / \mu\text{m}$) 以下に、室温において $0.1 \text{ z A} / \mu\text{m}$ ($1 \times 10^{-22} \text{ A} / \mu\text{m}$) 以下にすることができる。

【0337】

もっとも、酸化物半導体膜の成膜時に水素や水分が膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点 - 70 以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていないように、高純度化されたターゲットを用いることが好ましい。

10

【0338】

また、酸化物半導体膜成膜後に 650 の加熱処理を行った試料のトランジスタにおいて、基板温度と電気的特性の関係について評価した。

【0339】

測定に用いたトランジスタは、チャネル長 L が $3 \mu\text{m}$ 、チャネル幅 W が $10 \mu\text{m}$ 、 L_{ov} が $0 \mu\text{m}$ 、 dW が $0 \mu\text{m}$ である。なお、 V_{ds} は 10 V とした。なお、基板温度は - 40、- 25、25、75、125 および 150 で行った。ここで、トランジスタにおいて、ゲート電極と一対の電極との重畳する幅を L_{ov} と呼び、酸化物半導体膜

20

【0340】

図 29 に、 I_d (実線) および電界効果移動度 (点線) の V_g 依存性を示す。また、図 30 (A) に基板温度としきい値電圧の関係を、図 30 (B) に基板温度と電界効果移動度の関係を示す。

【0341】

図 30 (A) より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は - 40 ~ 150 で $1.09 \text{ V} \sim - 0.23 \text{ V}$ であった。

【0342】

また、図 30 (B) より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は - 40 ~ 150 で $36 \text{ cm}^2 / \text{Vs} \sim 32 \text{ cm}^2 / \text{Vs}$ であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

30

【0343】

上記のような I_n 、 S_n 、 Z_n を主成分とする酸化物半導体をチャネル形成領域とするトランジスタによれば、オフ電流を $1 \text{ a A} / \mu\text{m}$ 以下に保ちつつ、電界効果移動度を $30 \text{ cm}^2 / \text{Vs}$ 以上、好ましくは $40 \text{ cm}^2 / \text{Vs}$ 以上、より好ましくは $60 \text{ cm}^2 / \text{Vs}$ 以上とし、 LSI で要求されるオン電流の値を満たすことができる。例えば、 $L/W = 33 \text{ nm} / 40 \text{ nm}$ の FET で、ゲート電圧 2.7 V 、ドレイン電圧 1.0 V のとき $12 \mu\text{A}$ 以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、 Si 半導体で作られる集積回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する集積回路を実現することができる。

40

【0344】

本実施の形態は、他の実施の形態と適宜組み合わせ実施することが可能である。

【0345】

(実施の形態 9)

本実施の形態では、上記実施の形態とは異なる構造を有する、酸化物半導体膜を用いたトランジスタについて説明する。酸化物半導体膜を構成する酸化物半導体は、 I_n 、 S_n 、及び Z_n を含む酸化物半導体 ($I_n - S_n - Z_n$ 系酸化物半導体) を用いてもよいし、他の実施の形態において説明した他の酸化物半導体を用いてもよい。

50

【0346】

図31は、コプレー型であるトップゲート・トップコンタクト構造のトランジスタの上面図および断面図である。図31(A)にトランジスタの上面図を示す。また、図31(B)に図31(A)の一点鎖線A-Bに対応する断面A-Bを示す。

【0347】

図31(B)に示すトランジスタは、基板2100と、基板2100上に設けられた下地絶縁膜2102と、下地絶縁膜2102の周辺に設けられた保護絶縁膜2104と、下地絶縁膜2102および保護絶縁膜2104上に設けられた高抵抗領域2106aおよび低抵抗領域2106bを有する酸化物半導体膜2106と、酸化物半導体膜2106上に設けられたゲート絶縁膜2108と、ゲート絶縁膜2108を介して酸化物半導体膜2106と重畳して設けられたゲート電極2110と、ゲート電極2110の側面と接して設けられた側壁絶縁膜2112と、少なくとも低抵抗領域2106bと接して設けられた一対の電極2114と、少なくとも酸化物半導体膜2106、ゲート電極2110および一対の電極2114を覆って設けられた層間絶縁膜2116と、層間絶縁膜2116に設けられた開口部を介して少なくとも一対の電極2114の一方と接続して設けられた配線2118と、を有する。

10

【0348】

なお、図示しないが、層間絶縁膜2116および配線2118を覆って設けられた保護膜を有していても構わない。該保護膜を設けることで、層間絶縁膜2116の表面伝導に起因して生じる微小リーク電流を低減することができ、トランジスタのオフ電流を低減することができる。

20

【0349】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0350】

(実施の形態10)

本実施の形態では、上記実施の形態とは異なる構造を有する、酸化物半導体膜を用いたトランジスタについて説明する。なお、本実施の形態では酸化物半導体膜を構成する酸化物半導体として、In、Sn、及びZnを含む酸化物半導体(In-Sn-Zn系酸化物半導体)を用いた場合について説明するが、他の実施の形態において説明した他の酸化物半導体を用いることもできる。

30

【0351】

図32は、本実施例で作製したトランジスタの構造を示す上面図および断面図である。図32(A)はトランジスタの上面図である。また、図32(B)は図32(A)の一点鎖線A-Bに対応する断面図である。

【0352】

図32(B)に示すトランジスタは、基板2600と、基板2600上に設けられた下地絶縁膜2602と、下地絶縁膜2602上に設けられた酸化物半導体膜2606と、酸化物半導体膜2606と接する一対の電極2614と、酸化物半導体膜2606および一対の電極2614上に設けられたゲート絶縁膜2608と、ゲート絶縁膜2608を介して酸化物半導体膜2606と重畳して設けられたゲート電極2610と、ゲート絶縁膜2608およびゲート電極2610を覆って設けられた層間絶縁膜2616と、層間絶縁膜2616に設けられた開口部を介して一対の電極2614と接続する配線2618と、層間絶縁膜2616および配線2618を覆って設けられた保護膜2620と、を有する。

40

【0353】

基板2600としてはガラス基板を、下地絶縁膜2602としては酸化シリコン膜を、酸化物半導体膜2606としてはIn-Sn-Zn系の酸化膜を、一対の電極2614としてはタングステン膜を、ゲート絶縁膜2608としては酸化シリコン膜を、ゲート電極2610としては窒化タンタル膜とタングステン膜との積層構造を、層間絶縁膜2616としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線2618としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜2620とし

50

てはポリイミド膜を、それぞれ用いた。

【0354】

なお、図32(A)に示す構造のトランジスタにおいて、ゲート電極2610と一对の電極2614との重畳する幅を L_{ov} と呼ぶ。同様に、酸化物半導体膜2606に対する一对の電極2614のはみ出しを dW と呼ぶ。

【0355】

(実施の形態11)

一般に、不揮発性のランダムアクセスメモリとして磁気トンネル接合素子(MTJ素子)が知られている。MTJ素子は、絶縁膜を介して上下に配置している膜中のスピンの向きが平行であれば低抵抗状態、反平行であれば高抵抗状態となることで情報を記憶する素子である。一方、上記実施の形態で示す不揮発性の記憶回路は、チャンネルが酸化物半導体層に形成されるトランジスタを利用したものであって、原理が全く異なっている。表1はMTJ素子(表中、「スピントロニクス(MTJ素子)」で示す。)と、上記実施の形態で示す酸化物半導体を用いた不揮発性の記憶回路(表中、「OS/Si」で示す。)との対比を示す。

【0356】

【表1】

	スピントロニクス(MTJ素子)	酸化物半導体/Si
1) 耐熱性	キュリー温度	プロセス温度約500°C (信頼性150°C)
2) 駆動方式	電流駆動	電圧駆動
3) 書き込み原理	磁性体のスピンの向きを変える	FETのオン/オフ
4) Si LSI	バイポーラ LSI 向き (バイポーラは高集積化には不向きなため、高集積化回路ではMOSの方が好ましい。ただし、 W が大きくなる。)	MOSLSI 向き
5) オーバーヘッド	大きい (ジュール熱が大きい)	MTJ素子よりも2~3桁以上小さい (寄生容量の充放電)
6) 不揮発性	スピンを利用	オフ電流が小さいことを利用
7) 読み出し回数	無制限	無制限
8) 3D化	難(できても二層まで)	容易(何層でも可)
9) 集積化度(F^2)	$4F^2 \sim 15F^2$	3D化の積層数で決まる (上層 酸化物半導体 FET 工程のプロセス耐熱性の確保が必要)
10) 材料	磁性を有する希土類	酸化物半導体材料
11) ビットコスト	高い	低い (酸化物半導体を構成する材料によっては(Inなど)、多少コスト高の可能性有り)
12) 磁界耐性	弱い	強い

【0357】

MTJ素子は磁性材料を使用するためキュリー温度以上にすると磁性が失われてしまうという欠点がある。また、MTJ素子は電流駆動であるため、シリコンのバイポーラデバイスと相性が良いが、バイポーラデバイスは集積化に不向きである。そして、MTJ素子は書き込み電流が微少とはいえメモリの大容量化によって消費電力が増大してしまうといった問題がある。

【0358】

原理的にMTJ素子は磁界耐性に弱く強磁界にさらされるとスピンの向きが狂いやすい。また、MTJ素子に用いる磁性体のナノスケール化によって生じる磁化揺らぎを制御する必要がある。

【0359】

さらに、MTJ素子は希土類元素を使用するため、MTJ素子のプロセスを金属汚染を嫌うシリコン半導体のプロセスに組み入れるには相当の注意を要する。MTJ素子はビット当たりの材料コストから見ても高価であると考えられる。

【0360】

一方、上記実施の形態で示す不揮発性の記憶回路が有する、酸化物半導体層にチャネルが形成されるトランジスタは、チャネルが形成される領域が金属酸化物でなること以外は、素子構造や動作原理がシリコンMOSFETと同様である。また、酸化物半導体層にチャネルが形成されるトランジスタは磁界の影響を受けず、ソフトエラーも生じ得ないといった特質を有する。このことからシリコン集積回路と非常に整合性が良いといえる。

【実施例1】

【0361】

本発明の一態様に係る信号処理回路を用いることで、消費電力の低い電子機器を提供することが可能である。特に電力の供給を常時受けることが困難な携帯用の電子機器の場合、本発明の一態様に係る消費電力の低い信号処理回路をその構成要素に追加することにより、連続使用時間が長くなるといったメリットが得られる。

【0362】

本発明の一態様に係る信号処理回路は、表示装置、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る信号処理回路を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。

【0363】

本発明の一態様に係る信号処理回路を、携帯電話、スマートフォン、電子書籍などの携帯用の電子機器に応用した場合について説明する。

【0364】

図13は、携帯用の電子機器のブロック図である。図13に示す携帯用の電子機器はRF回路421、アナログベースバンド回路422、デジタルベースバンド回路423、バッテリー424、電源回路425、アプリケーションプロセッサ426、フラッシュメモリ430、ディスプレイコントローラ431、メモリ回路432、ディスプレイ433、タッチセンサ439、音声回路437、キーボード438などより構成されている。ディスプレイ433は表示部434、ソースドライバ435、ゲートドライバ436によって構成されている。アプリケーションプロセッサ426はCPU427、DSP428、インターフェース429を有している。上記実施の形態で示した信号処理回路を、例えばCPU427に採用することによって、消費電力を低減することができる。

【0365】

図14は電子書籍のブロック図である。電子書籍はバッテリー451、電源回路452

10

20

30

40

50

、マイクロプロセッサ 4 5 3、フラッシュメモリ 4 5 4、音声回路 4 5 5、キーボード 4 5 6、メモリ回路 4 5 7、タッチパネル 4 5 8、ディスプレイ 4 5 9、ディスプレイコントローラ 4 6 0 によって構成される。マイクロプロセッサ 4 5 3 は CPU 4 6 1、DSP 4 6 2、インターフェース 4 6 3 を有している。上記実施の形態で示した信号処理回路を、例えば CPU 4 6 1 に採用することで、消費電力を低減することが可能になる。

【 0 3 6 6 】

本実施例は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【符号の説明】

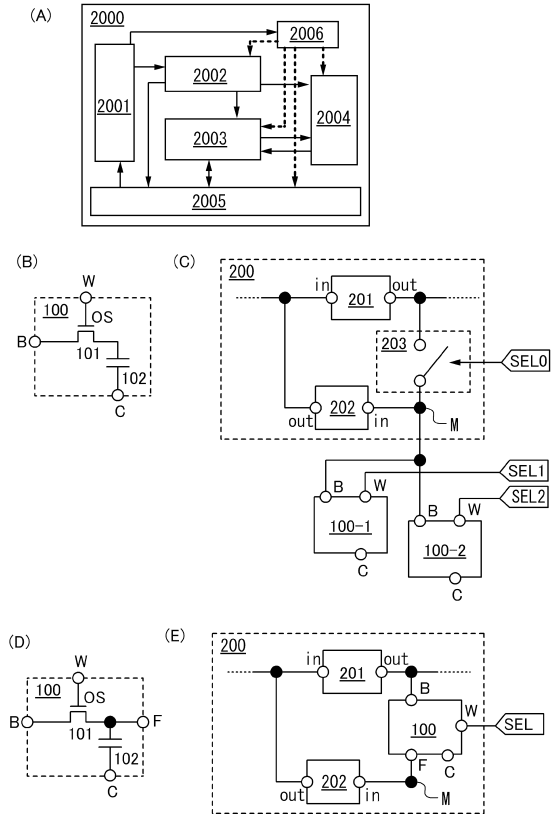
【 0 3 6 7 】

1 0 0	記憶回路	10
1 0 1	トランジスタ	
1 0 2	容量素子	
1 0 3	トランジスタ	
2 0 0	記憶回路	
2 0 1	演算回路	
2 0 2	演算回路	
2 0 3	スイッチ	
3 0 3	一対の電極のうちの他方	
4 0 0	メモリセルアレイ	
4 0 1	センスアンプ回路	20
4 0 2	プリチャージ回路	
4 0 3	列デコーダ	
4 0 4	行デコーダ	
4 2 1	R F 回路	
4 2 2	アナログベースバンド回路	
4 2 3	デジタルベースバンド回路	
4 2 4	バッテリー	
4 2 5	電源回路	
4 2 6	アプリケーションプロセッサ	
4 2 7	C P U	30
4 2 8	D S P	
4 2 9	インターフェース	
4 3 0	フラッシュメモリ	
4 3 1	ディスプレイコントローラ	
4 3 2	メモリ回路	
4 3 3	ディスプレイ	
4 3 4	表示部	
4 3 5	ソースドライバ	
4 3 6	ゲートドライバ	
4 3 7	音声回路	40
4 3 8	キーボード	
4 3 9	タッチセンサ	
4 4 3	ラッチ回路	
4 4 4	インバータ	
4 4 5	インバータ	
4 4 6	スイッチ	
4 5 1	バッテリー	
4 5 2	電源回路	
4 5 3	マイクロプロセッサ	
4 5 4	フラッシュメモリ	50

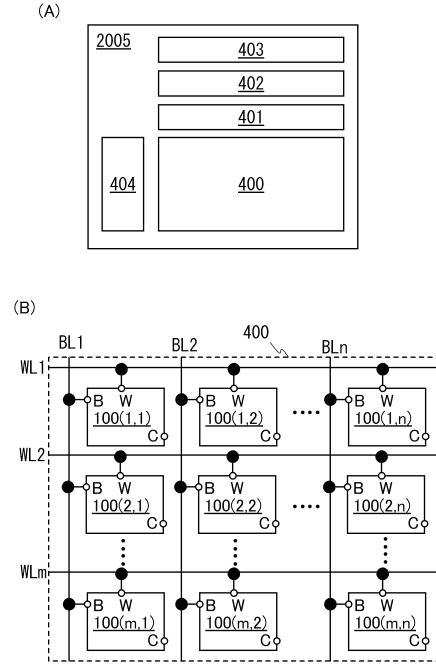
4 5 5	音声回路	
4 5 6	キーボード	
4 5 7	メモリ回路	
4 5 8	タッチパネル	
4 5 9	ディスプレイ	
4 6 0	ディスプレイコントローラ	
4 6 1	C P U	
4 6 2	D S P	
4 6 3	インターフェース	
7 0 0	基板	10
7 0 1	絶縁膜	
7 0 2	半導体膜	
7 0 3	ゲート絶縁膜	
7 0 4	半導体層	
7 0 7	ゲート電極	
7 0 9	不純物領域	
7 1 0	チャネル形成領域	
7 1 2	絶縁膜	
7 1 3	絶縁膜	
7 1 6	酸化物半導体層	20
7 1 9	導電層	
7 2 0	導電層	
7 2 1	ゲート絶縁膜	
7 2 2	ゲート電極	
7 2 4	絶縁膜	
7 2 6	配線	
7 2 7	絶縁膜	
8 0 1	下地絶縁層	
8 0 2	埋め込み絶縁物	
8 0 3 a	半導体領域	30
8 0 3 b	半導体領域	
8 0 3 c	半導体領域	
8 0 4	ゲート絶縁膜	
8 0 5	ゲート	
8 0 6 a	側壁絶縁物	
8 0 6 b	側壁絶縁物	
8 0 7	絶縁物	
8 0 8 a	ソース	
8 0 8 b	ドレイン	
9 0 8	高濃度領域	40
9 1 8	高濃度領域	
9 1 9	チャネル形成領域	
9 2 8	高濃度領域	
9 2 9	低濃度領域	
9 3 0	サイドウォール	
9 3 1	チャネル形成領域	
9 4 8	高濃度領域	
9 4 9	低濃度領域	
9 5 0	サイドウォール	
9 5 1	チャネル形成領域	50

1 0 1 a	トランジスタ	
1 0 1 b	トランジスタ	
1 0 1 c	トランジスタ	
1 0 1 d	トランジスタ	
1 0 2 a	容量素子	
1 0 2 b	容量素子	
1 0 2 c	容量素子	
1 0 2 d	容量素子	
1 0 3 a	トランジスタ	
1 0 3 b	トランジスタ	10
1 1 0 1	回路群	
1 1 0 3	回路群	
1 1 1 1	回路群	
2 0 0 0	信号処理回路	
2 0 0 1	デコーダ	
2 0 0 2	制御回路	
2 0 0 3	A L U	
2 0 0 4	レジスタ	
2 0 0 5	メモリ	
2 0 0 6	電源回路	20
2 1 0 0	基板	
2 1 0 2	下地絶縁膜	
2 1 0 4	保護絶縁膜	
2 1 0 6	酸化物半導体膜	
2 1 0 6 a	高抵抗領域	
2 1 0 6 b	低抵抗領域	
2 1 0 8	ゲート絶縁膜	
2 1 1 0	ゲート電極	
2 1 1 2	側壁絶縁膜	
2 1 1 4	電極	30
2 1 1 6	層間絶縁膜	
2 1 1 8	配線	
2 6 0 0	基板	
2 6 0 2	下地絶縁膜	
2 6 0 6	酸化物半導体膜	
2 6 0 8	ゲート絶縁膜	
2 6 1 0	ゲート電極	
2 6 1 4	電極	
2 6 1 6	層間絶縁膜	
2 6 1 8	配線	40
2 6 2 0	保護膜	
3 0 1 a	一对の電極のうち的一方	
3 0 1 b	一对の電極のうち的一方	
3 0 2 a	誘電体層	
7 3 0 1	導電層	
7 3 0 2	絶縁膜	
7 3 0 3	導電膜	
1 1 0 1 b	回路群の一部	

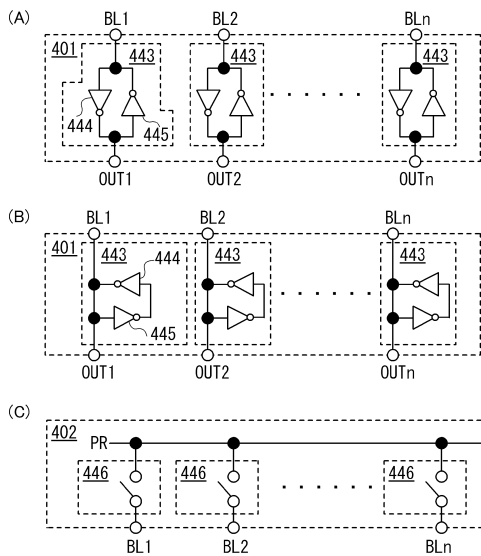
【図1】



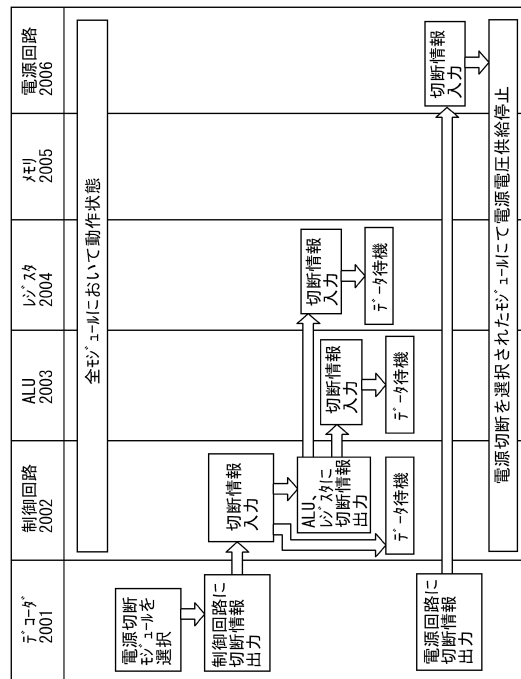
【図2】



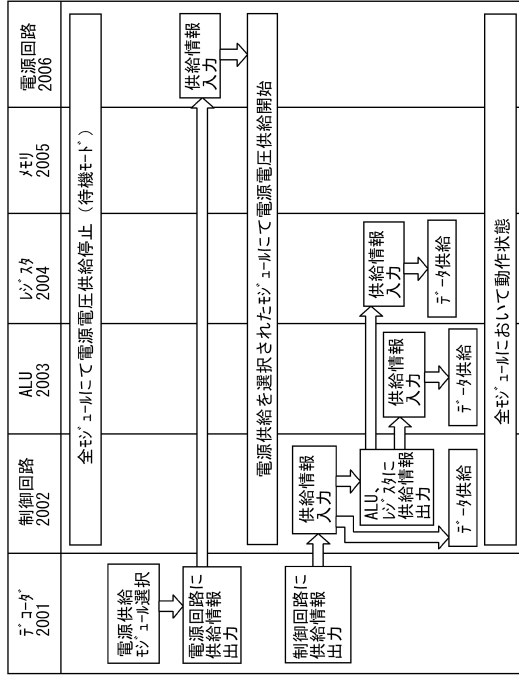
【図3】



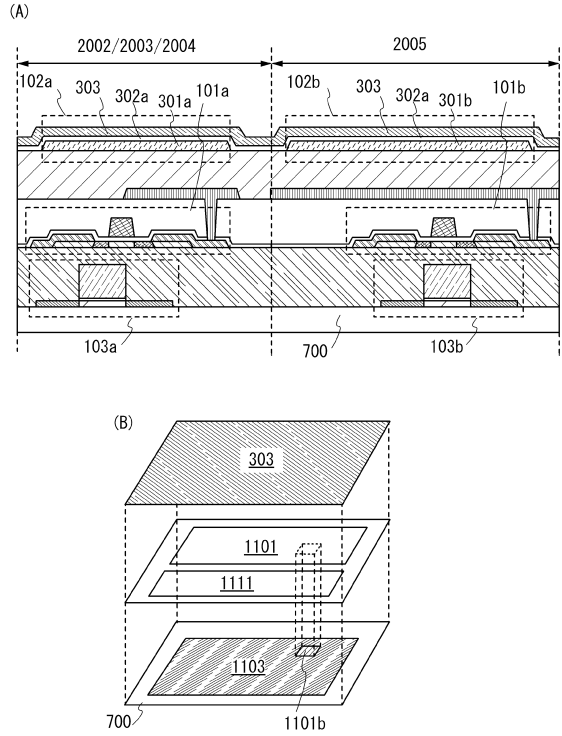
【図4】



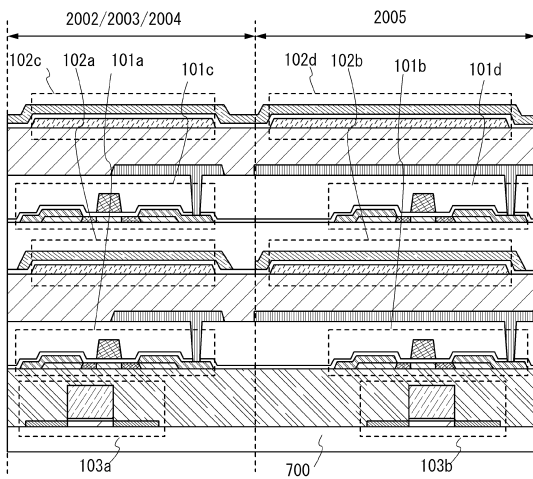
【図5】



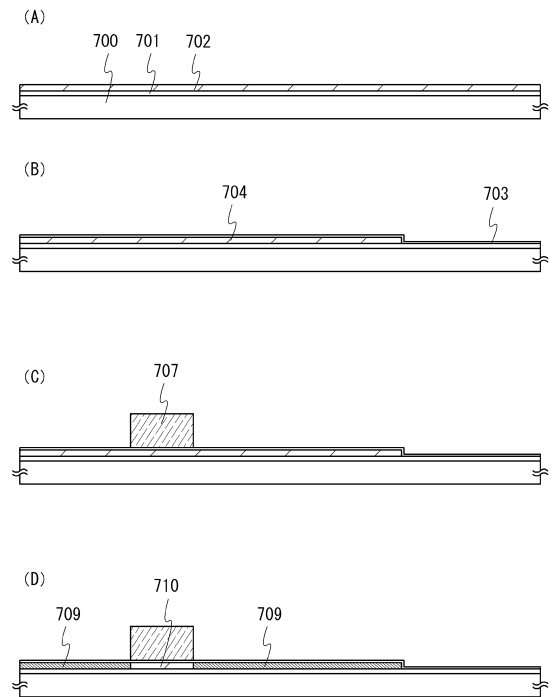
【図6】



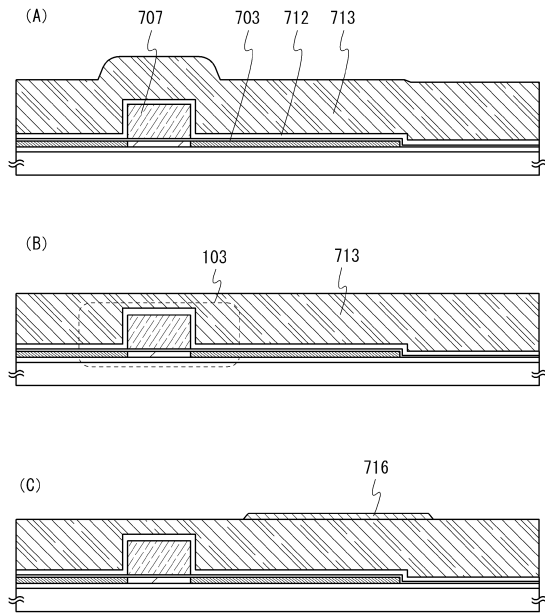
【図7】



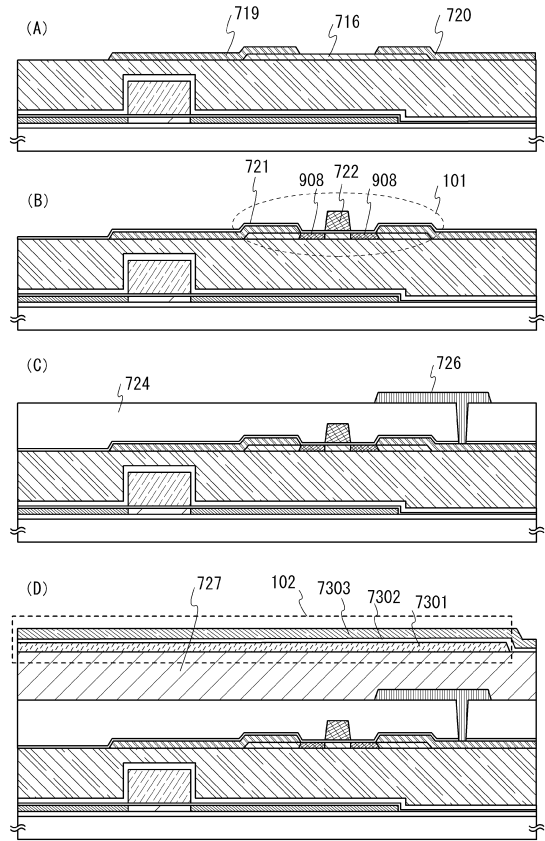
【図8】



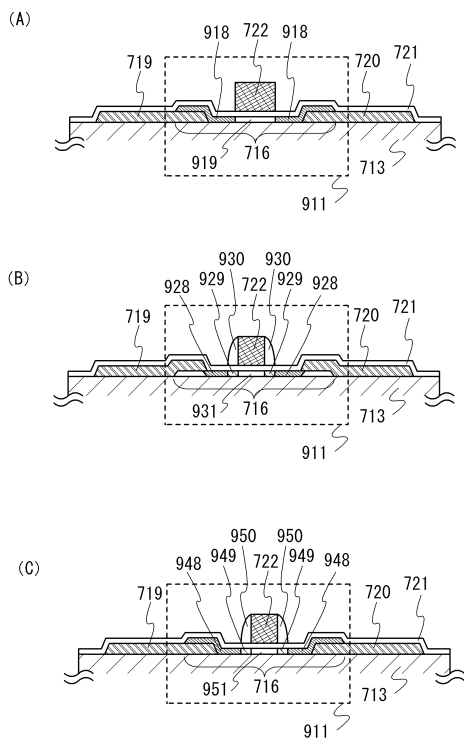
【図 9】



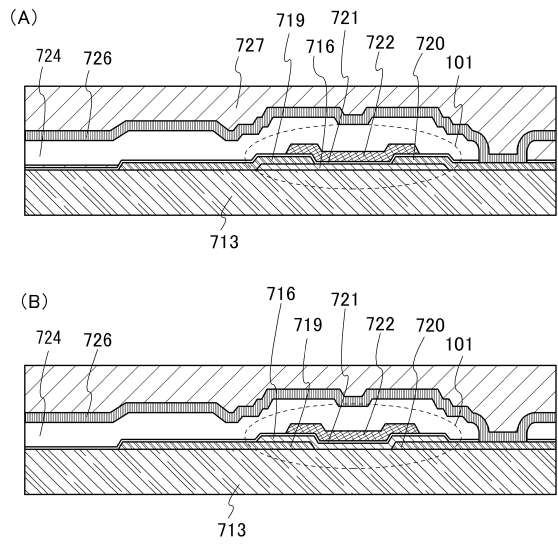
【図 10】



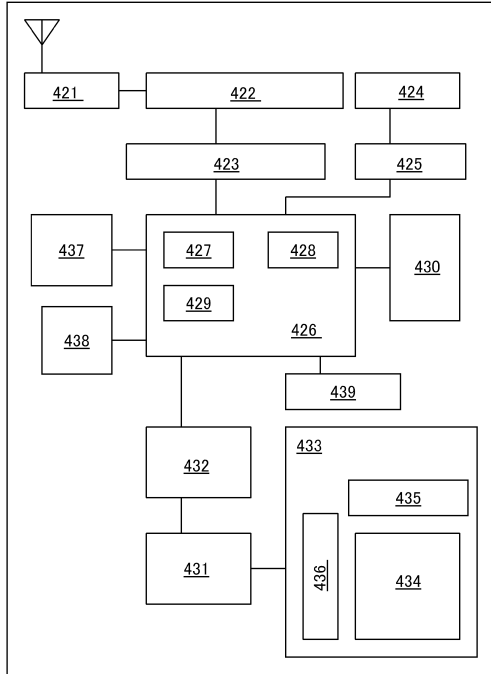
【図 11】



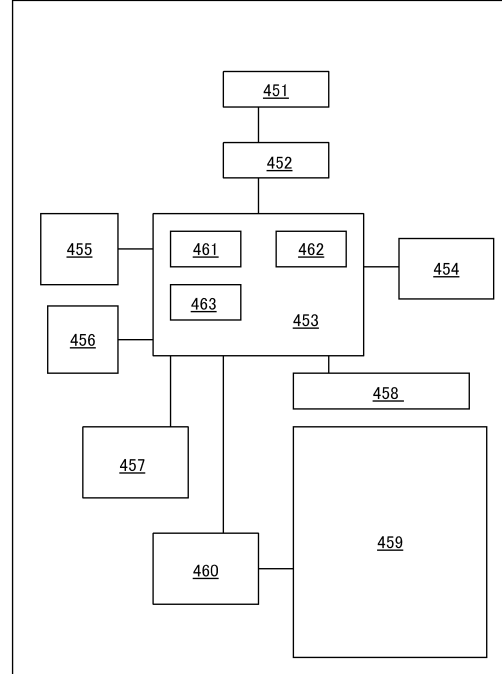
【図 12】



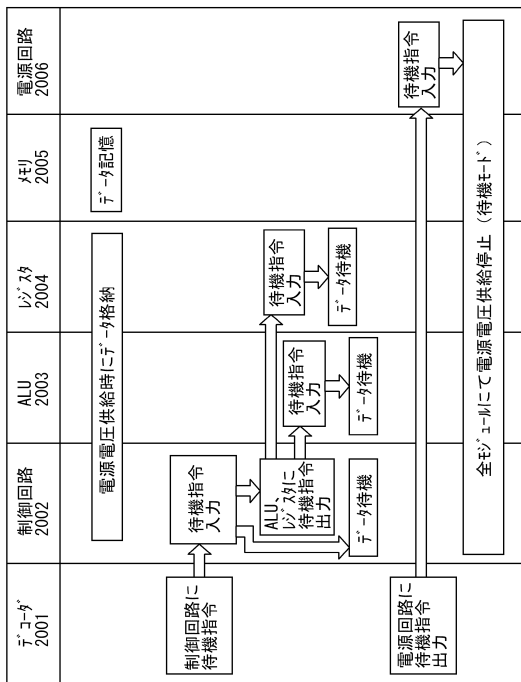
【図 13】



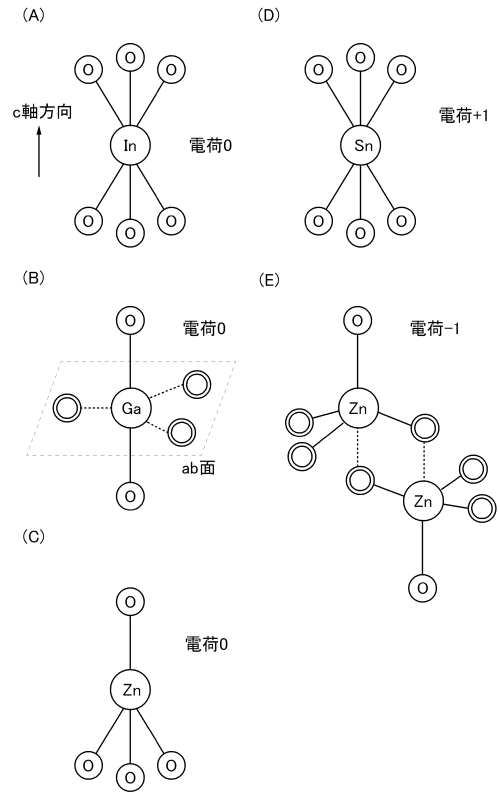
【図 14】



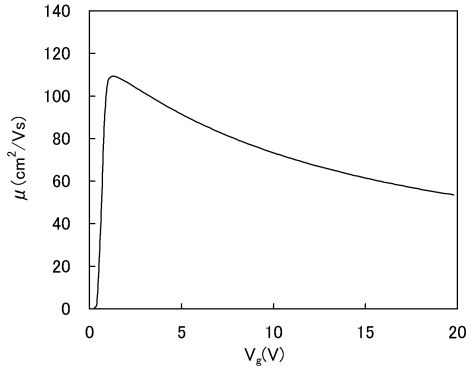
【図 15】



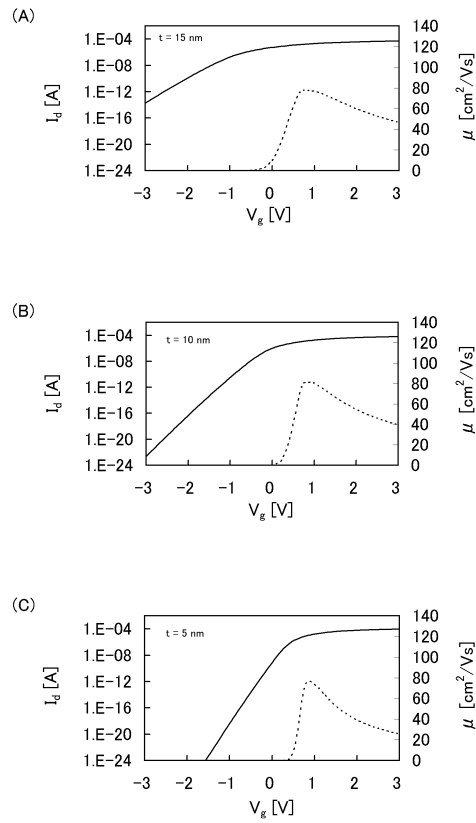
【図 16】



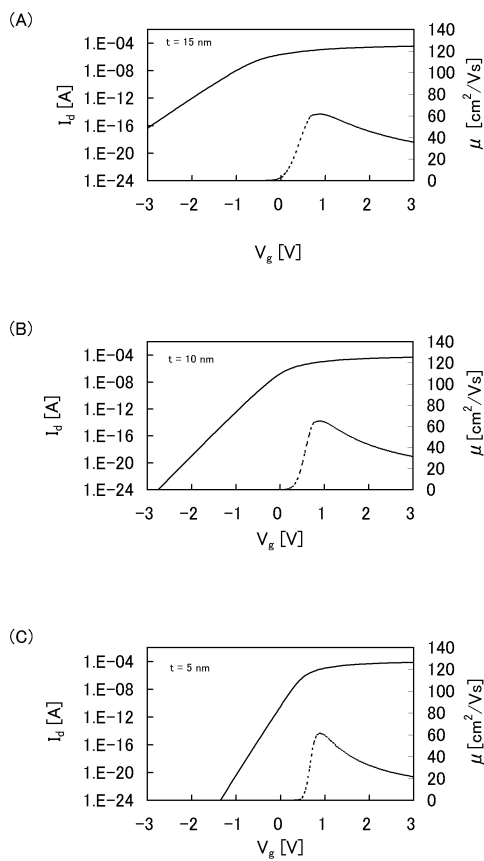
【 図 19 】



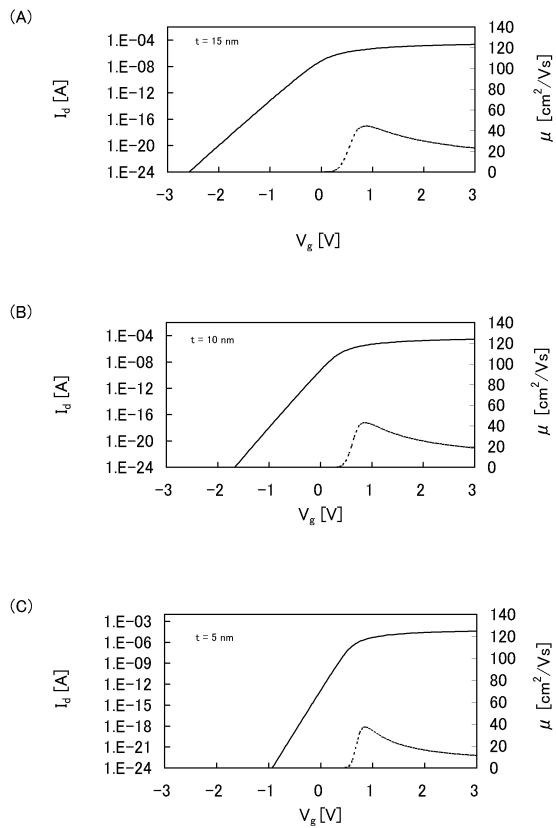
【 図 20 】



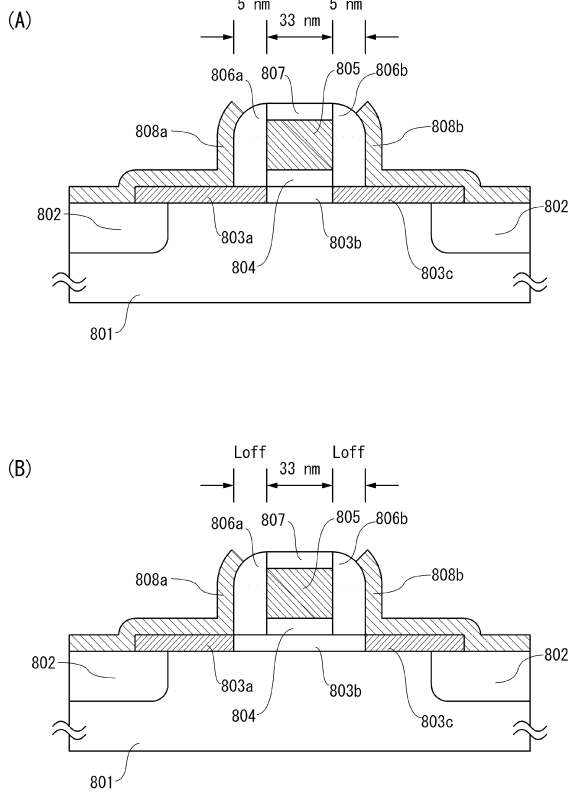
【 図 21 】



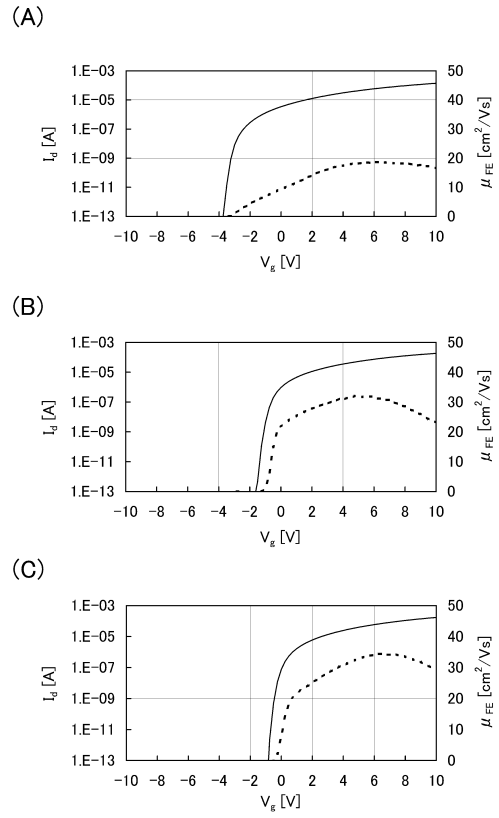
【 図 22 】



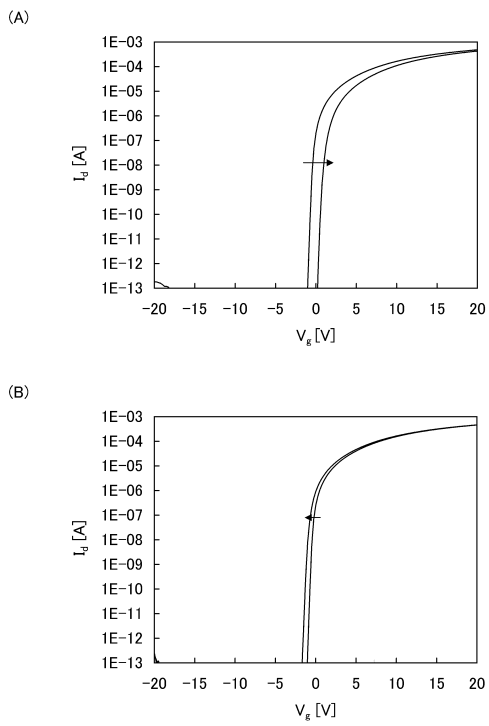
【図 2 3】



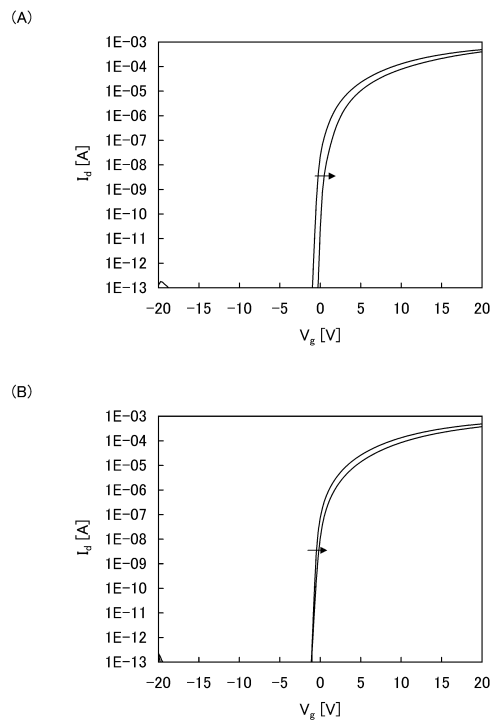
【図 2 4】



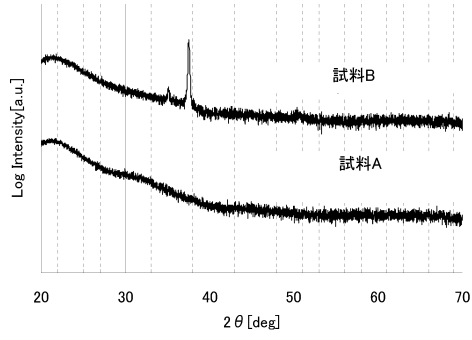
【図 2 5】



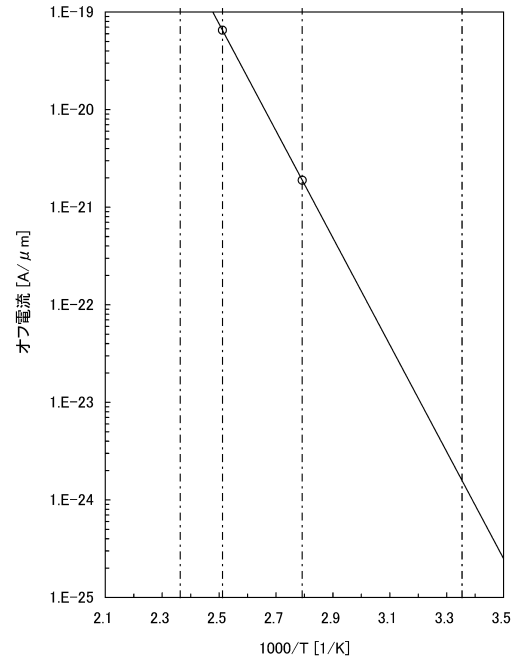
【図 2 6】



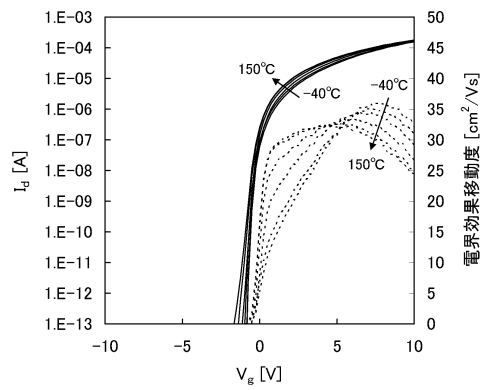
【図 27】



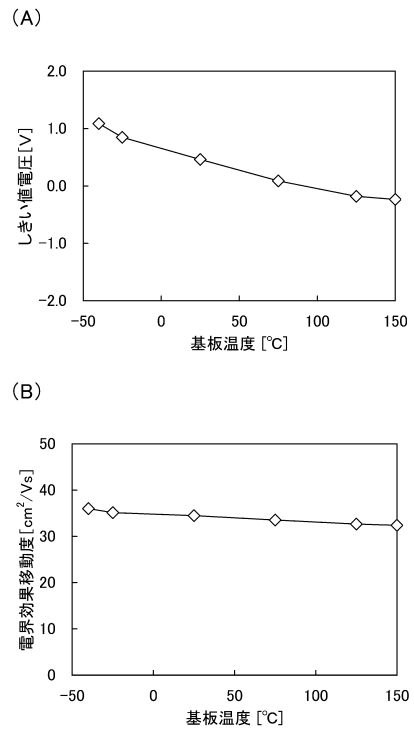
【図 28】



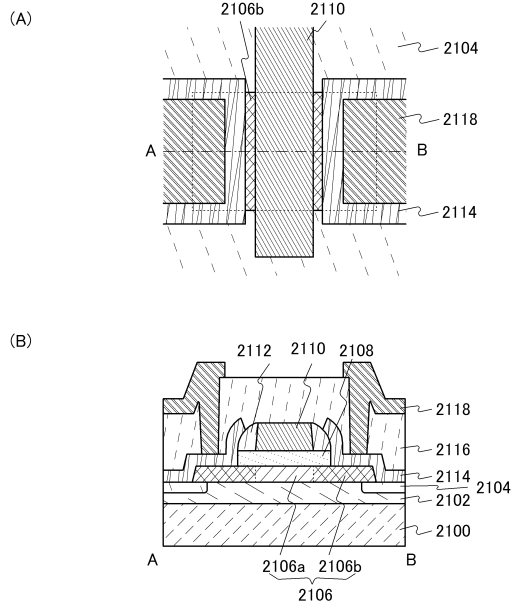
【図 29】



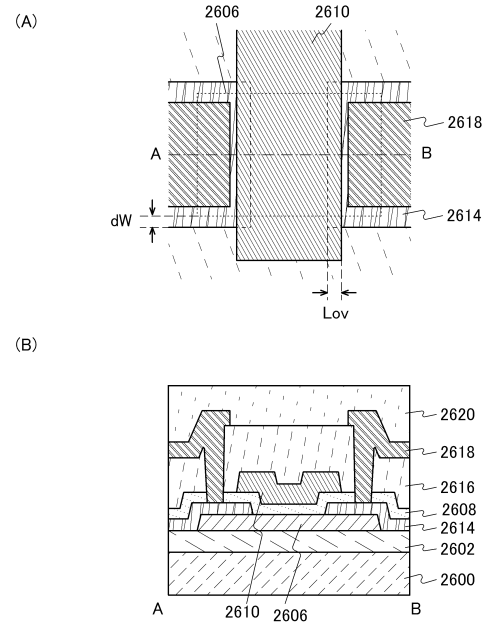
【図 30】



【 3 1 】

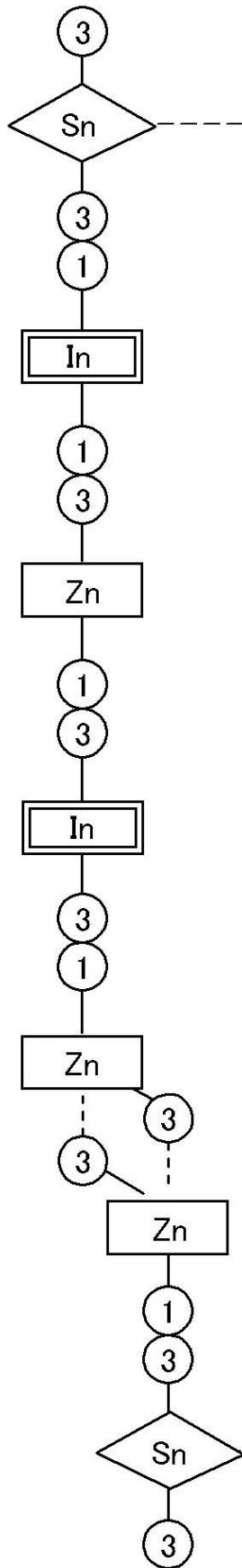


【 3 2 】



【 図 17 】

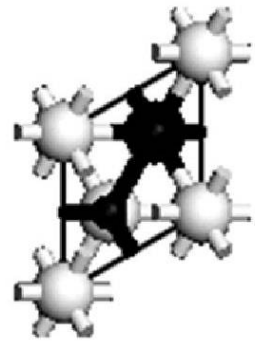
(A)



(B)

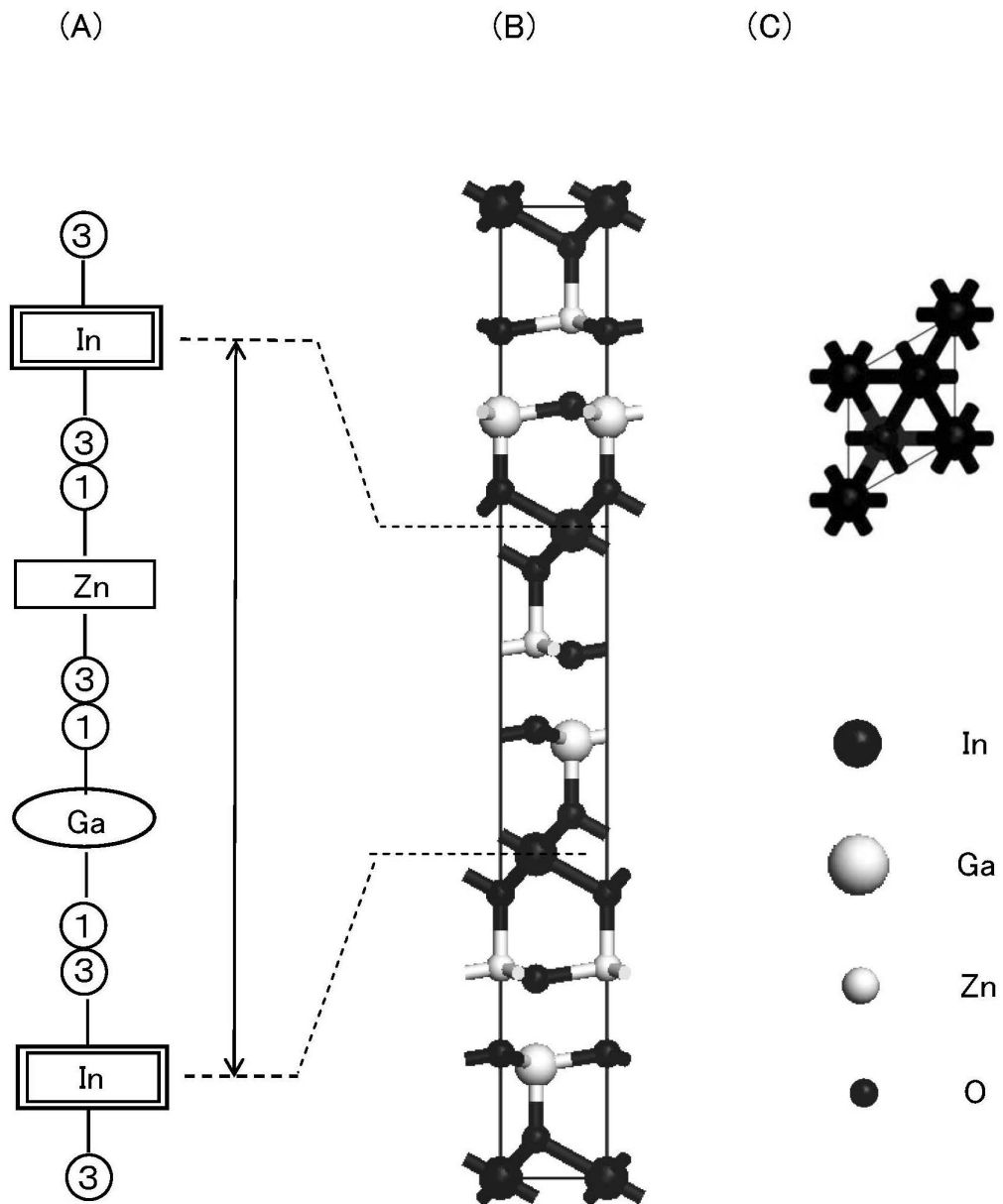


(C)



- In
- Sn
- Zn
- O

【 18 】



フロントページの続き

(51) Int.Cl.		F I		
H 0 1 L	21/8247 (2006.01)	H 0 1 L	27/10	3 2 1
H 0 1 L	27/115 (2006.01)	H 0 1 L	27/10	4 4 1
H 0 1 L	21/8242 (2006.01)	H 0 1 L	27/10	6 1 5
H 0 1 L	27/108 (2006.01)	H 0 1 L	27/10	6 7 1 C
H 0 1 L	27/105 (2006.01)	H 0 1 L	27/10	6 7 1 Z
H 0 1 L	29/786 (2006.01)	H 0 1 L	29/78	6 1 3 B
G 1 1 C	11/404 (2006.01)	H 0 1 L	29/78	6 1 8 B
		G 1 1 C	11/34	3 5 2 C

- (56) 参考文献 特開平 1 1 - 1 2 0 7 7 8 (J P , A)
 特開昭 4 9 - 0 0 5 5 6 2 (J P , A)
 特開 2 0 0 2 - 3 1 9 6 8 2 (J P , A)
 特開 2 0 0 7 - 1 0 3 9 1 8 (J P , A)
 特開 2 0 0 3 - 0 7 8 0 2 2 (J P , A)

(58) 調査した分野(Int.Cl. , DB名)

G 1 1 C 1 4 / 0 0
 G 1 1 C 1 1 / 4 0 4
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 8 2 4 2
 H 0 1 L 2 1 / 8 2 4 7
 H 0 1 L 2 7 / 1 0
 H 0 1 L 2 7 / 1 0 5
 H 0 1 L 2 7 / 1 0 8
 H 0 1 L 2 7 / 1 1 5
 H 0 1 L 2 9 / 7 8 6
 H 0 1 L 2 9 / 7 8 8
 H 0 1 L 2 9 / 7 9 2