

1. 一种多主交换式高速互联背板总线,其特征在于,包括:可编程总线协议控制器;
所述可编程总线协议控制器与处理系统的若干个处理器和若干个外设模块分别电连接,

所述可编程总线协议控制器接收所述若干个处理器的控制指令,通过对与所述控制指令相对应的所述若干个外设模块进行虚拟地址转换,将所述若干个处理的一对一、一对多或多对一的并发总线访问转换成虚拟的端到端连接,以提高背板总线的数据传输效率。

2. 根据权利要求1所述的多主交换式高速互联背板总线,其特征在于,

所述可编程总线协议控制器包括:可编程器件;

所述可编程总线协议控制器通过所述可编程器件的I/O分别与所述若干个处理器和所述若干个外设模块实现数据交互。

3. 根据权利要求1所述的多主交换式高速互联背板总线,其特征在于,

所述控制指令的一次背板通信访问的报文头包含:发出访问的模块类型、槽位号、目的地址和/或任务优先级。

4. 根据权利要求1所述的多主交换式高速互联背板总线,其特征在于,

所述可编程总线协议控制器设置有存储单元,其包括内部存储单元和/或外部存储单元;

所述可编程器件接收任一所述处理器发送的任务和数据,并存储至所述存储单元;

所述处理器在空闲时间读取所述任务和所述数据并进行处理。

5. 根据权利要求4所述的多主交换式高速互联背板总线,其特征在于,

其他所述处理器可读取所述存储单元中存储的所述任务和数据进行处理。

6. 一种多主交换式高速互联背板总线控制方法,其特征在于,用于控制权利要求1-5任一所述的多主交换式高速互联背板总线,包括如下步骤:

接收处理系统的若干个处理器的控制指令;

当所述若干个处理器的控制指令与同一外设模块相对应时,对所述外设模块进行虚拟地址转换;

依据所述外设模块使用情况判断所述外设模块的数据是否为有效数据,如是则所述若干个处理器发起的外设访问映射至所述外设模块的虚拟地址,以实现所述若干个处理器对所述外设模块的并发访问。

7. 一种多主交换式高速互联背板总线控制方法,其特征在于,用于控制权利要求1-5任一所述的多主交换式高速互联背板总线,包括如下步骤:

接收处理系统的若干个处理器的控制指令;

当所述若干个处理器的控制指令与多个外设模块相对应时,可编程总线协议控制器依据所述若干个处理器的控制指令,对所述多个外设模块分别进行虚拟地址转换;

使所述处理器与所述外设模块构成虚拟一对一链路,以实现若干个所述处理器分别对相应所述外设模块的并发访问。

8. 一种多主交换式高速互联背板总线控制方法,其特征在于,用于控制权利要求1-5任一所述的多主交换式高速互联背板总线,包括如下步骤:

接收处理系统处理器的控制指令;

当一个所述处理器的控制指令与若干个外设模块相对应时,对所述若干个外设模块进

行虚拟地址转换；

通过中断的形式，依据所述处理器的控制指令同时所述若干个外设模块进行访问，由可编程总线协议控制器将所述若干个外设模块的返回数据整合具有完全同步性的数据包，并发送至所述处理器。

9. 一种处理系统，其特征在于，包括：若干个处理器和若干个外设模块，还包括：权利要求1-5任一所述的多主交换式高速互联背板；

所述若干个处理器和若干个外设模块通过所述多主交换式高速互联背板进行数据交互。

多主交换式高速互联背板总线及其控制方法、处理系统

技术领域

[0001] 本发明涉及处理系统数据传输领域,特别涉及一种多主交换式高速互联背板总线及其控制方法、处理系统。

背景技术

[0002] 在工业控制领域,背板总线实现同一控制单位内处理器、外设功能模块等的结合与交互,是实现控制单元灵活组态的基础和前提。对于复杂和高实时性控制应用场景,存在多主处理器、多外设、并发访问、高速交换和同步传输的需求,因而要求背板总线有很强的数据吞吐能力。

[0003] 常规的工业控制系统中,背板总线一般采用一主多从、分时占用总线等模式,一方面不利于系统灵活组态,另一方面存在性能瓶颈。

[0004] 在现有的多处理器系统内,多处理器分时占用总线,轮询访问机箱内的外设功能模块,一定程度上降低了系统数据交互的实时性。当有多个外设功能模块向不同的处理器发送中断时,必然会造成总线访问冲突,从而延长了中断响应时间;多个处理器并发访问总线时,又会造成总线拥堵,直到等待总线释放,才能进行计算和控制的流转,这又会造成多处理器计算状态的不同步,从而降低了单位时间内的综合算力。

[0005] 相较以上情况,一种基于可编程器件的多主交换式高速互联背板总线,可以实现多主处理器阵列并行计算架构,一方面解决了常规共享型总线不支持并发访问的问题,另一方面也解决了常规互联型总线结构复杂,连线繁琐,且不利用灵活组态和扩展的问题。有效提高了总线吞吐率,增强了总线带宽,实现了多主处理器的阵列运行和算力聚合,且大大优化了总线结构,利于系统的灵活组态。

[0006] 在现有的多处理器系统中,如图1所示,背板总线一般采用共享背板总线;或者,如图2所示,采用端到端的互联型通信总线模式。共享总线型背板总线,在多处理器系统内,其最大的瓶颈是处理器不能同时使用总线。多个处理器通过总线仲裁轮流获得总线使用权,这必然会造成处理器的任务延时,降低了数据的实时性;在共享总线型背板总线系统内,主处理器访问总线上的多个设备时,也需要采用轮询的方式访问,不能同时对多个外设模块进行读写操作,这会使采样数据存在不同步的情况;此外在共享总线型背板总线系统内,必须设计相应的总线协议仲裁器,造成了总线协议固定,增加了硬件成本。

[0007] 在端到端的互联型通信总线模式下,多个处理器和外设模块之间都存在独享的总线。提高了系统的实时性,但是造成了处理器系统之间连线的增多,增加了系统背板总线布线的难度,由于需要特定的连接线关系,也造成系统不能灵活扩展和组态,同时由于处理器和外设模块之间采用单独的总线连接,当处理器需要同时访问多个外设模块时,也需要采用轮询的形式分别访问,这也会造成采样数据的不同步。

发明内容

[0008] 本发明实施例的目的是提供一种多主交换式高速互联背板总线及其控制方法、处

理系统,通过采用可编程总线协议控制器与处理器和外设模块的星型连接结构,解决了多处理器并发访问的总线资源限制问题,降低了数据包碰撞率,允许多个处理器同时发起总线访问或者单处理器同时发起多个外部设备的访问,实现了多处理器算力的聚合;同时,这种交换型互联总线结构,能有效减少背板总线的复杂度,并使得整系统具有更好的扩展性和灵活组态能力,从而能快速应用到多种工业控制应用场景。

[0009] 为解决上述技术问题,本发明实施例的第一方面提供了一种多主交换式高速互联背板总线,包括:可编程总线协议控制器;

[0010] 所述可编程总线协议控制器与处理系统的若干个处理器和若干个外设模块分别电连接,

[0011] 所述可编程总线协议控制器接收所述若干个处理器的控制指令,通过对与所述控制指令相对应的所述若干个外设模块进行虚拟地址转换,将所述若干个处理的一对一、一对多或多对一的并发总线访问转换成虚拟的端到端连接,以提高背板总线的数据传输效率。

[0012] 进一步地,所述可编程总线协议控制器包括:可编程器件;

[0013] 所述可编程总线协议控制器通过所述可编程器件的I/O分别与所述若干个处理器和所述若干个外设模块实现数据交互。

[0014] 进一步地,所述控制指令的一次背板通信访问的报文头包含:发出访问的模块类型、槽位号、目的地址和/或任务优先级。

[0015] 进一步地,所述可编程总线协议控制器内设置有存储单元,其包括:内部存储单元和/或外部存储单元;

[0016] 所述可编程器件接收任一所述处理器发送的任务和数据,并发送至所述存储单元;

[0017] 所述处理器在空闲时间读取所述任务和所述数据并进行处理。

[0018] 进一步地,其他所述处理器可读取所述存储单元中存储的所述任务和数据进行处理。

[0019] 相应地,本发明实施例的第二方面提供了一种多主交换式高速互联背板总线控制方法,用于控制所述多主交换式高速互联背板总线,包括如下步骤:

[0020] 接收处理系统的若干个处理器的控制指令;

[0021] 当所述若干个处理器的控制指令与同一外设模块相对应时,对所述外设模块进行虚拟地址转换;

[0022] 依据所述外设模块使用情况判断所述外设模块的数据是否为有效数据,如是则所述若干个处理器发起的外设访问映射至所述外设模块的虚拟地址,以实现所述若干个处理器对所述外设模块的并发访问。

[0023] 相应地,本发明实施例的第三方面提供了一种多主交换式高速互联背板总线控制方法,用于控制所述多主交换式高速互联背板总线,包括如下步骤:

[0024] 接收处理系统的若干个处理器的控制指令;

[0025] 当所述若干个处理器的控制指令与多个外设模块相对应时,可编程总线协议控制器依据所述若干个处理器的控制指令,对所述多个外设模块分别进行虚拟地址转换;

[0026] 使所述处理器与所述外设模块构成虚拟一对一链路,以实现若干个所述处理器分

别对相应所述外设模块的并发访问。

[0027] 相应地,本发明实施例的第四方面提供了一种多主交换式高速互联背板总线控制方法,用于控制所述多主交换式高速互联背板总线,包括如下步骤:

[0028] 接收处理系统处理器的控制指令;

[0029] 当一个所述处理器的控制指令与若干个外设模块相对应时,对所述若干个外设模块进行虚拟地址转换;

[0030] 通过中断的形式,依据所述处理器的控制指令同时所述若干个外设模块进行访问,由可编程总线协议控制器将所述若干个外设模块的返回数据整合具有完全同步性的数据包,并发送至所述处理器。

[0031] 相应地,本发明实施例的第五方面提供了一种处理系统,包括:若干个处理器和若干个外设模块,还包括:上述任一所述的多主交换式高速互联背板;

[0032] 所述若干个处理器和若干个外设模块通过所述多主交换式高速互联背板进行数据交互。

[0033] 本发明实施例的上述技术方案具有如下有益的技术效果:

[0034] 通过采用可编程总线协议控制器与处理器和外设模块的星型连接结构,解决了多处理器并发访问的总线资源限制问题,降低了数据包碰撞率,允许多个处理器同时发起总线访问或者单处理器同时发起多个外部设备的访问,背板总线的多主访问实现了多处理器算力的聚合;同时,这种交换型互联总线结构,能有效减少背板总线的复杂度,并使得整系统具有更好的扩展性和灵活组态能力,从而能快速应用到多种工业控制应用场景。

附图说明

[0035] 图1是现有技术中的共享背板总线原理示意图;

[0036] 图2是现有技术中的端到端的互联型通信总线原理示意图;

[0037] 图3是本发明实施例提供的多主交换式高速互联背板总线原理示意图;

[0038] 图4是本发明实施例提供的多主交换式高速互联背板总线运行流程图;

[0039] 图5是本发明实施例提供的多处理器对多外设模块的访问操作示意图;

[0040] 图6是本发明实施例提供的单处理器对多外设模块的访问操作示意图;

[0041] 图7是本发明实施例提供的系统算力聚合示意图。

具体实施方式

[0042] 为使本发明的目的、技术方案和优点更加清楚明了,下面结合具体实施方式并参照附图,对本发明进一步详细说明。应该理解,这些描述只是示例性的,而并非要限制本发明的范围。此外,在以下说明中,省略了对公知结构和技术的描述,以避免不必要地混淆本发明的概念。

[0043] 图3是本发明实施例提供的多主交换式高速互联背板总线原理示意图。

[0044] 图4是本发明实施例提供的多主交换式高速互联背板总线运行流程图。

[0045] 请参照图3和图4,本发明实施例的第一方面提供了一种多主交换式高速互联背板总线,包括:可编程总线协议控制器。可编程总线协议控制器与处理系统的若干个处理器和若干个外设模块分别电连接;可编程总线协议控制器接收若干个处理器的控制指令,通过

对与控制指令相对应的若干个外设模块进行虚拟地址转换,将若干个处理的一对一、一对多或多对一的并发总线访问转换成虚拟的端到端连接,以提高背板总线的数据传输效率。

[0046] 上述一种多主交换式高速互联背板总线中,各处理器、外设模块与可编程总线协议控制器以星型连接,各处理器、外设模块与可编程总线协议控制器的通信都是双向的,从而实现交换架构。基于交换的连接结构,可编程总线协议控制器通过虚拟地址转换,可以将并发的各种总线访问转换成虚拟的端到端的连接,提高了总线效率。

[0047] 图5是本发明实施例提供的多处理器对多外设模块的访问操作示意图。

[0048] 图6是本发明实施例提供的单处理器对多外设模块的访问操作示意图。

[0049] 当多个处理器同时向背板发起访问操作时,可编程总线协议控制器同时判断每个处理器发送到总线上的报文,根据目的地址进行优化的路由管理。

[0050] 具体的,请参照图5,当多个处理器同时向背板发起访问操作时,如果要操作的不是同一块外设功能模块,可编程总线协议控制器根据各个操作的目的地址,通过虚拟地址的转换,使得处理器与其要访问的外设构成虚拟的一对一链路。从而使得总线上的多主并发访问成为可能。

[0051] 具体的,请参照图6,当一个主处理器同时访问多个外设功能模块时,可编程总线协议控制器根据总线命令类型将访问的外设功能模块地址进行虚拟转换,并通过中断的形式同时发起对多个外设功能模块的访问,并由总线协议控制将返回的数据整合成一包具有完全同步性的数据发送给发起访问的主处理器。

[0052] 具体的,当多个处理器访问同一个外设功能模块时,可编程总线协议控制器将外设功能模块进行虚拟地址转换,并根据外设使用的情况判断当前外设功能模块的数据是否有效,如果在有效期内,则多个处理器发起的外设访问将被映射到同一个虚拟地址上,这样一方面实现了多主处理器对单外设功能模块的并发访问,也大大降低了总线访问周期,提高了总线性能。

[0053] 进一步地,可编程总线协议控制器包括:可编程器件。可编程总线协议控制器通过可编程器件的I/O分别与若干个处理器和若干个外设模块实现数据交互。可编程器件实现主要功能是数据编解码、协议转换、总线仲裁、访问路由分配、数据同步控制等。

[0054] 进一步地,控制指令的一次背板通信访问的报文头包含:发出访问的模块类型、槽位号、目的地址和/或任务优先级。接入总线的设备不局限于特定的通信形式,由可编程器件实现协议的转换。接入本的设备需按照规定的报文格式进行通信。

[0055] 图7是本发明实施例提供的系统算力聚合示意图。

[0056] 此外,请参照图7,可编程总线协议控制器内设置有存储单元,其包括:内部存储单元和外部存储单元;可编程器件接收任一处理器发送的任务和数据,并发送至存储单元中;处理器在空闲时间读取任务和数据并进行处理。

[0057] 进一步地,其他处理器可读取存储单元中存储的任务和数据并进行处理。

[0058] 由可编程器件管理一段公共的内存区域,并通过虚拟地址转换,使得每个处理器均可对其进行读写,同时通过可编程总线协议控制器实现任务和数据的共享管理,有效提升系统总体算力,实现了系统算力聚合。

[0059] 通过设置存储单元,实现了系统算力的聚合。当一个处理器的计算任务和数据量太大时,或者要同时处理多个并发任务和数据时,CPU不能并行处理。此时,处理器将任务和

数据通过总线传递到可编程总线协议控制器的缓存中,其他处理器可以直接对可编程总线协议控制器的缓存空间进行读写并开展运算处理,有效提升了系统的整体计算能力。

[0060] 本发明的技术方案相较于共享总线型背板总线,解决了多处理器同时访问背板总线时的冲突问题,允许多个处理器并发式访问背板总线,提高了总线的吞吐率和系统的实时性;其允许一对多的总线访问模式,一个处理器可以同时操作多个功能模块,解决了功能模块操作不同步问题,可以有效解决多路同步采样难题;其还允许多对多的总线访问模式,多个处理器可以同时操作对应的功能模块,解决了共享背板总线模式中,CPU排队占用总线的情况,提高了系统的实时性。此外,还支持一个处理器模块对多个外设功能模块的同时访问,并通过可编程总线协议控制器实现外设功能模块数据的同步性。

[0061] 相应地,本发明实施例的第二方面提供了一种多主交换式高速互联背板总线控制方法,用于控制多主交换式高速互联背板总线,包括如下步骤:

[0062] S110,接收处理系统的若干个处理器的控制指令。

[0063] S120,当若干个处理器的控制指令与同一外设模块相对应时,对外设模块进行虚拟地址转换。

[0064] S130,依据外设模块使用情况判断外设模块的数据是否为有效数据,如是则若干个处理器发起的外设访问映射至外设模块的虚拟地址,以实现若干个处理器对外设模块的并发访问。

[0065] 相应地,本发明实施例的第三方面提供了一种多主交换式高速互联背板总线控制方法,用于控制多主交换式高速互联背板总线,包括如下步骤:

[0066] S210,接收处理系统的若干个处理器的控制指令。

[0067] S220,当若干个处理器的控制指令与多个外设模块相对应时,可编程总线协议控制器依据若干个处理器的控制指令,对多个外设模块分别进行虚拟地址转换。

[0068] S230,使处理器与外设模块构成虚拟一对一链路,以实现若干个处理器分别对相应外设模块的并发访问。

[0069] 相应地,本发明实施例的第四方面提供了一种多主交换式高速互联背板总线控制方法,用于控制多主交换式高速互联背板总线,包括如下步骤:

[0070] S310,接收处理系统处理器的控制指令;

[0071] S320,当一个处理器的控制指令与若干个外设模块相对应时,对若干个外设模块进行虚拟地址转换;

[0072] S330,通过中断的形式,依据处理器的控制指令同时若干个外设模块进行访问,由可编程总线协议控制器将若干个外设模块的返回数据整合具有完全同步性的数据包,并发送至处理器。

[0073] 相应地,本发明实施例的第五方面提供了一种处理系统,包括:若干个处理器和若干个外设模块,还包括:上述任一的多主交换式高速互联背板;若干个处理器和若干个外设模块通过多主交换式高速互联背板进行数据交互。

[0074] 本发明实施例旨在保护一种多主交换式高速互联背板总线及其控制方法、处理系统,其中包括:包括:可编程总线协议控制器;可编程总线协议控制器与处理系统的若干个处理器和若干个外设模块分别电连接,可编程总线协议控制器接收若干个处理器的控制指令,通过对与控制指令相对应的若干个外设模块进行虚拟地址转换,将若干个处理的一对

一、一对多或多对一的并发总线访问转换成虚拟的端到端连接,以提高背板总线的数据传输效率。上述技术方案具备如下效果:通过采用可编程总线协议控制器与处理器和外设模块的星型连接结构,解决了多处理器并发访问的总线资源限制问题,降低了数据包碰撞率,允许多个处理器同时发起总线访问或者单处理器同时发起多个外部设备的访问,实现了多处理器算力的聚合;同时,这种交换型互联总线结构,能有效减少背板总线的复杂度,并使得整系统具有更好的扩展性和灵活组态能力,从而能快速应用到多种工业控制应用场景。

[0075] 应当理解的是,本发明的上述具体实施方式仅仅用于示例性说明或解释本发明的原理,而不构成对本发明的限制。因此,在不偏离本发明的精神和范围的情况下所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。此外,本发明所附权利要求旨在涵盖落入所附权利要求范围和边界、或者这种范围和边界的等同形式内的全部变化和修改例。

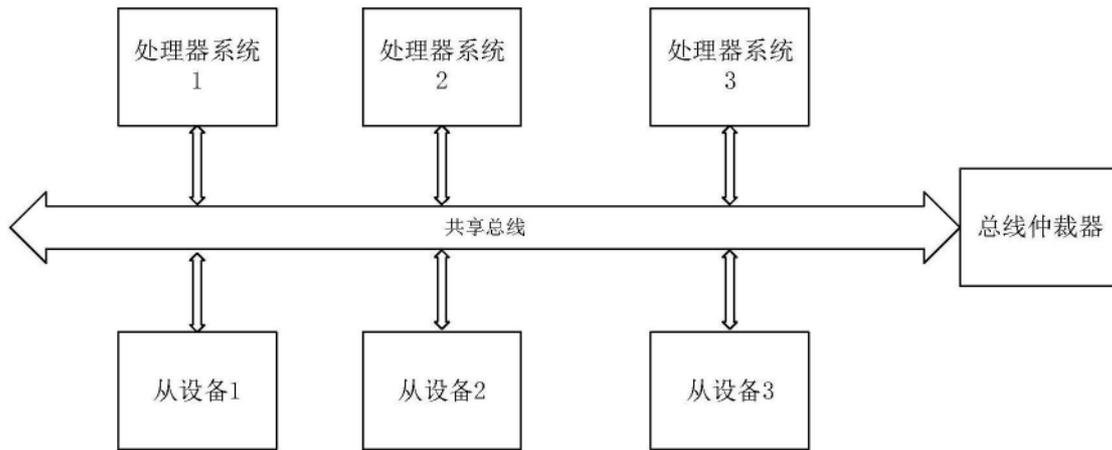


图1

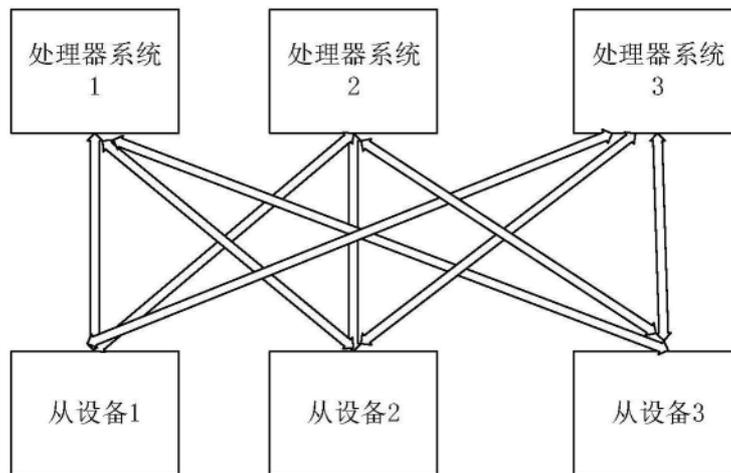


图2

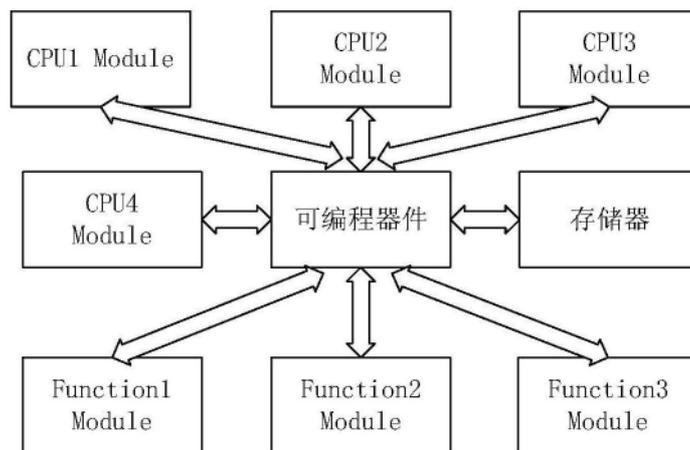


图3

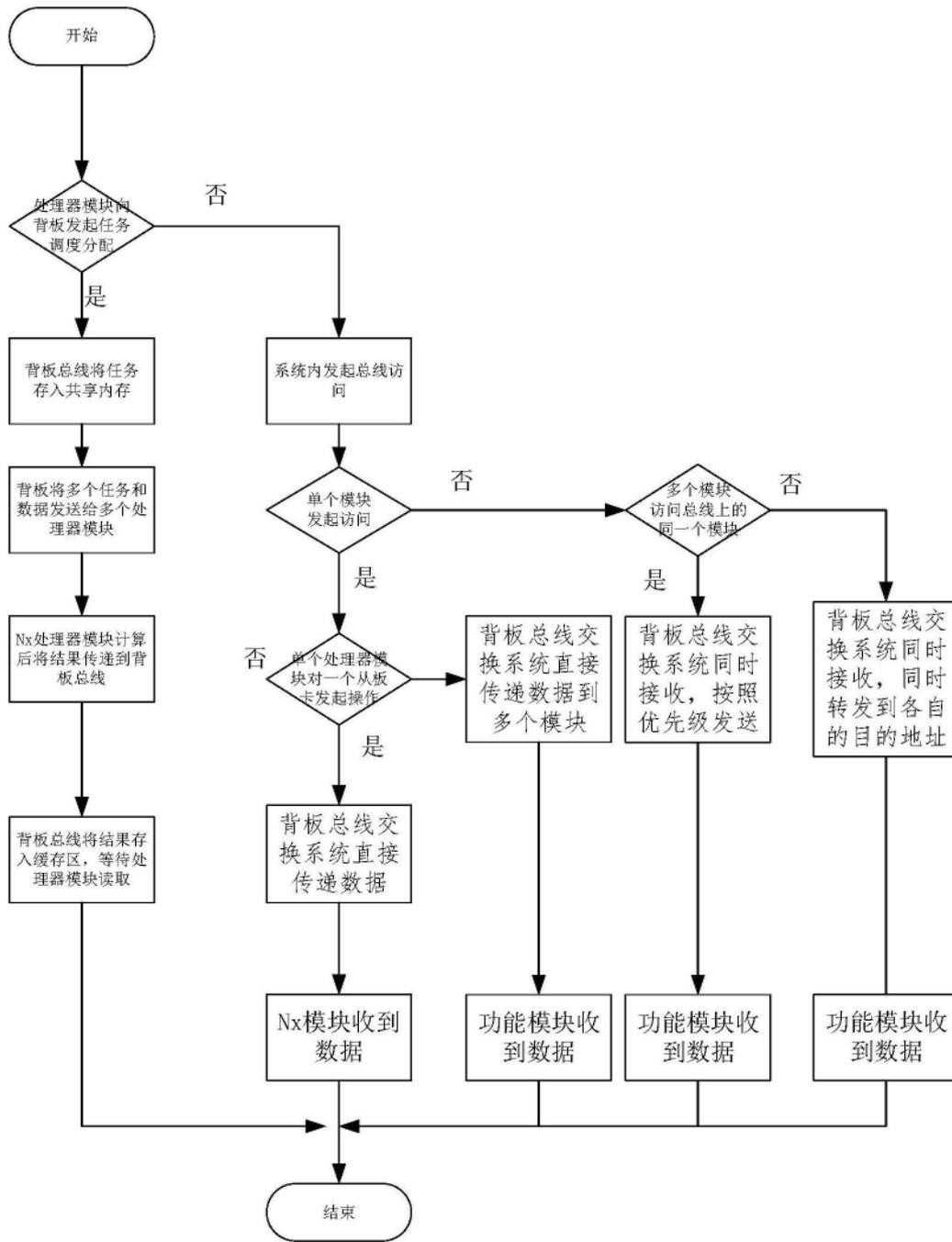


图4

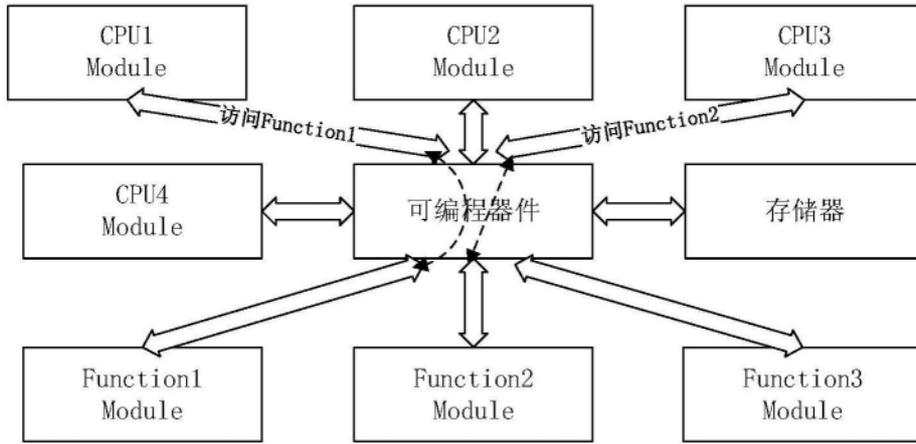


图5

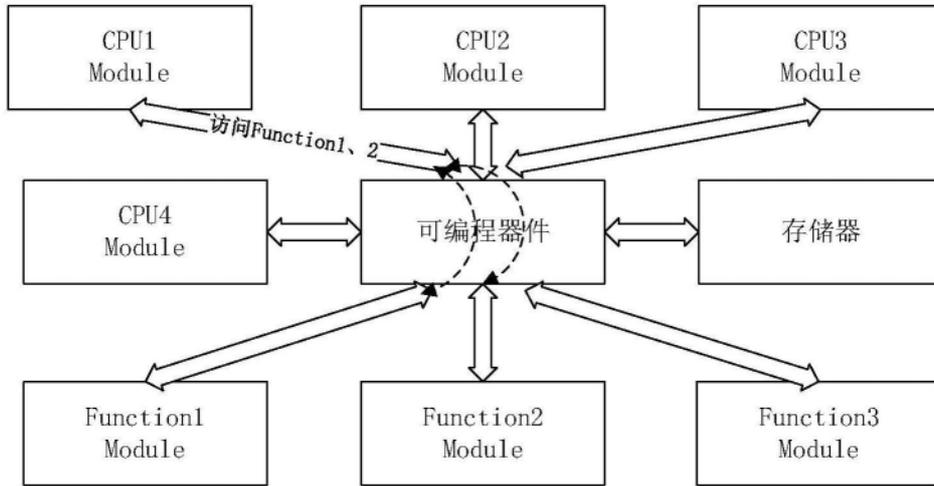


图6

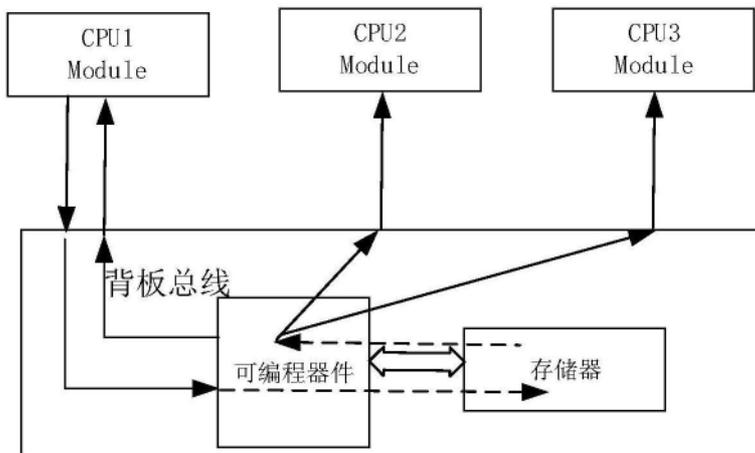


图7