



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년08월28일
(11) 등록번호 10-2149195
(24) 등록일자 2020년08월24일

(51) 국제특허분류(Int. Cl.)
G11C 11/15 (2006.01)
(21) 출원번호 10-2014-0025444
(22) 출원일자 2014년03월04일
심사청구일자 2019년01월30일
(65) 공개번호 10-2015-0103866
(43) 공개일자 2015년09월14일
(56) 선행기술조사문헌
KR1020080070812 A*
KR1020090088601 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
도시바 메모리 가부시킴이샤
일본국 도쿄도 미나토구 시바우라 1-초메 1-1
(72) 발명자
동차덕
경기 광주시 오포읍 양벌로 173, 103동 1501호 (양벌리쌍용아파트)
와타나베 다이스케
일본국 도쿄도 미나토구 시바우라 1조메 1방 1고
가부시킴이샤 도시바 지테크자이산부 나이, 일본
(뒷면에 계속)
(74) 대리인
신성특허법인(유한)

전체 청구항 수 : 총 13 항

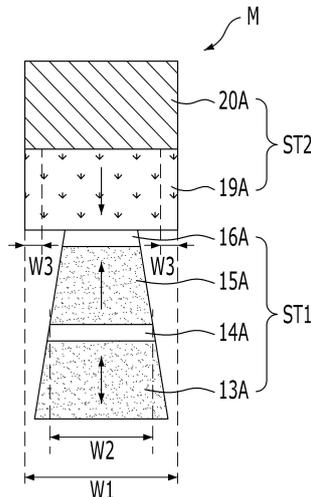
심사관 : 윤석채

(54) 발명의 명칭 전자 장치 및 그 제조 방법

(57) 요약

전자 장치 및 그 제조 방법이 제공된다. 본 발명의 일 실시예에 따른 전자 장치는, 제1 자성층, 제2 자성층 및 상기 제1 자성층과 상기 제2 자성층 사이에 개재되는 터널 배리어층을 포함하는 제1 구조물; 및 상기 제1 구조물 상에 배치되고, 상기 제1 구조물의 자기장을 보정하는 자기 보정층을 포함하는 제2 구조물을 포함하고, 상기 제2 구조물의 하면 폭은, 상기 제1 구조물의 상면 폭보다 크다.

대표도 - 도2a



(72) 발명자

사와다 카즈야

일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고
가부시끼가이샤 도시바 지테크자이산부 나이 , 일
본

이영민

경기도 성남시 분당구 판교역로 100, 605동 1903호
(백현동, 백현마을6단지아파트)

우에다 요지

일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고
가부시끼가이샤 도시바 지테크자이산부 나이 , 일
본

나가세 토시히코

일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고
가부시끼가이샤 도시바 지테크자이산부 나이 , 일
본

명세서

청구범위

청구항 1

반도체 메모리를 포함하는 전자 장치로서,

상기 반도체 메모리는,

제1 자성층, 제2 자성층 및 상기 제1 자성층과 상기 제2 자성층 사이에 개재되는 터널 베리어층을 포함하는 제1 구조물; 및

상기 제1 구조물 상에 배치되고, 상기 제1 구조물의 자기장을 보정하는 자기 보정층을 포함하는 제2 구조물을 포함하고,

상기 제2 구조물의 하면 폭은, 상기 제1 구조물의 상면 폭보다 크고,

상기 제1 구조물은, 상부에서 하부로 갈수록 폭이 증가하는

전자 장치.

청구항 2

삭제

청구항 3

제1 항에 있어서,

상기 제2 구조물의 측벽은 수직 프로파일을 갖는

전자 장치.

청구항 4

제1 항에 있어서,

상기 제1 구조물은,

최상부에 위치하는 자기 절연층을 더 포함하는

전자 장치.

청구항 5

제1 항에 있어서,

상기 제2 구조물은,

최상부에 위치하는 도전성의 상부층을 더 포함하는

전자 장치.

청구항 6

제1 항에 있어서,
 상기 제1 자성층은 층 표면에 대해 수직이고 변경 가능한 자화 방향을 갖고,
 상기 제2 자성층은 층 표면에 대해 수직이고 고정된 자화 방향을 갖고,
 상기 자기 보정층은, 상기 제2 자성층의 자화 방향과 반대의 자화 방향을 갖는
 전자 장치.

청구항 7

삭제

청구항 8

제1 항에 있어서,
 상기 제1 구조물 하부에 배치되고, 상기 제1 구조물과 전기적으로 연결되는 콘택을 더 포함하고,
 상기 제1 구조물의 하면 폭은 상기 콘택의 상면 폭보다 작은
 전자 장치.

청구항 9

제1 항에 있어서,
 상기 전자 장치는, 마이크로프로세서를 더 포함하고,
 상기 마이크로프로세서는,
 상기 마이크로프로세서 외부로부터의 명령을 포함하는 신호를 수신하고, 상기 명령의 추출이나 해독 또는 상기 마이크로프로세서의 신호의 입출력 제어를 수행하는 제어부;
 상기 제어부가 명령을 해독한 결과에 따라서 연산을 수행하는 연산부; 및
 상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 기억부를 포함하고,
 상기 반도체 메모리는, 상기 마이크로프로세서 내에서 상기 기억부의 일부인
 전자 장치.

청구항 10

제1 항에 있어서,
 상기 전자 장치는, 프로세서를 더 포함하고,
 상기 프로세서는,
 상기 프로세서의 외부로부터 입력된 명령에 따라 데이터를 이용하여 상기 명령에 대응하는 연산을 수행하는 코어부;
 상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 캐시 메모리부; 및
 상기 코어부와 상기 캐시 메모리부 사이에 연결되고, 상기 코어부와 상기 캐시 메모리부 사이에 데이터를 전송하는 버스 인터페이스를 포함하고,
 상기 반도체 메모리는, 상기 프로세서 내에서 상기 캐시 메모리부의 일부인

전자 장치.

청구항 11

제1 항에 있어서,
 상기 전자 장치는, 프로세싱 시스템을 더 포함하고,
 상기 프로세싱 시스템은,
 수신된 명령을 해석하고 상기 명령을 해석한 결과에 따라 정보의 연산을 제어하는 프로세서;
 상기 명령을 해석하기 위한 프로그램 및 상기 정보를 저장하기 위한 보조기억장치;
 상기 프로그램을 실행할 때 상기 프로세서가 상기 프로그램 및 상기 정보를 이용해 상기 연산을 수행할 수 있도록 상기 보조기억장치로부터 상기 프로그램 및 상기 정보를 이동시켜 저장하는 주기억장치; 및
 상기 프로세서, 상기 보조기억장치 및 상기 주기억장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스 장치를 포함하고,
 상기 반도체 메모리는, 상기 프로세싱 시스템 내에서 상기 보조기억장치 또는 상기 주기억장치의 일부인 전자 장치.

청구항 12

제1 항에 있어서,
 상기 전자 장치는, 데이터 저장 시스템을 더 포함하고,
 상기 데이터 저장 시스템은,
 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 저장 장치;
 외부로부터 입력된 명령에 따라 상기 저장 장치의 데이터 입출력을 제어하는 컨트롤러;
 상기 저장 장치와 외부 사이에 교환되는 데이터를 임시로 저장하는 임시 저장 장치; 및
 상기 저장 장치, 상기 컨트롤러 및 상기 임시 저장 장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고,
 상기 반도체 메모리는, 상기 데이터 저장 시스템 내에서 상기 저장 장치 또는 상기 임시 저장 장치의 일부인 전자 장치.

청구항 13

제1 항에 있어서,
 상기 전자 장치는, 메모리 시스템을 더 포함하고,
 상기 메모리 시스템은,
 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 메모리;
 외부로부터 입력된 명령에 따라 상기 메모리의 데이터 입출력을 제어하는 메모리 컨트롤러;
 상기 메모리와 외부 사이에 교환되는 데이터를 버퍼링하기 위한 버퍼 메모리; 및
 상기 메모리, 상기 메모리 컨트롤러 및 상기 버퍼 메모리 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고,

상기 반도체 메모리는, 상기 메모리 시스템 내에서 상기 메모리 또는 상기 버퍼 메모리의 일부인 전자 장치.

청구항 14

반도체 메모리를 포함하는 전자 장치의 제조 방법으로서,

기판 상에 제1 자성층, 터널 배리어층 및 제2 자성층을 형성하는 단계;

제1 마스크 패턴을 이용하여 상기 제1 자성층, 상기 터널 배리어층 및 상기 제2 자성층을 식각하여 제1 구조물을 형성하는 단계;

상기 제1 구조물 상에 자기 보정층을 형성하는 단계; 및

상기 제1 마스크 패턴보다 큰 폭을 갖는 제2 마스크 패턴을 이용하여 상기 자기 보정층을 식각하여 제2 구조물을 형성하는 단계를 포함하고,

상기 제1 구조물 형성 단계는,

상기 제1 구조물의 폭이 상부에서 하부로 갈수록 증가하도록 상기 제1 구조물을 경사 식각하는 단계를 포함하는 전자 장치의 제조 방법.

청구항 15

삭제

청구항 16

제14 항에 있어서,

상기 제2 구조물 형성 단계는,

상기 제2 구조물의 측벽이 수직 프로파일을 갖도록 수행되는

반도체 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 특허 문헌은 메모리 회로 또는 장치와, 전자 장치 또는 시스템에서의 이들의 응용에 관한 것이다.

배경 기술

[0002] 최근 전자기기의 소형화, 저전력화, 고성능화, 다양화 등에 따라, 컴퓨터, 휴대용 통신기기 등 다양한 전자기기에서 정보를 저장할 수 있는 반도체 장치가 요구되고 있으며, 이에 대한 연구가 진행되고 있다. 이러한 반도체 장치로는 인가되는 전압 또는 전류에 따라 서로 다른 저항 상태 사이에서 스위칭하는 특성을 이용하여 데이터를 저장할 수 있는 반도체 장치 예컨대, RRAM(Resistive Random Access Memory), PRAM(Phase-change Random Access Memory), FRAM(Ferroelectric Random Access Memory), MRAM(Magnetic Random Access Memory), 이-퓨즈(E-fuse) 등이 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시예들이 해결하려는 과제는, 스위칭 특성이 향상될 수 있고 공정 난이도가 감소할 수 있는 전자 장치 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0004] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 전자 장치는, 반도체 메모리를 포함하는 전자 장치로서, 상기 반도체 메모리는, 제1 자성층, 제2 자성층 및 상기 제1 자성층과 상기 제2 자성층 사이에 개재되는 터널 배리어층을 포함하는 제1 구조물; 및 상기 제1 구조물 상에 배치되고, 상기 제1 구조물의 자기장을 보정하는 자기 보정층을 포함하는 제2 구조물을 포함하고, 상기 제2 구조물의 하면 폭은, 상기 제1 구조물의 상면 폭보다 크다.

[0005] 상기 제1 구조물은, 상부에서 하부로 갈수록 폭이 증가할 수 있다.

[0006] 상기 제2 구조물의 측면은 수직 프로파일을 가질 수 있다.

[0007] 상기 제1 구조물은, 최상부에 위치하는 자기 절연층을 더 포함할 수 있다.

[0008] 상기 제2 구조물은, 최상부에 위치하는 도전성의 상부층을 더 포함할 수 있다.

[0009] 상기 제1 자성층은 층 표면에 대해 수직이고 변경 가능한 자화 방향을 갖고, 상기 제2 자성층은 층 표면에 대해 수직이고 고정된 자화 방향을 갖고, 상기 자기 보정층은, 상기 제2 자성층의 자화 방향과 반대의 자화 방향을 가질 수 있다.

[0010] 상기 자기 보정층의 하면 폭을 W1이라 하고, 상기 터널 배리어층의 폭을 W2라 하고, 상기 자기 보정층 중 손상된 측면의 폭을 W3라 할 때, $W3/2 \leq (W1-W2)/2 \leq W3$ 의 수식을 만족할 수 있다.

[0011] 상기 반도체 메모리는, 상기 제1 구조물 하부에 배치되고, 상기 제1 구조물과 전기적으로 연결되는 콘택을 더 포함하고, 상기 제1 구조물의 하면 폭은 상기 콘택의 상면 폭보다 작을 수 있다.

[0012] 상기 전자 장치는, 마이크로프로세서를 더 포함하고, 상기 마이크로프로세서는, 상기 마이크로프로세서 외부로부터의 명령을 포함하는 신호를 수신하고, 상기 명령의 추출이나 해독 또는 상기 마이크로프로세서의 신호의 입출력 제어를 수행하는 제어부; 상기 제어부가 명령을 해독한 결과에 따라서 연산을 수행하는 연산부; 및 상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 기억부를 포함하고, 상기 반도체 메모리는, 상기 마이크로프로세서 내에서 상기 기억부의 일부일 수 있다.

[0013] 상기 전자 장치는, 프로세서를 더 포함하고, 상기 프로세서는, 상기 프로세서의 외부로부터 입력된 명령에 따라 데이터를 이용하여 상기 명령에 대응하는 연산을 수행하는 코어부; 상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 캐시 메모리부; 및 상기 코어부와 상기 캐시 메모리부 사이에 연결되고, 상기 코어부와 상기 캐시 메모리부 사이에 데이터를 전송하는 버스 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 프로세서 내에서 상기 캐시 메모리부의 일부일 수 있다.

[0014] 상기 전자 장치는, 프로세싱 시스템을 더 포함하고, 상기 프로세싱 시스템은, 수신된 명령을 해석하고 상기 명령을 해석한 결과에 따라 정보의 연산을 제어하는 프로세서; 상기 명령을 해석하기 위한 프로그램 및 상기 정보를 저장하기 위한 보조기억장치; 상기 프로그램을 실행할 때 상기 프로세서가 상기 프로그램 및 상기 정보를 이용해 상기 연산을 수행할 수 있도록 상기 보조기억장치로부터 상기 프로그램 및 상기 정보를 이동시켜 저장하는 주기억장치; 및 상기 프로세서, 상기 보조기억장치 및 상기 주기억장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스 장치를 포함하고, 상기 반도체 메모리는, 상기 프로세싱 시스템 내에서 상기 보조기억장치 또는 상기 주기억장치의 일부일 수 있다.

[0015] 상기 전자 장치는, 데이터 저장 시스템을 더 포함하고, 상기 데이터 저장 시스템은, 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 저장 장치; 외부로부터 입력된 명령에 따라 상기 저장 장치의 데이터 입출력을 제어하는 컨트롤러; 상기 저장 장치와 외부 사이에 교환되는 데이터를 임시로 저장하는 임시 저장 장치; 및 상기 저장 장치, 상기 컨트롤러 및 상기 임시 저장 장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 데이터 저장 시스템 내에서 상기 저장 장치 또는 상

기 임시 저장 장치의 일부일 수 있다.

[0016] 상기 전자 장치는, 메모리 시스템을 더 포함하고, 상기 메모리 시스템은, 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 메모리; 외부로부터 입력된 명령에 따라 상기 메모리의 데이터 입출력을 제어하는 메모리 컨트롤러; 상기 메모리와 외부 사이에 교환되는 데이터를 버퍼링하기 위한 버퍼 메모리; 및 상기 메모리, 상기 메모리 컨트롤러 및 상기 버퍼 메모리 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 메모리 시스템 내에서 상기 메모리 또는 상기 버퍼 메모리의 일부일 수 있다.

[0017] 또한, 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 반도체 메모리를 포함하는 전자 장치의 제조 방법은 기판 상에 제1 자성층, 터널 베리어층 및 제2 자성층을 형성하는 단계; 제1 마스크 패턴을 이용하여 상기 제1 자성층, 상기 터널 베리어층 및 상기 제2 자성층을 식각하여 제1 구조물을 형성하는 단계; 상기 제1 구조물 상에 자기 보정층을 형성하는 단계; 및 상기 제1 마스크 패턴보다 큰 폭을 갖는 제2 마스크 패턴을 이용하여 상기 자기 보정층을 식각하여 제2 구조물을 형성하는 단계를 포함한다.

[0018] 상기 제1 구조물 형성 단계는, 상기 제1 구조물의 폭이 상부에서 하부로 갈수록 증가하도록 상기 제1 구조물을 경사 식각하는 단계를 포함할 수 있다.

[0019] 상기 제2 구조물 형성 단계는, 상기 제2 구조물의 측벽이 수직 프로파일을 갖도록 수행될 수 있다.

발명의 효과

[0020] 상술한 실시예들에 의한 전자 장치 및 그 제조 방법에 의하면, 스위칭 특성이 향상될 수 있고 공정 난이도가 감소할 수 있다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 일 실시예에 따른 반도체 장치를 개략적으로 나타낸 도면이다.
- 도 2a는 본 발명의 일 실시예에 따른 반도체 장치의 가변 저항 소자를 나타낸 도면이고, 도 2b는 도 2a와의 비교를 위한 비교예의 가변 저항 소자를 나타낸 도면이다.
- 도 3 내지 도 6은 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 도면이다.
- 도 7은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 마이크로프로세서의 구성도의 일 예이다.
- 도 8은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 프로세서의 구성도의 일 예이다.
- 도 9는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 시스템의 구성도의 일 예이다.
- 도 10은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 데이터 저장 시스템의 구성도의 일 예이다.
- 도 11은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 메모리 시스템의 구성도의 일 예이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하에서는, 첨부된 도면을 참조하여 다양한 실시예들이 상세히 설명된다.
- [0023] 도면은 반드시 일정한 비율로 도시된 것이라 할 수 없으며, 몇몇 예시들에서, 실시예들의 특징을 명확히 보여주기 위하여 도면에 도시된 구조물 중 적어도 일부의 비례는 과장될 수도 있다. 도면 또는 상세한 설명에 둘 이상의 층을 갖는 다층 구조물이 개시된 경우, 도시된 것과 같은 층들의 상대적인 위치 관계나 배열 순서는 특정 실시예를 반영할 뿐이어서 본 발명이 이에 한정되는 것은 아니며, 층들의 상대적인 위치 관계나 배열 순서는 달라질 수도 있다. 또한, 다층 구조물의 도면 또는 상세한 설명은 특정 다층 구조물에 존재하는 모든 층들을 반영하지 않을 수도 있다(예를 들어, 도시된 두 개의 층 사이에 하나 이상의 추가 층이 존재할 수도 있다). 예컨대, 도면 또는 상세한 설명의 다층 구조물에서 제1 층이 제2 층 상에 있거나 또는 기판상에 있는 경우, 제1 층이 제2 층 상에 직접 형성되거나 또는 기판상에 직접 형성될 수 있음을 나타낼 뿐만 아니라, 하나 이상의 다른 층이 제1 층과 제2 층 사이 또는 제1 층과 기판 사이에 존재하는 경우도 나타낼 수 있다.

- [0024] 도 1은 본 발명의 일 실시예에 따른 반도체 장치를 개략적으로 나타낸 도면이다.
- [0025] 도 1을 참조하면, 본 발명의 일 실시예에 따른 반도체 장치는, 복수의 단위 셀(U)이 매트릭스 형태로 배열된 셀 어레이를 포함할 수 있다. 단위 셀(U) 각각은, 가변 저항 소자(M)와 선택 소자(C)를 포함할 수 있다.
- [0026] 여기서, 가변 저항 소자(M)는 양단에 인가되는 전압 또는 전류에 따라 서로 다른 저항 상태 사이에서 스위칭하는 소자를 의미하며, 이러한 특성을 이용하여 데이터를 저장할 수 있다. 예컨대, 가변 저항 소자(M)가 저저항 상태에 있는 경우 데이터 '0'을 저장할 수 있고 가변 저항 소자(M)가 고저항 상태에 있는 경우 데이터 '1'을 저장할 수 있다. 이러한 가변 저항 소자(M)의 일단은 비트라인(BL)에 전기적으로 연결되고, 타단은 선택 소자(C)의 일단에 전기적으로 연결될 수 있다.
- [0027] 선택 소자(C)는 단위 셀(U)을 선택하기 위한 소자로서, 본 도면에 도시된 것과 같이 트랜지스터일 수 있다. 이러한 경우, 트랜지스터의 드레인은 가변 저항 소자(M)에 연결되고, 소스는 소스라인(SL)에 연결되고, 게이트는 워드라인(WL)에 연결될 수 있다. 그러나, 본 발명이 이에 한정되는 것은 아니며, 선택 소자(C)는 여러가지 소자 예컨대, 다이오드(diode) 등으로 형성될 수도 있다.
- [0028] 이하, 도 2a 내지 도 6을 참조하여, 도 1의 가변 저항 소자(M)의 구조 및 그 제조 방법에 대해 설명하기로 한다.
- [0029] 도 2a는 본 발명의 일 실시예에 따른 반도체 장치의 가변 저항 소자를 나타낸 도면이고, 도 2b는 도 2a와의 비교를 위한 비교예의 가변 저항 소자를 나타낸 도면이다. 설명의 편의를 위하여 하나의 가변 저항 소자만을 도시하였다.
- [0030] 도 2a를 참조하면, 본 발명의 일 실시예에 따른 가변 저항 소자(M)는, 기판(미도시됨) 상에 배치되고 제1 자성층(13A), 제2 자성층(15A) 및 제1 자성층(13A)과 제2 자성층(15A) 사이에 개재된 터널 베리어층(14A)을 포함하는 제1 구조물(ST1)과, 제1 구조물(ST1) 상에 배치되고 제1 구조물(ST1)의 자기장을 보정하는 자기 보정층(19A)을 포함하는 제2 구조물(ST2)을 포함한다.
- [0031] 여기서, 제1 구조물(ST1)의 제1 자성층(13A)은 변경 가능한 자화 방향(제1 자성층(13A)의 화살표 참조)을 갖는 자기 자유층일 수 있고, 제2 자성층(15A)은 고정된 자화 방향(제2 자성층(15A)의 화살표 참조)을 갖는 자기 고정층일 수 있다. 반대로, 제1 자성층(13A)이 자기 고정층이고 제2 자성층(15A)이 자기 자유층일 수도 있다. 제1 및 제2 자성층(13A, 15A)의 자화 방향은 도시된 화살표 방향과 같이 층 표면에 대해 수직일 수 있다. 터널 베리어층(14A)은 전자의 터널링이 가능하여 자기 자유층의 자화 방향 변화를 가능하게 할 수 있다. 제1 자성층(13A) 또는 제2 자성층(15A)은, 강자성(ferromagnetic) 물질 예컨대, Fe-Pt 합금, Fe-Pd 합금, Co-Pd 합금, Co-Pt 합금, Co-Fe 합금, Fe-Ni-Pt 합금, Co-Fe-Pt 합금, Co-Ni-Pt 합금 등을 포함하는 단일막 또는 다중막일 수 있고, 봉소(B)와 같은 불순물을 더 포함할 수 있으나, 본 발명이 이 예시에 한정되는 것은 아니다. 터널 베리어층(14A)은 예컨대, Al₂O₃, MgO, CaO, SrO, TiO, VO, NbO 등의 산화물을 포함하는 단일막 또는 다중막일 수 있으나, 본 발명이 이 예시에 한정되는 것은 아니다. 이러한 제1 구조물(ST1)은 하단 및 상단을 통해 공급되는 전류에 따라 저항이 변화하는 특성을 가질 수 있고 그에 따라 데이터를 저장할 수 있다. 예컨대, 제1 자성층(13A)과 제2 자성층(15A)의 자화 방향이 평행한 경우 제1 구조물(ST1)은 저저항 상태일 수 있고, 제1 자성층(13A)과 제2 자성층(15A)의 자화 방향이 반평행한 경우 고저항 상태일 수 있다.
- [0032] 그런데, 제1 구조물(ST1)에서는 자기 고정층에서 발생하는 자기장이 자기 자유층에 영향을 주어 자기장이 편향되는 현상이 발생한다. 그에 따라, 가변 저항 소자(M)가 제1 구조물(ST1)만으로 이루어진 경우라면, 가변 저항 소자(M)의 스위칭이 비대칭적으로 발생하는 문제가 있다. 본 실시예의 가변 저항 소자(M)는 이러한 자기장 편향 현상을 방지하기 위하여 자기 보정층(19A)을 포함하는 제2 구조물(ST2)을 더 포함한다.
- [0033] 제2 구조물(ST2)의 자기 보정층(19A)은 자기 고정층이 자기 자유층에 끼치는 자기장의 영향을 상쇄하여 제1 구조물(ST1)의 자기장 편향을 방지할 수 있다. 이러한 자기 보정층(19A)은 자기 고정층과 반대의 자화 방향(자기 보정층(19A)의 화살표 참조)을 갖는 층으로서, 강자성(ferromagnetic) 물질 예컨대, Co 금속, Fe 금속, Fe-Pt 합금, Fe-Pd 합금, Co-Pd 합금, Co-Pt 합금, Fe-Ni-Pt 합금, Co-Fe-Pt 합금, Co-Ni-Pt 합금 등을 포함하는 단일막 또는 다중막일 수 있다. 특히, 자기 보정층(19A)이 2 이상의 강자성 물질막을 포함하는 다중막인 경우 강자성 물질막 사이에는 백금(Pt), 팔라듐(Pd) 등과 같은 귀금속막이 개재될 수 있다. 예컨대, 자기 보정층(19A)

은 강자성 물질막/귀금속막/강자성 물질막의 적층 구조를 포함할 수 있다. 또는, 자기 보정층(19A)은 반강자성 (antiferromagnetic) 물질 예컨대, FeMn, NiMn, PtMn, PdMn, PtPdMn, RuMn, OsMn, IrMn, CrPtMn 등을 포함하는 단일막 또는 다중막일 수도 있다.

[0034] 한편, 제1 구조물(ST1)은 최상부에 자기 절연층(16A)을 더 포함할 수 있다. 자기 절연층(16A)은 제2 자성층(15A)과 자기 보정층(19A) 사이에 개재되어 자기적인 절연을 제공하는 역할을 수행하는 것으로서, 금속 등의 도전 물질을 포함할 수 있다. 또한, 도시하지는 않았지만, 제1 구조물(ST1)은 최하부에 필요한 하부층을 더 포함할 수도 있다. 하부층은 가변 저항 소자(M)의 하단에 연결되어 전류를 공급하기 위한 하부 콘택과 가변 저항 소자(M) 사이에 개재되어 이들을 전기적으로 연결시키면서 가변 저항 소자(M)에 요구되는 여러가지 역할 예컨대, 자신의 상부에 위치하는 제1 자성층(13A)의 결정도를 제어하는 역할 등을 수행할 수 있다. 이러한 하부층은 도전성 물질로서 예컨대, Ti, Hf, Zr, Mn, Cr, Zn, Mg, Al, W, Ta 등과 같은 금속, 이 금속의 질화물, 또는 이 금속의 산화물을 포함하는 단일막 또는 다중막일 수 있으나, 본 발명이 이러한 예시에 한정되는 것은 아니다. 또한, 제2 구조물(ST2)은 최상부에 상부층(20A)을 더 포함할 수 있다. 상부층(20A)은 가변 저항 소자(M)의 상단에 연결되어 전류를 공급하기 상부 콘택과 가변 저항 소자(M) 사이에 개재되어 이들을 전기적으로 연결시키면서, 자기 보정층(19A)의 패터닝을 위한 하드마스크로서의 역할을 수행할 수 있다. 이러한 상부층은 도전성 물질로서 예컨대, 금속, 금속 산화물 또는 금속 질화물을 포함하는 단일막 또는 다중막일 수 있으나, 본 발명이 이러한 예시에 한정되는 것은 아니다.

[0035] 후술하는 제조 방법 설명시 보다 상세히 설명하겠지만, 본 실시예에서 제1 구조물(ST1)과 제2 구조물(ST2)은 서로 다른 마스크를 이용하여 패터닝되고, 제1 구조물(ST1) 패터닝을 위한 마스크는 제2 구조물(ST2) 패터닝을 위한 마스크보다 작을 수 있다. 그에 따라, 제1 구조물(ST1)의 상면 폭은 제2 구조물(ST2)의 하면 폭(W1)보다 작을 수 있다. 제2 구조물(ST2)은 측벽이 실질적으로 수직일 수 있고, 이러한 경우 제2 구조물(ST2)의 하면 폭(W1)이 곧 제2 구조물(ST2)의 수평 방향 폭이 될 수 있다. 나아가, 제1 구조물(ST1)은 측벽이 경사 프로파일을 가질 수 있고, 그에 따라 상면 폭이 작더라도 하부로 갈수록 폭이 증가하게 된다. 본 실시예의 가변 저항 소자(M)가 이와 같은 제1 및 제2 구조물(ST1, ST2)을 갖는 경우의 효과에 대해서 비교예의 가변 저항 소자(M')와 비교하여 설명하기로 한다.

[0036] 도 2b를 참조하면, 비교예의 가변 저항 소자(M')는, 본 실시예의 가변 저항 소자(M)와 동일한 층 구조를 갖는다. 즉, 비교예의 가변 저항 소자(M')는 순차적으로 적층된 제1 자성층(130A), 터널 베리어층(140A), 제2 자성층(150A), 자기 절연층(160A), 자기 보정층(190A) 및 상부층(200A)을 포함할 수 있다. 그러나, 비교예의 가변 저항 소자(M')는 제1 자성층(130A), 터널 베리어층(140A), 제2 자성층(150A), 자기 절연층(160A), 자기 보정층(190A) 및 상부층(200A)의 적층 구조물이 하나의 마스크를 이용하여 패터닝된다는 점에서 본 실시예와 상이하다.

[0037] 비교예와 같이 하나의 마스크를 이용한 패터닝이 수행되는 경우, 자기 보정층(190A)의 하면 폭이 하부 구조물의 상면 폭보다 클 수 없다. 따라서, 자기 보정층(190A)의 측벽 일부가 식각으로 손상되는 경우, 그에 해당하는 만큼 자기장 보정 정도가 감소하는 문제가 있다. 이를 보상하기 위하여 자기 보정층(190A)의 두께를 증가시켜야 하는데, 자기 보정층(190A)의 두께가 증가한다는 것은 곧 자기 보정층(190A)을 패터닝하기 어렵다는 것을 나타낸다. 특히, 비교예의 가변 저항 소자(M')는 하나의 마스크를 이용하여 패터닝되므로 자기 보정층(190A)의 두께 증가는 가변 저항 소자(M')의 패터닝을 더욱 어렵게 한다.

[0038] 반면, 본 실시예의 경우 자기 보정층(19A)의 하면 폭(W1)이 제1 구조물(ST1)의 상면 폭보다 크므로, 자기 보정층(19A)의 측벽 일부가 식각으로 손상되어 역할을 수행할 수 없는 데드층(dead layer)이 되더라도 나머지 부분이 충분히 자기장 보정의 역할을 수행할 수 있다. 따라서, 자기 보정층(19A)의 두께를 증가시킬 필요가 없어 자기 보정층(19A)의 패터닝이 유리하다. 게다가, 본 실시예의 가변 저항 소자(M)는 자기 보정층(19A)을 포함하는 제2 구조물(ST2)과 제1 구조물(ST1)을 따로 패터닝하므로, 가변 저항 소자(M)의 패터닝이 더욱 용이하다.

[0039] 또한, 본 실시예의 가변 저항 소자(M)와 같이 제1 및 제2 자성층(13A, 15A)의 자화 방향이 수직인 경우, 제1 구조물(ST1)의 폭은 실제로 터널 베리어층(14A)의 폭에 의해 좌우된다. 본 실시예에서는 제1 구조물(ST1)의 상면 폭을 작게 하더라도, 제1 구조물(ST1)의 측벽이 경사 프로파일을 갖게 함으로써 터널 베리어층(14A)의 폭(W2)을 증가시킬 수 있고, 그에 따라 원하는 폭을 갖는 제1 구조물(ST1)을 획득할 수 있다.

[0040] 본 실시예의 가변 저항 소자(M)에서 자기 보정층(19A)의 데드층의 수평 방향 폭을 W3라 할 때, $W3/2 \leq (W1-W2)/2 \leq W3$ 의 수식이 만족될 수 있다.

- [0041] 위 수식과 같이 자기 보정층(19A)의 폭(W1)에서 제1 구조물(ST1)의 폭(W2)을 뺀 값이 데드층의 폭(W3) 이상이 되게 함으로써, 자기 보정층(19A)의 역할을 유지할 수 있다. 그렇다고 하여, 자기 보정층(19A)의 폭(W1)을 지나치게 증가시키는 경우 반도체 장치의 집적도가 저하되므로, 본 실시예에서는 자기 보정층(19A)의 폭(W1)에서 제1 구조물(ST1)의 폭(W2)을 뺀 값을 데드층의 폭(W3)의 두배 이하로 한정한다. 그러나, 본 발명이 이에 한정되는 것은 아니다.
- [0042] 도 3 내지 도 6은 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 도면이다. 예시적으로 세 개의 가변 저항 소자를 포함하는 반도체 장치의 제조 방법을 설명하기로 한다.
- [0043] 도 3을 참조하면, 요구되는 소정 구조물 예컨대, 트랜지스터와 같은 스위칭 소자 등이 형성되어 있는 기판(미도시됨) 상에 제1 층간 절연막(11) 및 제1 층간 절연막(11)을 관통하여 기판의 일부 예컨대, 스위칭 소자의 일단과 연결되는 하부 콘택(12)을 형성한다. 도시하지는 않았지만 스위칭 소자의 타단은 소정 배선 예컨대, 소스라인과 전기적으로 연결될 수 있다. 여기서, 제1 층간 절연막(11)은 실리콘 산화물 등 다양한 절연 물질을 포함할 수 있고, 하부 콘택(12)은 도전 물질로서 예컨대, 텅스텐 등의 금속 또는 티타늄 질화물 등의 금속 질화물을 포함할 수 있다.
- [0044] 이어서, 제1 층간 절연막(11) 및 하부 콘택(12) 상에 제1 자성층(13), 터널 베리어층(14), 제2 자성층(15) 및 자기 절연층(16)을 형성한다.
- [0045] 이어서, 제1 자성층(13), 터널 베리어층(14), 제2 자성층(15) 및 자기 절연층(16)의 적층 구조물 상에, 제1 구조물(ST1)을 패터닝하기 위한 제1 마스크 패턴(17)을 형성한다. 제1 마스크 패턴(17)은 하부 콘택(12) 각각과 중첩하도록 형성되며, 나아가, 하부 콘택(12)보다 작은 폭을 갖도록 형성될 수 있다. 제1 마스크 패턴(17)은 도전 물질, 절연 물질, 유기 물질, 반도체 물질 등 다양한 물질을 포함하는 단일막 또는 다중막으로 형성될 수 있다.
- [0046] 도 4를 참조하면, 제1 마스크 패턴(17)을 식각 베리어로 자기 절연층(16), 제2 자성층(15), 터널 베리어층(14) 및 제1 자성층(13)을 식각하여 제1 구조물(ST1)을 형성한다. 식각된 자기 절연층(16), 제2 자성층(15), 터널 베리어층(14) 및 제1 자성층(13)을 각각 도면부호 16A, 15A, 14A 및 13A로 표기하였다.
- [0047] 본 식각 공정은, 제1 구조물(ST1)의 측벽이 경사 프로파일을 갖도록 수행될 수 있다. 이때, 제1 구조물(ST1)의 측벽이 경사 프로파일을 갖더라도 제1 구조물(ST1)의 하면 폭은 하부 콘택(12)의 상면 폭보다 작도록 제어될 수 있다. 이러한 경우, 터널 베리어층(14A)의 평탄도 확보가 용이한 장점이 있다. 본 식각 공정에서 제1 마스크 패턴(17)의 일부는 손실될 수 있다.
- [0048] 도 5를 참조하면, 도 4의 공정 결과물을 덮는 절연 물질을 형성한 후, 자기 절연층(16A)이 드러날 때까지 평탄화 공정 예컨대, CMP(Chemical Mechanical Polishing) 공정 등을 수행함으로써, 제1 구조물(ST1) 사이의 공간을 매립하는 제2 층간 절연막(18)을 형성한다.
- [0049] 이어서, 제2 층간 절연막(18)이 형성된 결과물 상에 자기 보정층(19) 및 상부층(20)을 형성한다.
- [0050] 이어서, 상부층(20) 상에 제2 구조물(ST2)을 패터닝하기 위한 제2 마스크 패턴(21)을 형성한다. 제2 마스크 패턴(21)은 제1 구조물(ST1) 각각과 중첩하면서 제1 구조물(ST1)의 상면 폭보다 큰 폭을 갖도록 형성될 수 있다. 나아가, 제2 마스크 패턴(21)은 제1 구조물(ST1)의 터널 베리어층(14A)의 폭보다도 클 수 있다. 제2 마스크 패턴(21)은 도전 물질, 절연 물질, 유기 물질, 반도체 물질 등 다양한 물질을 포함하는 단일막 또는 다중막으로 형성될 수 있다.
- [0051] 도 6을 참조하면, 제2 마스크 패턴(21)을 식각 베리어로 상부층(20)을 식각한다. 식각된 상부층(20)을 도면부호 20A로 표기하였다. 이 과정에서 제2 마스크 패턴(21)의 적어도 일부가 손실될 수 있다.
- [0052] 이어서, 적어도 상부층(20A)을 식각 베리어로 자기 보정층(19)을 식각한다. 식각된 자기 보정층(19)을 도면부호 19A로 표기하였다. 본 공정 결과, 자기 보정층(19A) 및 상부층(20A)이 적층된 제2 구조물(ST2)이 형성될 수 있다. 본 식각 공정은, 제2 구조물(ST2)의 측벽이 수직 프로파일을 갖도록 수행될 수 있다.
- [0053] 이어서, 도시하지는 않았으나, 도 6의 공정 결과물을 덮는 제3 층간 절연막을 형성한 후, 제3 층간 절연막을 관통하여 상부층(20A)과 연결되는 상부 콘택을 형성하는 공정, 제3 층간 절연막 상에서 상부 콘택과 연결되는 배선 예컨대, 비트라인을 형성하는 공정 등을 수행할 수 있다.
- [0054] 전술한 실시예들의 메모리 회로 또는 반도체 장치는 다양한 장치 또는 시스템에 이용될 수 있다. 도 7 내지 도

11는 전술한 실시예들의 메모리 회로 또는 반도체 장치를 구현할 수 있는 장치 또는 시스템의 몇몇 예시들을 나타낸다.

- [0055] 도 7은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 마이크로프로세서의 구성도의 일 예이다.
- [0056] 도 7을 참조하면, 마이크로프로세서(1000)는 다양한 외부 장치로부터 데이터를 받아서 처리한 후 그 결과를 외부 장치로 보내는 일련의 과정을 제어하고 조정하는 일을 수행할 수 있으며, 기억부(1010), 연산부(1020), 제어부(1030) 등을 포함할 수 있다. 마이크로프로세서(1000)는 중앙 처리 장치(Central Processing Unit; CPU), 그래픽 처리 장치(Graphic Processing Unit; GPU), 디지털 신호 처리 장치(Digital Signal Processor; DSP), 어플리케이션 프로세서(Application Processor; AP) 등 각종 데이터 처리 장치 일 수 있다.
- [0057] 기억부(1010)는 프로세서 레지스터(Processor register), 레지스터(Register) 등으로, 마이크로프로세서(1000) 내에서 데이터를 저장하는 부분일 수 있고, 데이터 레지스터, 주소 레지스터, 부동 소수점 레지스터 등을 포함할 수 있으며 이외에 다양한 레지스터를 포함할 수 있다. 기억부(1010)는 연산부(1020)에서 연산을 수행하는 데이터나 수행결과 데이터, 수행을 위한 데이터가 저장되어 있는 주소를 일시적으로 저장하는 역할을 수행할 수 있다.
- [0058] 기억부(1010)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예컨대, 기억부(1010)는 제1 자성층, 제2 자성층 및 상기 제1 자성층과 상기 제2 자성층 사이에 개재되는 터널 배리어층을 포함하는 제1 구조물; 및 상기 제1 구조물 상에 배치되고, 상기 제1 구조물의 자기장을 보정하는 자기 보정층을 포함하는 제2 구조물을 포함하고, 상기 제2 구조물의 하면 폭은, 상기 제1 구조물의 상면 폭보다 클 수 있다. 이를 통해, 기억부(1010)의 데이터 저장 특성이 향상될 수 있고 제조 공정의 난이도가 감소할 수 있다. 결과적으로, 마이크로프로세서(1000)의 동작 특성을 향상시킬 수 있다.
- [0059] 연산부(1020)는 제어부(1030)가 명령을 해독한 결과에 따라서 여러 가지 사칙 연산 또는 논리 연산을 수행할 수 있다. 연산부(1020)는 하나 이상의 산술 논리 연산 장치(Arithmetic and Logic Unit; ALU) 등을 포함할 수 있다.
- [0060] 제어부(1030)는 기억부(1010), 연산부(1020), 마이크로프로세서(1000)의 외부 장치 등으로부터 신호를 수신하고, 명령의 추출이나 해독, 마이크로프로세서(1000)의 신호 입출력의 제어 등을 수행하고, 프로그램으로 나타내어진 처리를 실행할 수 있다.
- [0061] 본 실시예에 따른 마이크로프로세서(1000)는 기억부(1010) 이외에 외부 장치로부터 입력되거나 외부 장치로 출력할 데이터를 임시 저장할 수 있는 캐시 메모리부(1040)를 추가로 포함할 수 있다. 이 경우 캐시 메모리부(1040)는 버스 인터페이스(1050)를 통해 기억부(1010), 연산부(1020) 및 제어부(1030)와 데이터를 주고 받을 수 있다.
- [0062] 도 8은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 프로세서의 구성도의 일 예이다.
- [0063] 도 8을 참조하면, 프로세서(1100)는 다양한 외부 장치로부터 데이터를 받아서 처리한 후 그 결과를 외부 장치로 보내는 일련의 과정을 제어하고 조정하는 일을 수행하는 마이크로프로세서의 기능 이외에 다양한 기능을 포함하여 성능 향상 및 다기능을 구현할 수 있다. 프로세서(1100)는 마이크로프로세서의 역할을 하는 코어부(1110), 데이터를 임시 저장하는 역할을 하는 캐시 메모리부(1120) 및 내부와 외부 장치 사이의 데이터 전달을 위한 버스 인터페이스(1430)를 포함할 수 있다. 프로세서(1100)는 멀티 코어 프로세서(Multi Core Processor), 그래픽 처리 장치(Graphic Processing Unit; GPU), 어플리케이션 프로세서(Application Processor; AP) 등과 같은 각종 시스템 온 칩(System on Chip; SoC)을 포함할 수 있다.
- [0064] 본 실시예의 코어부(1110)는 외부 장치로부터 입력된 데이터를 산술 논리 연산하는 부분으로, 기억부(1111), 연산부(1112) 및 제어부(1113)를 포함할 수 있다.
- [0065] 기억부(1111)는 프로세서 레지스터(Processor register), 레지스터(Register) 등으로, 프로세서(1100) 내에서 데이터를 저장하는 부분일 수 있고, 데이터 레지스터, 주소 레지스터, 부동 소수점 레지스터 등을 포함할 수 있으며 이외에 다양한 레지스터를 포함할 수 있다. 기억부(1111)는 연산부(1112)에서 연산을 수행하는 데이터나 수행결과 데이터, 수행을 위한 데이터가 저장되어 있는 주소를 일시적으로 저장하는 역할을 수행할 수 있다. 연

산부(1112)는 프로세서(1100)의 내부에서 연산을 수행하는 부분으로, 제어부(1113)가 명령을 해독한 결과에 따라서 여러 가지 사칙 연산, 논리 연산 등을 수행할 수 있다. 연산부(1112)는 하나 이상의 산술 논리 연산 장치(Arithmetic and Logic Unit; ALU) 등을 포함할 수 있다. 제어부(1113)는 기억부(1111), 연산부(1112), 프로세서(1100)의 외부 장치 등으로부터 신호를 수신하고, 명령의 추출이나 해독, 프로세서(1100)의 신호 입출력의 제어 등을 수행하고, 프로그램으로 나타내어진 처리를 실행할 수 있다.

[0066] 캐시 메모리부(1120)는 고속으로 동작하는 코어부(1110)와 저속으로 동작하는 외부 장치 사이의 데이터 처리 속도 차이를 보완하기 위해 임시로 데이터를 저장하는 부분으로, 1차 저장부(1121), 2차 저장부(1122) 및 3차 저장부(1123)를 포함할 수 있다. 일반적으로 캐시 메모리부(1120)는 1차, 2차 저장부(1121, 1122)를 포함하며 고용량이 필요할 경우 3차 저장부(1123)를 포함할 수 있으며, 필요시 더 많은 저장부를 포함할 수 있다. 즉 캐시 메모리부(1120)가 포함하는 저장부의 개수는 설계에 따라 달라질 수 있다. 여기서, 1차, 2차, 3차 저장부(1121, 1122, 1123)의 데이터 저장 및 판별하는 처리 속도는 같을 수도 있고 다를 수도 있다. 각 저장부의 처리 속도가 다른 경우, 1차 저장부의 속도가 제일 빠를 수 있다. 캐시 메모리부(1120)의 1차 저장부(1121), 2차 저장부(1122) 및 3차 저장부(1123) 중 하나 이상의 저장부는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 캐시 메모리부(1120)는 제1 자성층, 제2 자성층 및 상기 제1 자성층과 상기 제2 자성층 사이에 개재되는 터널 배리어층을 포함하는 제1 구조물; 및 상기 제1 구조물 상에 배치되고, 상기 제1 구조물의 자기장을 보정하는 자기 보정층을 포함하는 제2 구조물을 포함하고, 상기 제2 구조물의 하면 폭은, 상기 제1 구조물의 상면 폭보다 클 수 있다. 이를 통해 캐시 메모리부(1120)의 데이터 저장 특성이 향상될 수 있고 제조 공정의 난이도가 감소할 수 있다. 결과적으로, 프로세서(1100)의 동작 특성을 향상시킬 수 있다.

[0067] 도 8에는 1차, 2차, 3차 저장부(1121, 1122, 1123)가 모두 캐시 메모리부(1120)의 내부에 구성된 경우를 도시하였으나, 캐시 메모리부(1120)의 1차, 2차, 3차 저장부(1121, 1122, 1123)는 모두 코어부(1110)의 외부에 구성되어 코어부(1110)와 외부 장치간의 처리 속도 차이를 보완할 수 있다. 또는, 캐시 메모리부(1120)의 1차 저장부(1121)는 코어부(1110)의 내부에 위치할 수 있고, 2차 저장부(1122) 및 3차 저장부(1123)는 코어부(1110)의 외부에 구성되어 처리 속도 차이의 보완 기능이 보다 강화될 수 있다. 또는, 1차, 2차 저장부(1121, 1122)는 코어부(1110)의 내부에 위치할 수 있고, 3차 저장부(1123)는 코어부(1110)의 외부에 위치할 수 있다.

[0068] 버스 인터페이스(1430)는 코어부(1110), 캐시 메모리부(1120) 및 외부 장치를 연결하여 데이터를 효율적으로 전송할 수 있게 해주는 부분이다.

[0069] 본 실시예에 따른 프로세서(1100)는 다수의 코어부(1110)를 포함할 수 있으며 다수의 코어부(1110)가 캐시 메모리부(1120)를 공유할 수 있다. 다수의 코어부(1110)와 캐시 메모리부(1120)는 직접 연결되거나, 버스 인터페이스(1430)를 통해 연결될 수 있다. 다수의 코어부(1110)는 모두 상술한 코어부의 구성과 동일하게 구성될 수 있다. 프로세서(1100)가 다수의 코어부(1110)를 포함할 경우, 캐시 메모리부(1120)의 1차 저장부(1121)는 다수의 코어부(1110)의 개수에 대응하여 각각의 코어부(1110) 내에 구성되고 2차 저장부(1122)와 3차 저장부(1123)는 다수의 코어부(1110)의 외부에 버스 인터페이스(1130)를 통해 공유되도록 구성될 수 있다. 여기서, 1차 저장부(1121)의 처리 속도가 2차, 3차 저장부(1122, 1123)의 처리 속도보다 빠를 수 있다. 다른 실시예에서, 1차 저장부(1121)와 2차 저장부(1122)는 다수의 코어부(1110)의 개수에 대응하여 각각의 코어부(1110) 내에 구성되고, 3차 저장부(1123)는 다수의 코어부(1110) 외부에 버스 인터페이스(1130)를 통해 공유되도록 구성될 수 있다.

[0070] 본 실시예에 따른 프로세서(1100)는 데이터를 저장하는 임베디드(Embedded) 메모리부(1140), 외부 장치와 유선 또는 무선으로 데이터를 송수신할 수 있는 통신모듈부(1150), 외부 기억 장치를 구동하는 메모리 컨트롤부(1160), 외부 인터페이스 장치에 프로세서(1100)에서 처리된 데이터나 외부 입력장치에서 입력된 데이터를 가공하고 출력하는 미디어처리부(1170) 등을 추가로 포함할 수 있으며, 이 이외에도 다수의 모듈과 장치를 포함할 수 있다. 이 경우 추가된 다수의 모듈들은 버스 인터페이스(1130)를 통해 코어부(1110), 캐시 메모리부(1120) 및 상호간 데이터를 주고 받을 수 있다.

[0071] 여기서 임베디드 메모리부(1140)는 휘발성 메모리뿐만 아니라 비휘발성 메모리를 포함할 수 있다. 휘발성 메모리는 DRAM(Dynamic Random Access Memory), Mobile DRAM, SRAM(Static Random Access Memory), 및 이와 유사한 기능을 하는 메모리 등을 포함할 수 있으며, 비휘발성 메모리는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory), 및 이와 유사한 기능을 수행하는 메모리 등을 포함할 수 있다.

[0072] 통신모듈부(1150)는 유선 네트워크와 연결할 수 있는 모듈, 무선 네트워크와 연결할 수 있는 모듈, 및 이들 전

부를 포함할 수 있다. 유선 네트워크 모듈은, 전송 라인을 통하여 데이터를 송수신하는 다양한 장치들과 같이, 유선랜(Local Area Network; LAN), 유에스비(Universal Serial Bus; USB), 이더넷(Ethernet), 전력선통신(Power Line Communication; PLC) 등을 포함할 수 있다. 무선 네트워크 모듈은, 전송 라인 없이 데이터를 송수신하는 다양한 장치들과 같이, 적외선 통신(Infrared Data Association; IrDA), 코드 분할 다중 접속(Code Division Multiple Access; CDMA), 시분할 다중 접속(Time Division Multiple Access; TDMA), 주파수 분할 다중 접속(Frequency Division Multiple Access; FDMA), 무선랜(Wireless LAN), 지그비(Zigbee), 유비쿼터스 센서 네트워크(Ubiquitous Sensor Network; USN), 블루투스(Bluetooth), RFID(Radio Frequency Identification), 롱텀에볼루션(Long Term Evolution; LTE), 근거리 무선통신(Near Field Communication; NFC), 광대역 무선 인터넷(Wireless Broadband Internet; Wibro), 고속 하향 패킷 접속(High Speed Downlink Packet Access; HSDPA), 광대역 코드 분할 다중 접속(Wideband CDMA; WCDMA), 초광대역 통신(Ultra WideBand; UWB) 등을 포함할 수 있다.

[0073] 메모리 컨트롤부(1160)는 프로세서(1100)와 서로 다른 통신 규격에 따라 동작하는 외부 저장 장치 사이에 전송되는 데이터를 처리하고 관리하기 위한 것으로 각종 메모리 컨트롤러, 예를 들어, IDE(Integrated Device Electronics), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), RAID(Redundant Array of Independent Disks), SSD(Solid State Disk), eSATA(External SATA), PCMCIA(Personal Computer Memory Card International Association), USB(Universal Serial Bus), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등을 제어하는 컨트롤러를 포함할 수 있다.

[0074] 미디어처리부(1170)는 프로세서(1100)에서 처리된 데이터나 외부 입력장치로부터 영상, 음성 및 기타 형태로 입력된 데이터를 가공하고, 이 데이터를 외부 인터페이스 장치로 출력할 수 있다. 미디어처리부(1170)는 그래픽 처리 장치(Graphics Processing Unit; GPU), 디지털 신호 처리 장치(Digital Signal Processor; DSP), 고선명 오디오(High Definition Audio; HD Audio), 고선명 멀티미디어 인터페이스(High Definition Multimedia Interface; HDMI) 컨트롤러 등을 포함할 수 있다.

[0075] 도 9는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 시스템의 구성도의 일 예이다.

[0076] 도 9를 참조하면, 시스템(1200)은 데이터를 처리하는 장치로, 데이터에 대하여 일련의 조작을 행하기 위해 입력, 처리, 출력, 통신, 저장 등을 수행할 수 있다. 시스템(1200)은 프로세서(1210), 주기억장치(1220), 보조 기억장치(1230), 인터페이스 장치(1240) 등을 포함할 수 있다. 본 실시예의 시스템(1200)은 컴퓨터(Computer), 서버(Server), PDA(Personal Digital Assistant), 휴대용 컴퓨터(Portable Computer), 웹 태블릿(Web Tablet), 무선 폰(Wireless Phone), 모바일 폰(Mobile Phone), 스마트 폰(Smart Phone), 디지털 뮤직 플레이어(Digital Music Player), PMP(Portable Multimedia Player), 카메라(Camera), 위성항법장치(Global Positioning System; GPS), 비디오 카메라(Video Camera), 음성 녹음기(Voice Recorder), 텔레매틱스(Telematics), AV시스템(Audio Visual System), 스마트 텔레비전(Smart Television) 등 프로세스를 사용하여 동작하는 각종 전자 시스템일 수 있다.

[0077] 프로세서(1210)는 입력된 명령어의 해석과 시스템(1200)에 저장된 자료의 연산, 비교 등의 처리를 제어할 수 있고, 마이크로프로세서(Micro Processor Unit; MPU), 중앙 처리 장치(Central Processing Unit; CPU), 싱글/멀티 코어 프로세서(Single/Multi Core Processor), 그래픽 처리 장치(Graphic Processing Unit; GPU), 어플리케이션 프로세서(Application Processor; AP), 디지털 신호 처리 장치(Digital Signal Processor; DSP) 등을 포함할 수 있다.

[0078] 주기억장치(1220)는 프로그램이 실행될 때 보조기억장치(1230)로부터 프로그램 코드나 자료를 이동시켜 저장, 실행시킬 수 있는 기억장소로, 전원이 끊어져도 기억된 내용이 보존될 수 있다. 주기억장치(1220)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 주기억장치(1220)는 제1 자성층, 제2 자성층 및 상기 제1 자성층과 상기 제2 자성층 사이에 개재되는 터널 배리어층을 포함하는 제1 구조물; 및 상기 제1 구조물 상에 배치되고, 상기 제1 구조물의 자기장을 보정하는 자기 보정층을 포함하는 제2 구조물을 포함하고, 상기 제2 구조물의 하면 폭은, 상기 제1 구조물의 상면 폭보다 클 수 있다. 이를 통해, 주기억장치(1220)의 데이

터 저장 특성이 향상될 수 있고 제조 공정의 난이도가 감소할 수 있다. 결과적으로, 시스템(1200)의 동작 특성을 향상시킬 수 있다.

[0079] 또한, 주기억장치(1220)는 전원이 꺼지면 모든 내용이 지워지는 휘발성 메모리 타입의 에스램(Static Random Access Memory; SRAM), 디램(Dynamic Random Access Memory) 등을 더 포함할 수 있다. 이와는 다르게, 주기억장치(1220)는 전술한 실시예의 반도체 장치를 포함하지 않고, 전원이 꺼지면 모든 내용이 지워지는 휘발성 메모리 타입의 에스램(Static Random Access Memory; SRAM), 디램(Dynamic Random Access Memory) 등을 포함할 수 있다.

[0080] 보조기억장치(1230)는 프로그램 코드나 데이터를 보관하기 위한 기억장치를 말한다. 주기억장치(1220)보다 속도는 느리지만 많은 자료를 보관할 수 있다. 보조기억장치(1230)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 보조기억장치(1230)는 제1 자성층, 제2 자성층 및 상기 제1 자성층과 상기 제2 자성층 사이에 개재되는 터널 베리어층을 포함하는 제1 구조물; 및 상기 제1 구조물 상에 배치되고, 상기 제1 구조물의 자기장을 보정하는 자기 보정층을 포함하는 제2 구조물을 포함하고, 상기 제2 구조물의 하면 폭은, 상기 제1 구조물의 상면 폭보다 클 수 있다. 이를 통해, 보조기억장치(1230)의 데이터 저장 특성이 향상될 수 있고 제조 공정의 난이도가 감소할 수 있다. 결과적으로, 시스템(1200)의 동작 특성을 향상시킬 수 있다.

[0081] 또한, 보조기억장치(1230)는 자기를 이용한 자기테이프, 자기디스크, 빛을 이용한 레이저 디스크, 이들 둘을 이용한 광자기디스크, 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 데이터 저장 시스템(도 10의 1300 참조)을 더 포함할 수 있다. 이와는 다르게, 보조기억장치(1230)는 전술한 실시예의 반도체 장치를 포함하지 않고 자기를 이용한 자기테이프, 자기디스크, 빛을 이용한 레이저 디스크, 이들 둘을 이용한 광자기디스크, 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 데이터 저장 시스템(도 10의 1300 참조)들을 포함할 수 있다.

[0082] 인터페이스 장치(1240)는 본 실시예의 시스템(1200)과 외부 장치 사이에서 명령, 데이터 등을 교환하기 위한 것일 수 있으며, 키패드(keypad), 키보드(keyboard), 마우스(Mouse), 스피커(Speaker), 마이크(Mike), 표시장치(Display), 각종 휴먼 인터페이스 장치(Human Interface Device; HID), 통신장치 등일 수 있다. 통신장치는 유선 네트워크와 연결할 수 있는 모듈, 무선 네트워크와 연결할 수 있는 모듈, 및 이들 전부를 포함할 수 있다. 유선 네트워크 모듈은, 전송 라인을 통하여 데이터를 송수신하는 다양한 장치들과 같이, 유선랜(Local Area Network; LAN), 유에스비(Universal Serial Bus; USB), 이더넷(Ethernet), 전력선통신(Power Line Communication; PLC) 등을 포함할 수 있으며, 무선 네트워크 모듈은, 전송 라인 없이 데이터를 송수신하는 다양한 장치들과 같이, 적외선 통신(Infrared Data Association; IrDA), 코드 분할 다중 접속(Code Division Multiple Access; CDMA), 시분할 다중 접속(Time Division Multiple Access; TDMA), 주파수 분할 다중 접속(Frequency Division Multiple Access; FDMA), 무선랜(Wireless LAN), 지그비(Zigbee), 유비쿼터스 센서 네트워크(Ubiquitous Sensor Network; USN), 블루투스(Bluetooth), RFID(Radio Frequency IDentification), 롱텀 에볼루션(Long Term Evolution; LTE), 근거리 무선통신(Near Field Communication; NFC), 광대역 무선 인터넷(Wireless Broadband Internet; Wibro), 고속 하향 패킷 접속(High Speed Downlink Packet Access; HSDPA), 광대역 코드 분할 다중 접속(Wideband CDMA; WCDMA), 초광대역 통신(Ultra WideBand; UWB) 등을 포함할 수 있다.

[0083] 도 10은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 데이터 저장 시스템의 구성도의 일 예이다.

[0084] 도 10을 참조하면, 데이터 저장 시스템(1300)은 데이터 저장을 위한 구성으로 비휘발성 특성을 가지는 저장 장치(1310), 이를 제어하는 컨트롤러(1320), 외부 장치와의 연결을 위한 인터페이스(1330), 및 데이터를 임시 저장하기 위한 임시 저장 장치(1340)를 포함할 수 있다. 데이터 저장 시스템(1300)은 하드 디스크(Hard Disk

Drive; HDD), 광학 드라이브(Compact Disc Read Only Memory; CDRom), DVD(Digital Versatile Disc), 고상 디스크(Solid State Disk; SSD) 등의 디스크 형태와 USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 카드 형태일 수 있다.

[0085] 저장 장치(1310)는 데이터를 반 영구적으로 저장하는 비휘발성 메모리를 포함할 수 있다. 여기서, 비휘발성 메모리는, ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.

[0086] 컨트롤러(1320)는 저장 장치(1310)와 인터페이스(1330) 사이에서 데이터의 교환을 제어할 수 있다. 이를 위해 컨트롤러(1320)는 데이터 저장 시스템(1300) 외부에서 인터페이스(1330)를 통해 입력된 명령어들을 처리하기 위한 연산 등을 수행하는 프로세서(1321)를 포함할 수 있다.

[0087] 인터페이스(1330)는 데이터 저장 시스템(1300)과 외부 장치간에 명령 및 데이터 등을 교환하기 위한 것이다. 데이터 저장 시스템(1300)이 카드인 경우, 인터페이스(1330)는, USB(Universal Serial Bus Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 장치에서 사용되는 인터페이스들과 호환될 수 있거나, 또는, 이들 장치와 유사한 장치에서 사용되는 인터페이스들과 호환될 수 있다. 데이터 저장 시스템(1300)이 디스크 형태일 경우, 인터페이스(1330)는 IDE(Integrated Device Electronics), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), eSATA(External SATA), PCMCIA(Personal Computer Memory Card International Association), USB(Universal Serial Bus) 등과 같은 인터페이스와 호환될 수 있거나, 또는, 이들 인터페이스와 유사한 인터페이스와 호환될 수 있다. 인터페이스(1330)는 서로 다른 타입을 갖는 하나 이상의 인터페이스와 호환될 수도 있다.

[0088] 임시 저장 장치(1340)는 외부 장치와의 인터페이스, 컨트롤러, 및 시스템의 다양화, 고성능화에 따라 인터페이스(1330)와 저장 장치(1310)간의 데이터의 전달을 효율적으로 하기 위하여 데이터를 임시로 저장할 수 있다. 임시 저장 장치(1340)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 임시 저장 장치(1340)는 제1 자성층, 제2 자성층 및 상기 제1 자성층과 상기 제2 자성층 사이에 개재되는 터널 배리어층을 포함하는 제1 구조물; 및 상기 제1 구조물 상에 배치되고, 상기 제1 구조물의 자기장을 보정하는 자기 보정층을 포함하는 제2 구조물을 포함하고, 상기 제2 구조물의 하면 폭은, 상기 제1 구조물의 상면 폭보다 클 수 있다. 이를 통해, 임시 저장 장치(1340)의 데이터 저장 특성이 향상될 수 있고 제조 공정의 난이도가 감소할 수 있다. 결과적으로, 데이터 저장 시스템(1300)의 데이터 저장 특성 및 동작 특성을 향상시킬 수 있다.

[0089] 도 11은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 메모리 시스템의 구성도의 일 예이다.

[0090] 도 11을 참조하면, 메모리 시스템(1400)은 데이터 저장을 위한 구성으로 비휘발성 특성을 가지는 메모리(1410), 이를 제어하는 메모리 컨트롤러(1420), 외부 장치와의 연결을 위한 인터페이스(1430) 등을 포함할 수 있다. 메모리 시스템(1400)은 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 카드 형태일 수 있다.

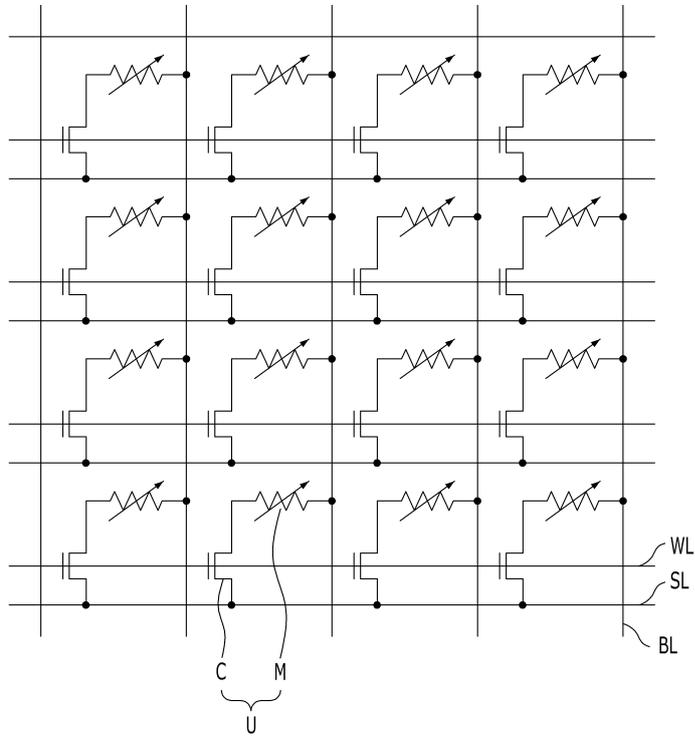
[0091] 데이터를 저장하는 메모리(1410)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 메모리(1410)는 제1 자성층, 제2 자성층 및 상기 제1 자성층과 상기 제2 자성층 사이에 개재되는 터널 배리어층을 포함하는 제1 구조물; 및 상기 제1 구조물 상에 배치되고, 상기 제1 구조물의 자기장을 보정하는 자기 보정

19A: 자기 보정층

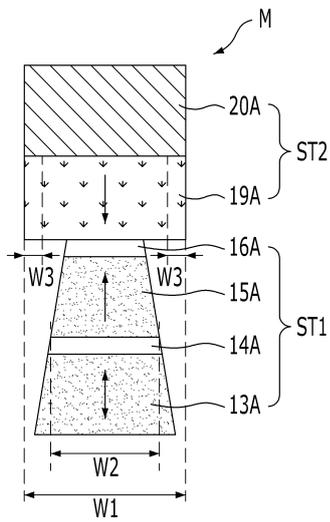
20A: 상부층

도면

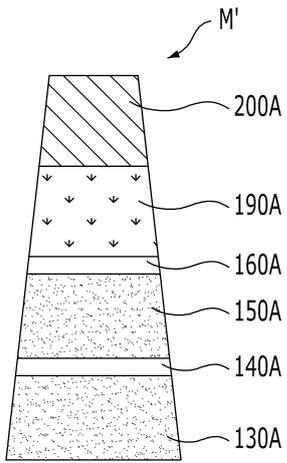
도면1



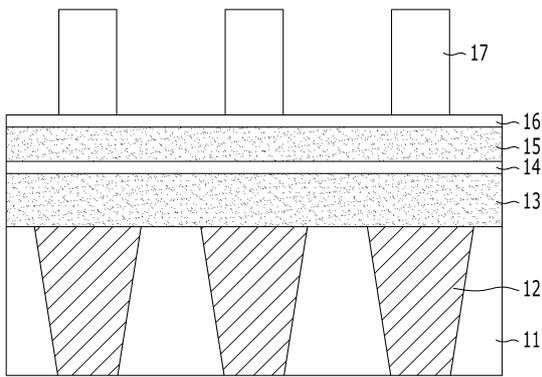
도면2a



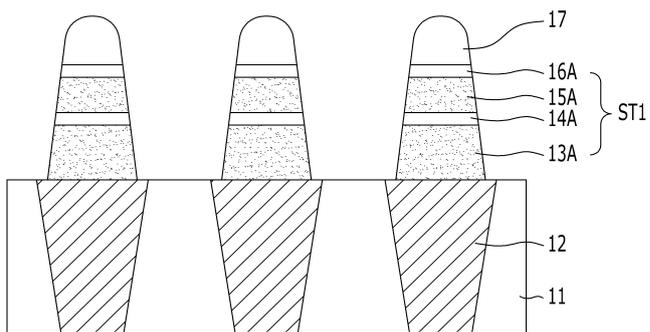
도면2b



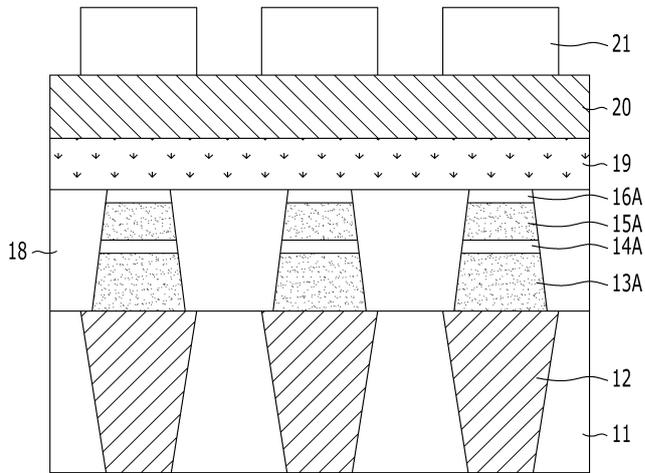
도면3



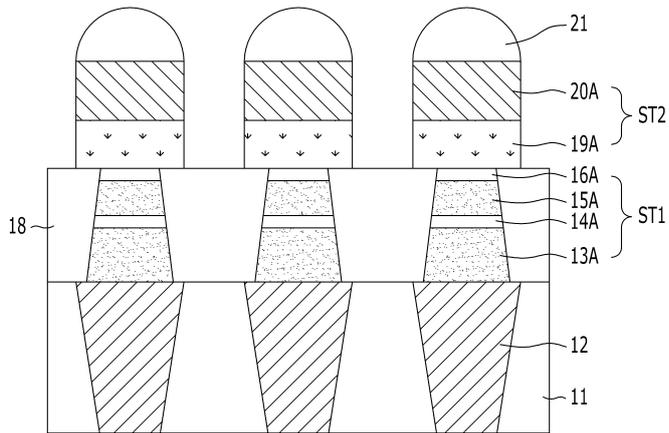
도면4



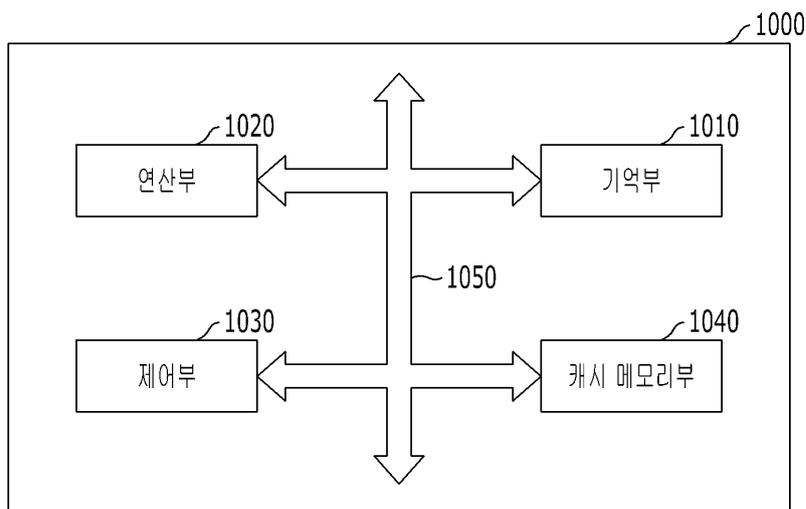
도면5



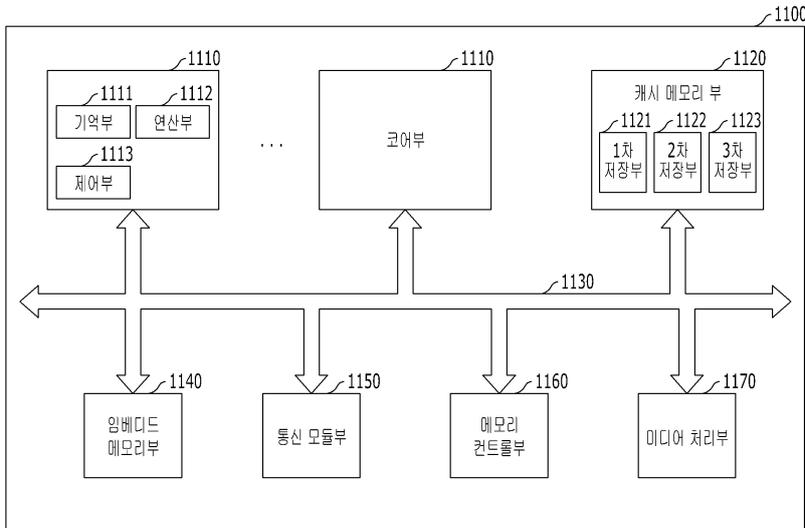
도면6



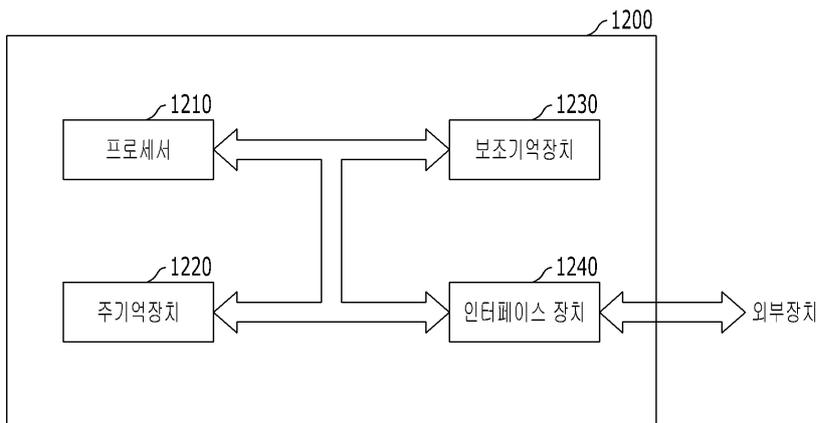
도면7



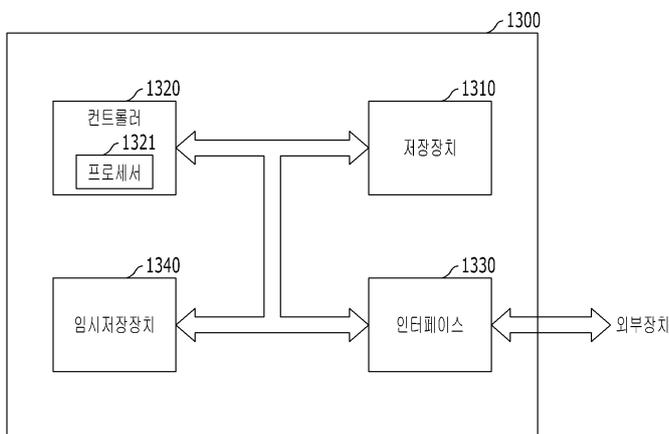
도면8



도면9



도면10



도면11

