



(12)发明专利申请

(10)申请公布号 CN 108091695 A

(43)申请公布日 2018.05.29

(21)申请号 201711328199.0

(22)申请日 2017.12.13

(71)申请人 深圳市晶特智造科技有限公司
地址 518000 广东省深圳市宝安区福永街
道和平社区骏丰工业区A3栋一楼

(72)发明人 不公告发明人

(74)专利代理机构 深圳市兰锋知识产权代理事
务所(普通合伙) 44419
代理人 曹明兰

(51) Int. Cl.
H01L 29/78(2006.01)
H01L 21/336(2006.01)

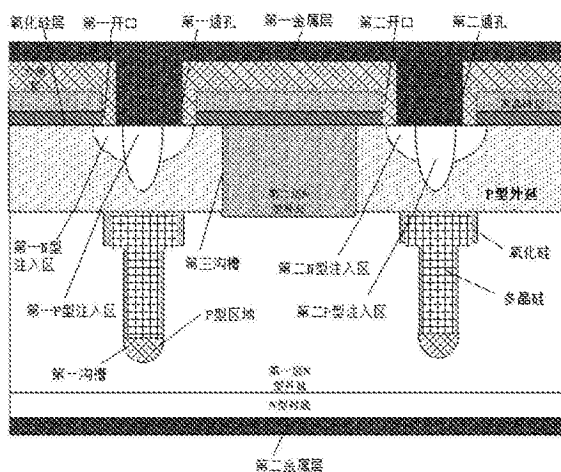
权利要求书2页 说明书5页 附图7页

(54)发明名称

垂直双扩散场效应晶体管及其制作方法

(57)摘要

一种垂直双扩散场效应晶体管包括N型衬底、第一层N型外延、形成于第一层N型外延的第一沟槽与第二沟槽、形成于第一、第二沟槽底部的P型区域、形成于第一、第二沟槽侧壁的氧化硅、形成于第一、第二沟槽中的氧化硅与P型区域上的多晶硅、形成于第一层N型外延及多晶硅与氧化硅上的P型外延、贯穿P型外延且对应第一沟槽与第二沟槽之间的第一层N型外延层的第三沟槽、位于第三沟槽中的第二层N型外延、位于P型外延表面的第一N型注入区、第二N型注入区、贯穿第一、第二N型注入区并延伸至第P型外延的第一、第二P型注入区、依次形成的氧化硅层与多晶硅层、形成于多晶硅层上、第一、第二及第三N型注入区上的介质层、第一通孔、第二通孔。



CN 108091695 A

1. 一种垂直双扩散场效应晶体管,其特征在于:所述晶体管包括N型衬底、形成于所述N型衬底上的第一层N型外延、形成于所述第一层N型外延表面的第一沟槽与第二沟槽、形成于所述第一沟槽与第二沟槽底部的P型区域、形成于所述第一沟槽与第二沟槽侧壁的氧化硅、形成于所述第一沟槽与第二沟槽中的氧化硅与P型区域上的多晶硅、形成于所述第一层N型外延及所述多晶硅与氧化硅上的P型外延、贯穿所述P型外延且对应所述第一沟槽与第二沟槽之间的第一层N型外延层的第三沟槽、位于所述第三沟槽中的第二层N型外延、位于所述P型外延表面且对应所述第一沟槽的第一N型注入区、位于所述P型外延表面且对应所述第二沟槽的第二N型注入区、贯穿所述第一N型注入区并延伸至所述P型外延的第一P型注入区、贯穿所述第二N型注入区并延伸至所述P型外延的第二P型注入区、依次形成于所述P型外延、所述第二层N型外延、所述第一、第二N型注入区上的氧化硅层与多晶硅层、贯穿所述氧化硅层及多晶硅层且对应所述第一N型注入区与P型注入区的第一开口、贯穿所述氧化硅层与多晶硅层且对应所述第二N型注入区及所述第二P型注入区的第二开口、形成于所述多晶硅层上、所述第一、第二及第三N型注入区上的介质层、贯穿所述介质层且对应所述第一N型注入区与第一P型注入区的第一通孔、贯穿所述介质层且对应所述第二N型注入区与第二P型注入区的第二通孔。

2. 如权利要求1所述的垂直双扩散场效应晶体管,其特征在于:所述晶体管还包括第一金属层,所述第一金属层形成于所述介质层上,所述第一金属层还经由所述第一通孔连接所述第一N型注入区与第一P型注入区,所述第一金属层也经由所述第二通孔连接所述第二N型注入区与第二P型注入区。

3. 如权利要求2所述的垂直双扩散场效应晶体管,其特征在于:所述晶体管还包括第二金属层,所述第二金属层形成于所述N型衬底远离所述第一层N型外延的表面。

4. 如权利要求1所述的垂直双扩散场效应晶体管,其特征在于:所述第一、第二沟槽的宽度及深度相等。

5. 如权利要求1所述的垂直双扩散场效应晶体管,其特征在于:所述第一沟槽与所述第二沟槽均包括上半部分及下半部分,所述上半部分的宽度大于所述下半部分的宽度。

6. 一种垂直双扩散场效应晶体管的制作方法,其特征在于:所述制作方法包括以下步骤:

提供具有N型衬底的第一层N型外延,在所述第一层N型外延依形成第一氧化硅层;

使用第一光刻胶作为掩膜,刻蚀所述第一氧化硅层,形成贯穿所述第一氧化硅层并延伸至所述第一层N型外延中的第一沟槽与第二沟槽;

进行热氧化从而在所述第一、第二沟槽侧壁与底部形成氧化硅;

去除所述第一、第二沟槽底部的氧化硅,在所述第一、第二沟槽底部针对所述第一层N型外延进行P型离子注入形成P型区域;

在所述第一、第二沟槽中的氧化硅及P型区域上、所述第一、第二沟槽上方的所述第一氧化硅层的两个刻蚀窗口中形成多晶硅;

去除所述第一氧化硅层;

去除所述第一、第二沟槽上方的多晶硅;

在所述第一层N型外延及所述第一、第二沟槽中的氧化硅与多晶硅上形成P型外延,刻蚀所述第一沟槽与第二沟槽之间的P型外延形成贯穿所述P型外延且对应所述第一层N型外

延的第三沟槽；

在所述第三沟槽中形成第二层N型外延；

形成位于所述P型外延表面且对应所述第一沟槽的第一N型注入区、位于所述P型外延表面且对应所述第二沟槽的第二N型注入区，形成贯穿所述第一N型注入区并延伸至所述P型外延的第一P型注入区，形成贯穿所述第二N型注入区并延伸至所述P型外延的第二P型注入区；

依次形成位于所述P型外延、所述第二层N型外延、所述第一、第二N型注入区上的第二二氧化硅层与多晶硅层、贯穿所述第二二氧化硅层及多晶硅层且对应所述第一N型注入区与第一P型注入区的第一开口、贯穿所述第二二氧化硅层与多晶硅层且对应所述第二N型注入区及所述第二P型注入区的第二开口、形成于所述多晶硅层上、所述第一、第二及第三N型注入区上的介质层、贯穿所述介质层且对应所述第一N型注入区与第一P型注入区的第一通孔、贯穿所述介质层且对应所述第二N型注入区与第二P型注入区的第二通孔。

7. 如权利要求6所述的垂直双扩散场效应晶体管的制作方法，其特征在于：所述制作方法还包括以下步骤：形成第一金属层，所述第一金属层形成于所述介质层上，所述第一金属层还经由所述第一通孔连接所述第一N型注入区与第一P型注入区，所述第一金属层也经由所述第二通孔连接所述第二N型注入区与第二P型注入区。

8. 如权利要求7所述的垂直双扩散场效应晶体管的制作方法，其特征在于：所述制作方法还包括以下步骤：形成第二金属层，所述第二金属层形成于所述N型衬底远离所述第一层N型外延的表面。

9. 如权利要求6所述的垂直双扩散场效应晶体管的制作方法，其特征在于：所述第一、第二沟槽的宽度及深度相等。

10. 如权利要求6所述的垂直双扩散场效应晶体管的制作方法，其特征在于：在去除所述第一二氧化硅层的步骤之前，所述制作方法还包括以下步骤：进行湿法刻蚀使得所述第一二氧化硅层形成对应所述第一沟槽且宽度大于所述第一沟槽的第一蚀刻窗口，以及形成对应所述第二沟槽且宽度大于所述第二沟槽的第二蚀刻窗口，

去除所述第一光刻胶；

使用所述第一二氧化硅层作为掩膜，利用所述第一刻蚀窗口与第二刻蚀窗口刻蚀所述第一层N型外延，使得所述第一沟槽的上半部分的宽度大于下半部分的宽度以及使得所述第二沟槽的上半部分的宽度大于下半部分的宽度。

垂直双扩散场效应晶体管及其制作方法

【技术领域】

[0001] 本发明涉及半导体芯片制作技术领域,特别地,涉及一种垂直双扩散场效应晶体管(VDMOS)及其制作方法。

【背景技术】

[0002] 垂直双扩散场效应晶体管(VDMOS)的漏源两极分别在器件的两侧,使电流在器件内部垂直流通,增加了电流密度,改善了额定电流,单位面积的导通电阻也较小,是一种用途非常广泛的功率器件。垂直双扩散场效应晶体管(VDMOS)的最重要的性能参数就是工作损耗,工作损耗可以分为导通损耗,截止损耗和开关损耗三部分。其中导通损耗由导通电阻决定,截止损耗受反向漏电流大小影响,开关损耗是指器件开关过程中寄生电容充放电带来的损耗。为了满足功率器件适应高频应用的要求,降低功率器件的开关损耗,提高器件的工作效率,具有重要的意义。

[0003] 功率器件的开关损耗大小由寄生电容大小决定,寄生电容可以分为栅源电容,栅漏电容和源漏电容三部分。其中栅漏电容对器件的开关损耗影响最大,栅漏电容可以分为氧化层电容和耗尽层电容两部分,氧化层电容受栅氧厚度影响,耗尽层电容受工艺和器件结构影响较大。栅漏电容直接影响到器件的输入电容和开关时间,输入电容增大,从而使器件开关时间延长,进而增大开关损耗。

[0004] 目前常规工艺制成的VDMOS器件结构中,由于JFET区域电阻率直接影响导通损耗,目前常用工艺为了降低JFET电阻,会在制造过程中进行一次N型注入,以降低JFET区电阻。但N型注入是全片注入,非JFET区也会进行注入,进而影响器件性能。

[0005] 有鉴于此,有必要提供一种垂直双扩散场效应晶体管及其制作方法,以解决现有技术存在的上述问题。

【发明内容】

[0006] 本发明的其中一个目的在于为解决上述问题而提供一种垂直双扩散场效应晶体管及其制作方法。

[0007] 一种垂直双扩散场效应晶体管,其包括N型衬底、形成于所述N型衬底上的第一层N型外延、形成于所述第一层N型外延表面的第一沟槽与第二沟槽、形成于所述第一沟槽与第二沟槽底部的P型区域、形成于所述第一沟槽与第二沟槽侧壁的氧化硅、形成于所述第一沟槽与第二沟槽中的氧化硅与P型区域上的多晶硅、形成于所述第一层N型外延及所述多晶硅与氧化硅上的P型外延、贯穿所述P型外延且对应所述第一沟槽与第二沟槽之间的第一层N型外延层的第三沟槽、位于所述第三沟槽中的第二层N型外延、位于所述P型外延表面且对应所述第一沟槽的第一N型注入区、位于所述P型外延表面且对应所述第二沟槽的第二N型注入区、贯穿所述第一N型注入区并延伸至所述P型外延的第一P型注入区、贯穿所述第二N型注入区并延伸至所述P型外延的第二P型注入区、依次形成于所述P型外延、所述第二层N型外延、所述第一、第二N型注入区上的氧化硅层与多晶硅层、贯穿所述氧化硅层及多晶硅

层且对应所述第一N型注入区与P型注入区的第一开口、贯穿所述氧化硅层与多晶硅层且对应所述第二N型注入区及所述第二P型注入区的第二开口、形成于所述多晶硅层上、所述第一、第二及第三N型注入区上的介质层、贯穿所述介质层且对应所述第一N型注入区与第一P型注入区的第一通孔、贯穿所述介质层且对应所述第二N型注入区与第二P型注入区的第二通孔。

[0008] 在一种实施方式中,所述晶体管还包括第一金属层,所述第一金属层形成于所述介质层上,所述第一金属层还经由所述第一通孔连接所述第一N型注入区与第一P型注入区,所述第一金属层也经由所述第二通孔连接所述第二N型注入区与第二P型注入区。

[0009] 在一种实施方式中,所述晶体管还包括第二金属层,所述第二金属层形成于所述N型衬底远离所述第一层N型外延的表面。

[0010] 在一种实施方式中,所述第一、第二沟槽的宽度及深度相等。

[0011] 在一种实施方式中,所述第一沟槽与所述第二沟槽均包括上半部分及下半部分,所述上半部分的宽度大于所述下半部分的宽度。

[0012] 一种垂直双扩散场效应晶体管的制作方法,其包括以下步骤:

[0013] 提供具有N型衬底的第一层N型外延,在所述第一层N型外延依形成第一氧化硅层;

[0014] 使用第一光刻胶作为掩膜,刻蚀所述第一氧化硅层,形成贯穿所述第一氧化硅层并延伸至所述第一层N型外延中的第一沟槽与第二沟槽;

[0015] 进行热氧化从而在所述第一、第二沟槽侧壁与底部形成氧化硅;

[0016] 去除所述第一、第二沟槽底部的氧化硅,在所述第一、第二沟槽底部针对所述第一层N型外延进行P型离子注入形成P型区域;

[0017] 在所述第一、第二沟槽中的氧化硅及P型区域上、所述第一、第二沟槽上方的所述第一氧化硅层的两个刻蚀窗口中形成多晶硅;

[0018] 去除所述第一氧化硅层;

[0019] 去除所述第一、第二沟槽上方的多晶硅;

[0020] 在所述第一层N型外延及所述第一、第二沟槽中的氧化硅与多晶硅上形成P型外延,刻蚀所述第一沟槽与第二沟槽之间的P型外延形成贯穿所述P型外延且对应所述第一层N型外延的第三沟槽;

[0021] 在所述第三沟槽中形成第二层N型外延;

[0022] 形成位于所述P型外延表面且对应所述第一沟槽的第一N型注入区、位于所述P型外延表面且对应所述第二沟槽的第二N型注入区,形成贯穿所述第一N型注入区并延伸至所述P型外延的第一P型注入区,形成贯穿所述第二N型注入区并延伸至所述P型外延的第二P型注入区;

[0023] 依次形成位于所述P型外延、所述第二层N型外延、所述第一、第二N型注入区上的第二氧化硅层与多晶硅层、贯穿所述第二氧化硅层及多晶硅层且对应所述第一N型注入区与第一P型注入区的第一开口、贯穿所述第二氧化硅层与多晶硅层且对应所述第二N型注入区及所述第二P型注入区的第二开口、形成于所述多晶硅层上、所述第一、第二及第三N型注入区上的介质层、贯穿所述介质层且对应所述第一N型注入区与第一P型注入区的第一通孔、贯穿所述介质层且对应所述第二N型注入区与第二P型注入区的第二通孔。

[0024] 在一种实施方式中,所述制作方法还包括以下步骤:形成第一金属层,所述第一金

属层形成于所述介质层上,所述第一金属层还经由所述第一通孔连接所述第一N型注入区与第一P型注入区,所述第一金属层也经由所述第二通孔连接所述第二N型注入区与第二P型注入区。

[0025] 在一种实施方式中,所述制作方法还包括以下步骤:形成第二金属层,所述第二金属层形成于所述N型衬底远离所述第一层N型外延的表面。

[0026] 在一种实施方式中,所述第一、第二沟槽的宽度及深度相等。

[0027] 在一种实施方式中,在去除所述第一氧化硅层的步骤之前,所述制作方法还包括以下步骤:进行湿法刻蚀使得所述第一氧化硅层形成对应所述第一沟槽且宽度大于所述第一沟槽的第一蚀刻窗口,以及形成对应所述第二沟槽且宽度大于所述第二沟槽的第二蚀刻窗口,

[0028] 去除所述第一光刻胶;

[0029] 使用所述第一氧化硅层作为掩膜,利用所述第一刻蚀窗口与第二刻蚀窗口刻蚀所述第一层N型外延,使得所述第一沟槽的上半部分的宽度大于下半部分的宽度以及使得所述第二沟槽的上半部分的宽度大于下半部分的宽度。

[0030] 相较于现有技术,本发明提供的垂直双扩散场效应晶体管及其制作方法中,可以减少器件的寄生电容、JFET区导通电阻进而减少功率器件功耗。具体地,由于多晶硅下耗尽层的形状对栅漏电容有较大影响,该方法通过第二层N型外延形成JFET区,进而减小多晶硅形成的寄生电容大小,降低JFET区电阻。通过外延,实现JFET区域局部电阻率降低,不需要进行多次离子注入。不影响器件其它位置,提高了器件性能。进一步地,本发明通过二次外延制备第一及第二沟槽中的梯形结构多晶硅埋层,降低了器件寄生电容。进一步地,所述多晶硅埋层和第一层N型外延用氧化层隔离,埋层底部进行P型注入形成P型区域,保证不影响产品击穿电压,提高了器件性能。

【附图说明】

[0031] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其它的附图,其中:

[0032] 图1为本发明提供的垂直双扩散场效应晶体管的剖面结构示意图。

[0033] 图2至图13是图1所示垂直双扩散场效应晶体管的制作方法各步骤的剖面结构示意图。

【具体实施方式】

[0034] 下面将对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅是本发明的一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其它实施例,都属于本发明保护的范围。

[0035] 请参阅图1,图1为本发明提供的垂直双扩散场效应晶体管的剖面结构示意图。所述垂直双扩散场效应晶体管包括N型衬底、形成于所述N型衬底上的第一层N型外延、形成于

所述第一层N型外延表面的第一沟槽与第二沟槽、形成于所述第一沟槽与第二沟槽底部的P型区域、形成于所述第一沟槽与第二沟槽侧壁的氧化硅、形成于所述第一沟槽与第二沟槽中的氧化硅与P型区域上的多晶硅、形成于所述第一层N型外延及所述多晶硅与氧化硅上的P型外延、贯穿所述P型外延且对应所述第一沟槽与第二沟槽之间的第一层N型外延层的第三沟槽、位于所述第三沟槽中的第二层N型外延、位于所述P型外延表面且对应所述第一沟槽的第一N型注入区、位于所述P型外延表面且对应所述第二沟槽的第二N型注入区、贯穿所述第一N型注入区并延伸至所述P型外延的第一P型注入区、贯穿所述第二N型注入区并延伸至所述P型外延的第二P型注入区、依次形成于所述P型外延、所述第二层N型外延、所述第一、第二N型注入区上的氧化硅层与多晶硅层、贯穿所述氧化硅层及多晶硅层且对应所述第一N型注入区与P型注入区的第一开口、贯穿所述氧化硅层与多晶硅层且对应所述第二N型注入区及所述第二P型注入区的第二开口、形成于所述多晶硅层上、所述第一、第二及第三N型注入区上的介质层、贯穿所述介质层且对应所述第一N型注入区与第一P型注入区的第一通孔、贯穿所述介质层且对应所述第二N型注入区与第二P型注入区的第二通孔、第一金属层及第二金属层。

[0036] 所述第一金属层形成于所述介质层上,所述第一金属层还经由所述第一通孔连接所述第一N型注入区与第一P型注入区,所述第一金属层也经由所述第二通孔连接所述第二N型注入区与第二P型注入区。所述第二金属层形成于所述N型衬底远离所述第一层N型外延的表面。

[0037] 进一步地,所述第一、第二沟槽的宽度及深度相等。所述第一沟槽与所述第二沟槽均包括上半部分及下半部分,所述上半部分的宽度大于所述下半部分的宽度。

[0038] 请参阅图2至图13,所述垂直双扩散场效应晶体管的制作方法包括如下步骤S1-S11。

[0039] 步骤S1,请参阅图2,提供具有N型衬底的第一层N型外延,在所述第一层N型外延依形成第一氧化硅层。

[0040] 步骤S2,请参阅图3-6,使用第一光刻胶作为掩膜,刻蚀所述第一氧化硅层,形成贯穿所述第一氧化硅层并延伸至所述第一层N型外延中的第一沟槽与第二沟槽。进一步地,所述步骤S2可以包括以下步骤:

[0041] 请参阅图4,进行湿法刻蚀使得所述第一氧化硅层形成对应所述第一沟槽且宽度大于所述第一沟槽的第一蚀刻窗口,以及形成对应所述第二沟槽且宽度大于所述第二沟槽的第二蚀刻窗口,

[0042] 请参阅图5,去除所述第一光刻胶;及

[0043] 请参阅图6,使用所述第一氧化硅层作为掩膜,利用所述第一刻蚀窗口与第二刻蚀窗口刻蚀所述第一层N型外延,使得所述第一沟槽的上半部分的宽度大于下半部分的宽度以及使得所述第二沟槽的上半部分的宽度大于下半部分的宽度。

[0044] 步骤S3,请参阅图7,进行热氧化从而在所述第一、第二沟槽侧壁与底部形成氧化硅。

[0045] 步骤S4,请参阅图8,去除所述第一、第二沟槽底部的氧化硅,在所述第一、第二沟槽底部针对所述第一层N型外延进行P型离子注入形成P型区域。可以通过干法刻蚀去除所述第一、第二沟槽底部的氧化硅。

[0046] 步骤S5,请参阅图9,在所述第一、第二沟槽中的氧化硅及P型区域上、所述第一、第二沟槽上方的所述第一氧化硅层的两个刻蚀窗口(如所述第一刻蚀窗口与第二刻蚀窗口)中形成多晶硅。

[0047] 步骤S6,请参阅图10,去除所述第一氧化硅层。

[0048] 步骤S7,请参阅图11,去除所述第一、第二沟槽上方的多晶硅。具体可以采用化学机械抛光的方式去除所述多晶硅。

[0049] 步骤S8,请参阅图12,在所述第一层N型外延及所述第一、第二沟槽中的氧化硅与多晶硅上形成P型外延,刻蚀所述第一沟槽与第二沟槽之间的P型外延形成贯穿所述P型外延且对应所述第一层N型外延的第三沟槽。

[0050] 步骤S9,请参阅图13,在所述第三沟槽中形成第二层N型外延。

[0051] 步骤S10,请参阅图1,形成位于所述P型外延表面且对应所述第一沟槽的第一N型注入区、位于所述P型外延表面且对应所述第二沟槽的第二N型注入区,形成贯穿所述第一N型注入区并延伸至所述P型外延的第一P型注入区,形成贯穿所述第二N型注入区并延伸至所述P型外延的第二P型注入区。

[0052] 步骤S11,请参阅图1,依次形成位于所述P型外延、所述第二层N型外延、所述第一、第二N型注入区上的第二氧化硅层与多晶硅层、贯穿所述第二氧化硅层及多晶硅层且对应所述第一N型注入区与第一P型注入区的第一开口、贯穿所述第二氧化硅层与多晶硅层且对应所述第二N型注入区及所述第二P型注入区的第二开口、形成于所述多晶硅层上、所述第一、第二及第三N型注入区上的介质层、贯穿所述介质层且对应所述第一N型注入区与第一P型注入区的第一通孔、贯穿所述介质层且对应所述第二N型注入区与第二P型注入区的第二通孔。

[0053] 步骤S12,请参阅图1,形成第一金属层,其中所述第一金属层形成于所述介质层上,所述第一金属层还经由所述第一通孔连接所述第一N型注入区与第一P型注入区,所述第一金属层也经由所述第二通孔连接所述第二N型注入区与第二P型注入区。

[0054] 步骤S12,请参阅图2,形成第二金属层,其中所述第二金属层形成于所述N型衬底远离所述第一层N型外延的表面。

[0055] 相较于现有技术,本发明提供的垂直双扩散场效应晶体管及其制作方法中,可以减少器件的寄生电容、JFET区导通电阻进而减少功率器件功耗。具体地,由于多晶硅下耗尽层的形状对栅漏电容有较大影响,该方法通过第二层N型外延形成JFET区,进而减小多晶硅形成的寄生电容大小,降低JFET区电阻。通过外延,实现JFET区域局部电阻率降低,不需要进行多次离子注入。不影响器件其它位置,提高了器件性能。进一步地,本发明通过二次外延制备第一及第二沟槽中的梯形结构多晶硅埋层,降低了器件寄生电容。进一步地,所述多晶硅埋层和第一层N型外延用氧化层隔离,埋层底部进行P型注入形成P型区域,保证不影响产品击穿电压,提高了器件性能。

[0056] 以上所述的仅是本发明的实施方式,在此应当指出,对于本领域的普通技术人员来说,在不脱离本发明创造构思的前提下,还可以做出改进,但这些均属于本发明的保护范围。

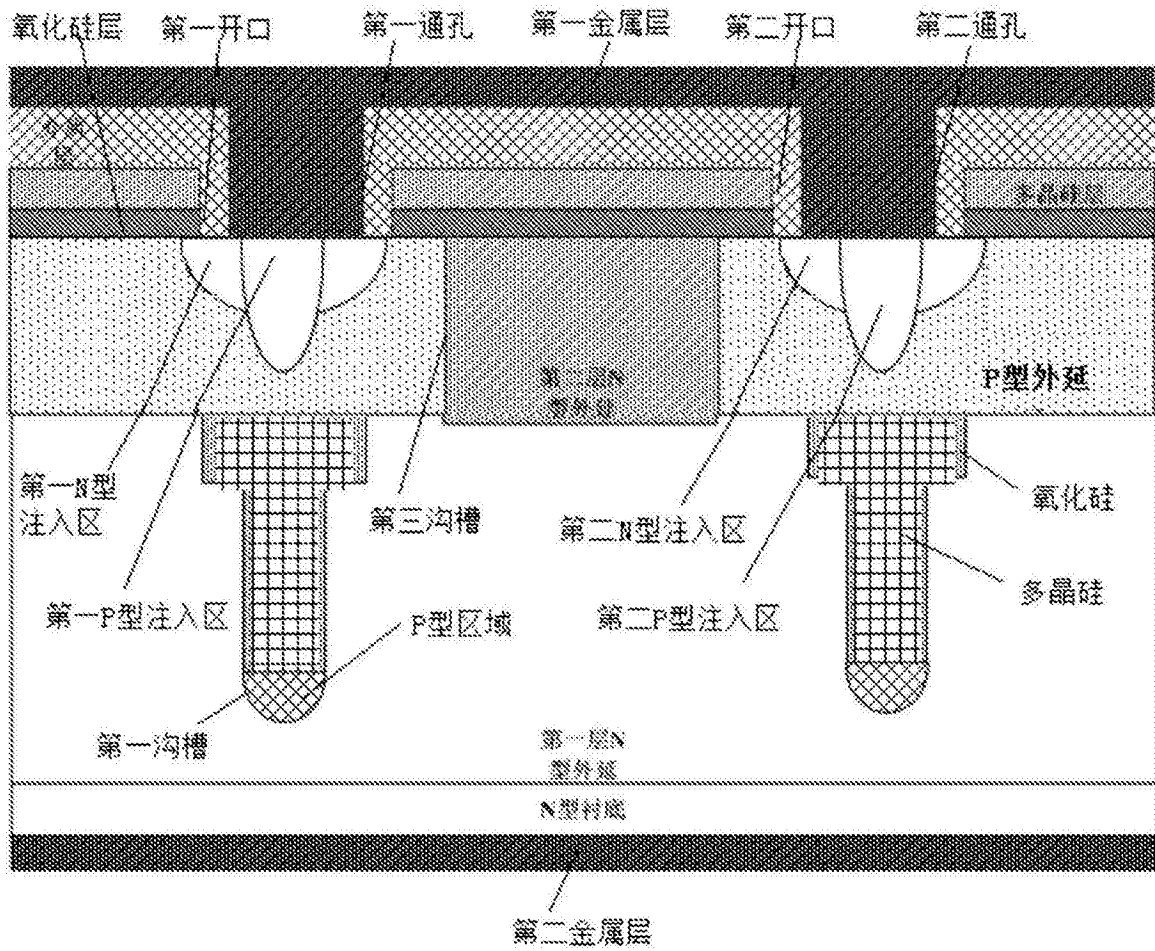


图1

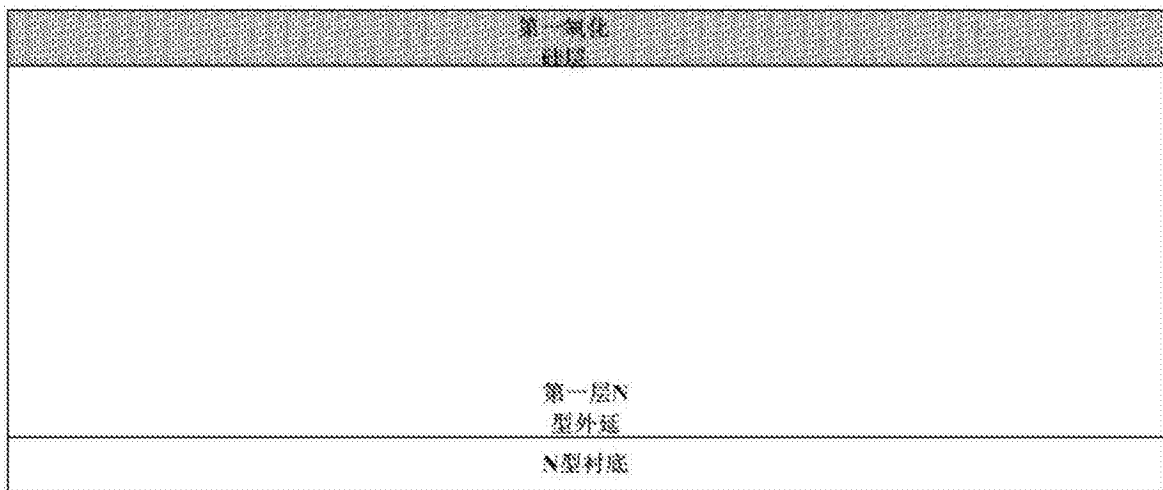


图2

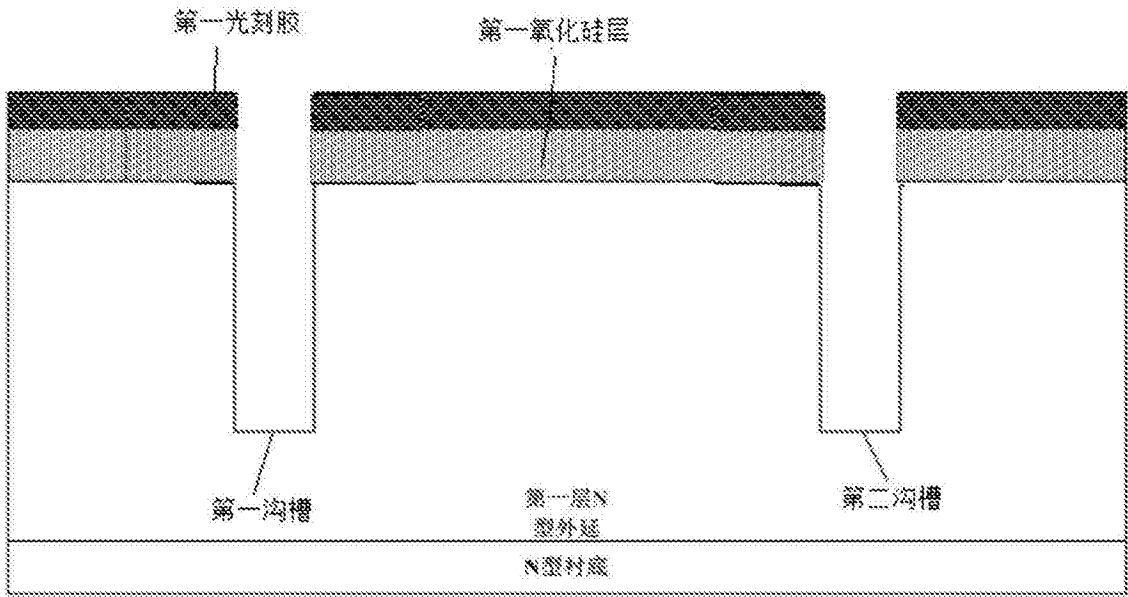


图3

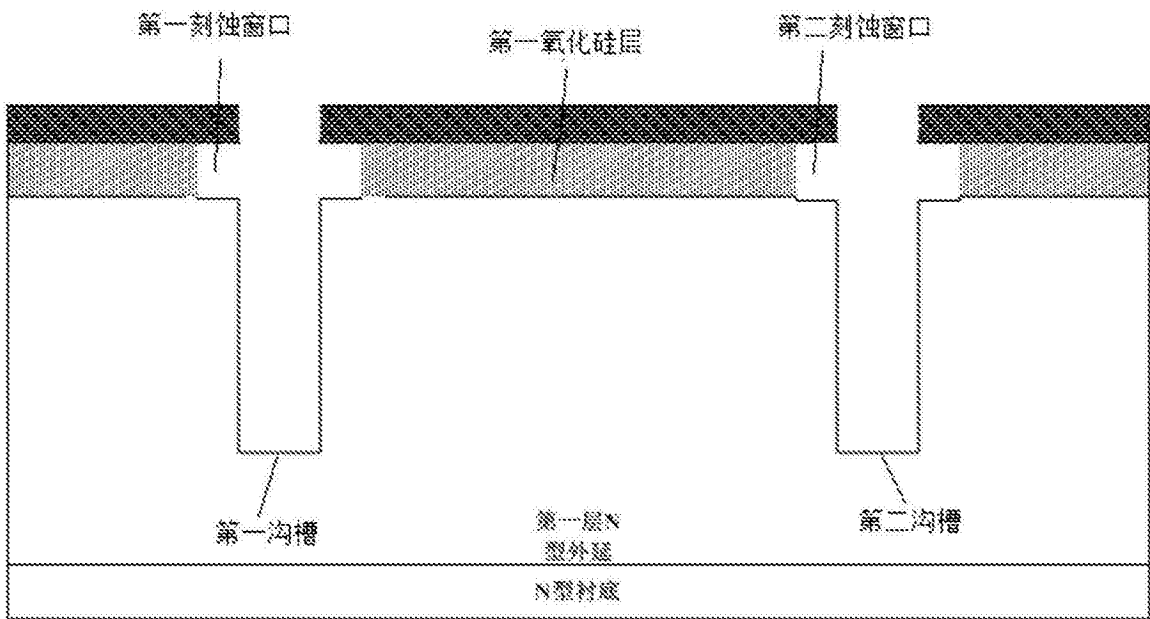


图4

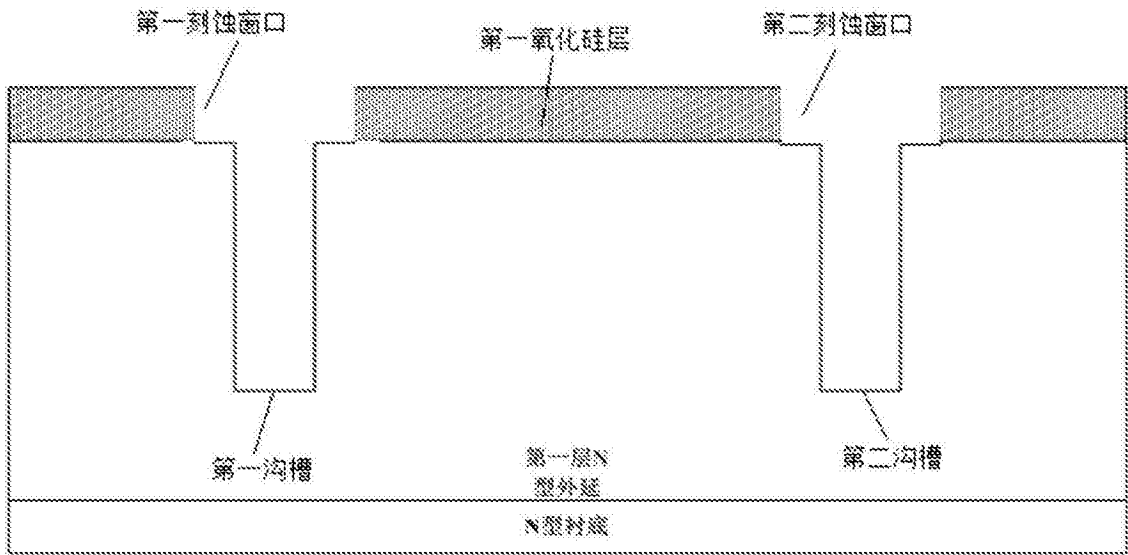


图5

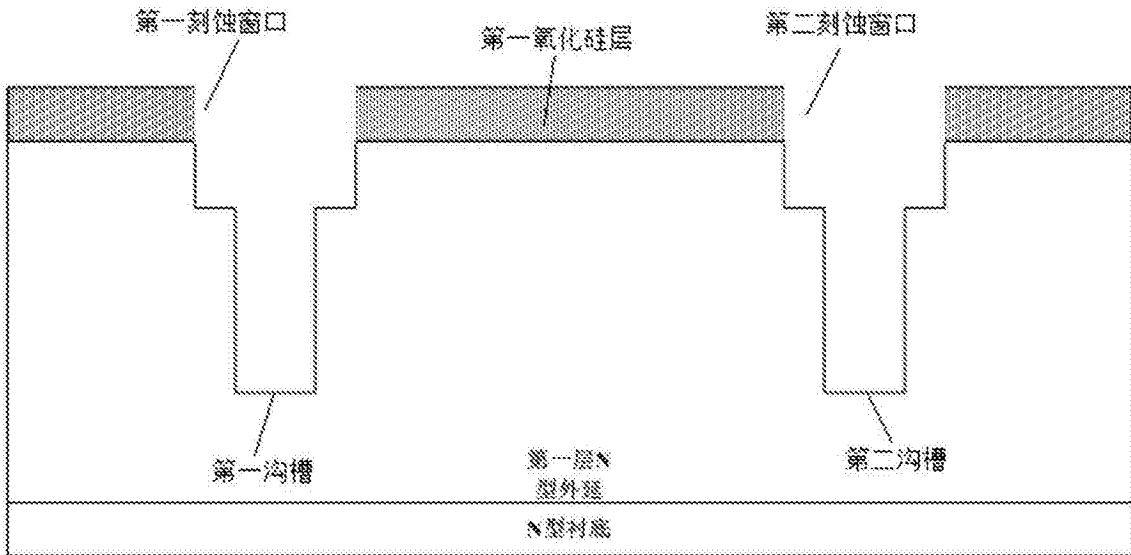


图6

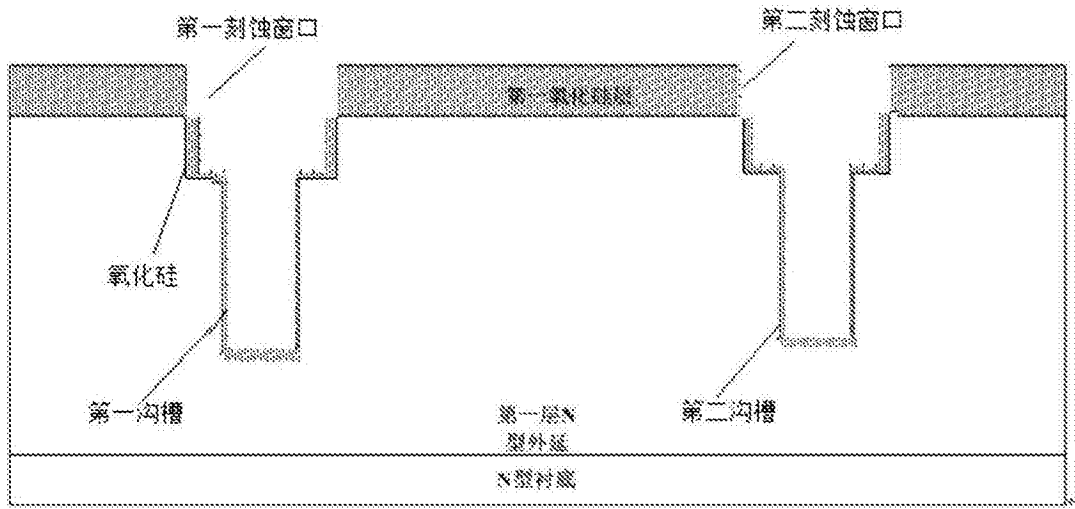


图7

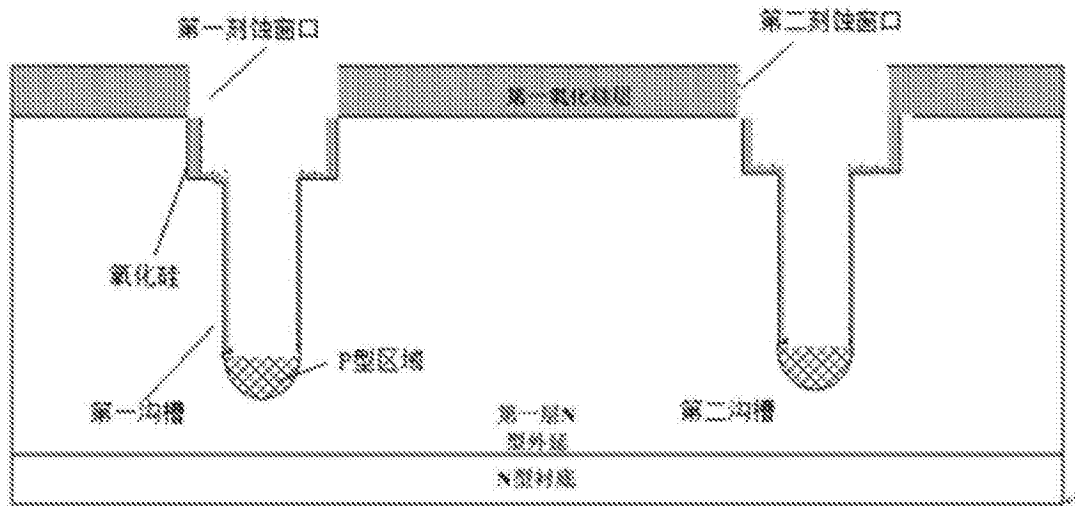


图8

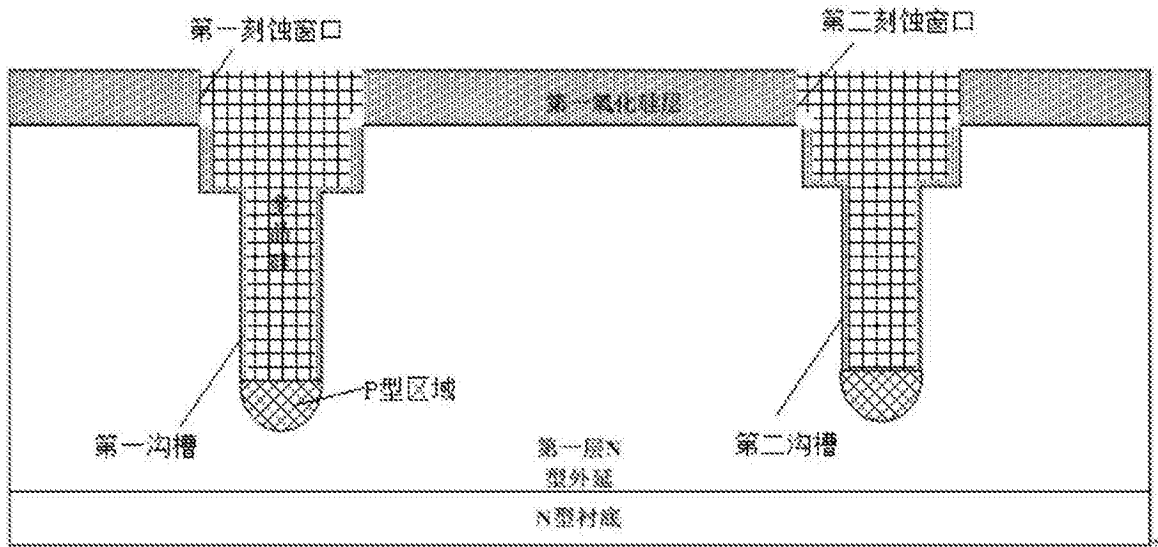


图9

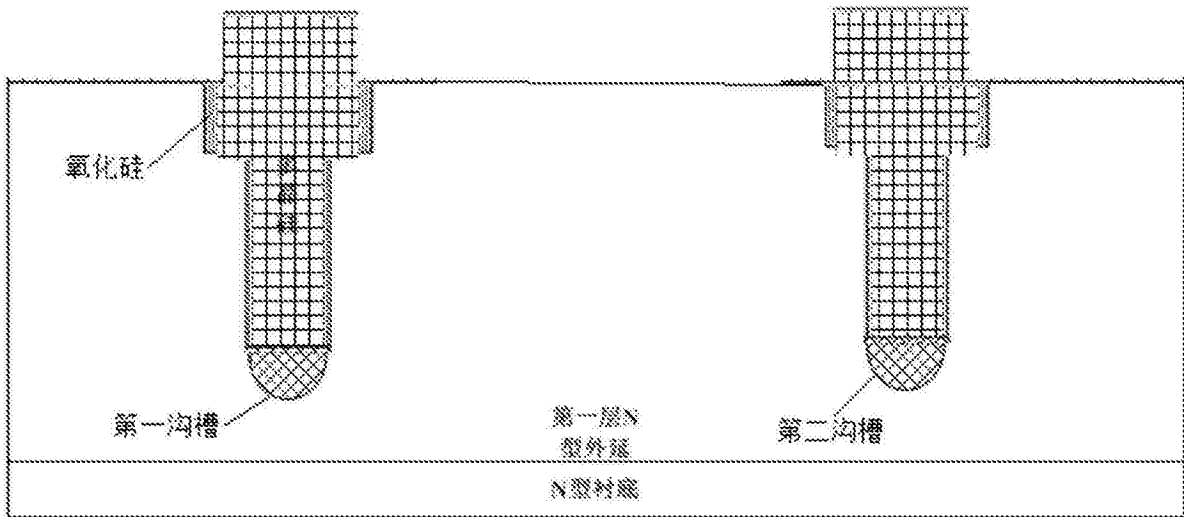


图10

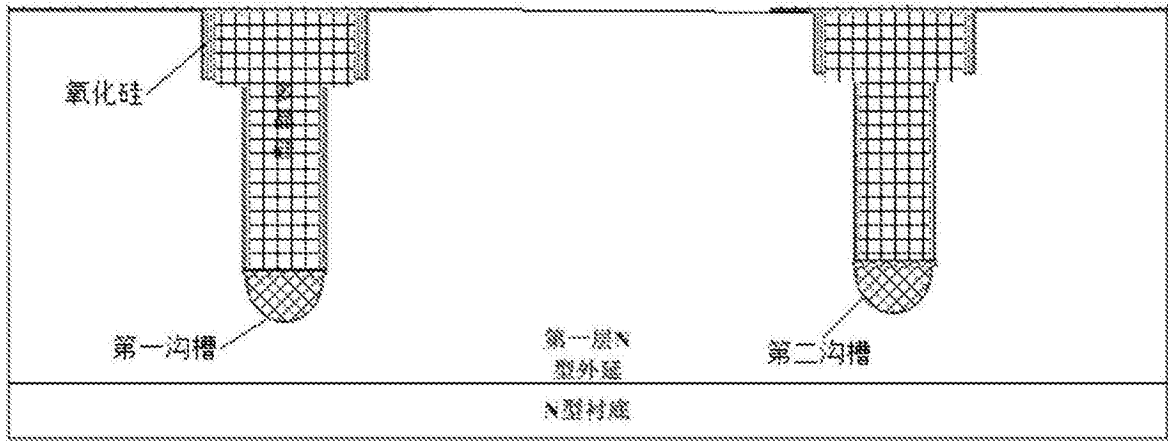


图11

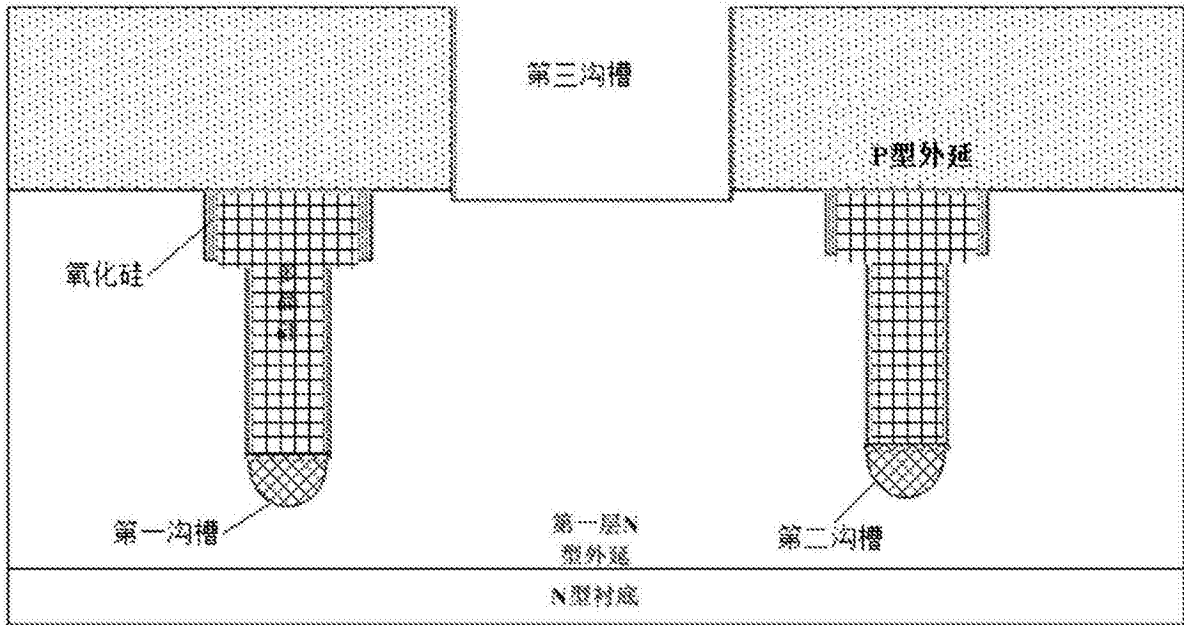


图12

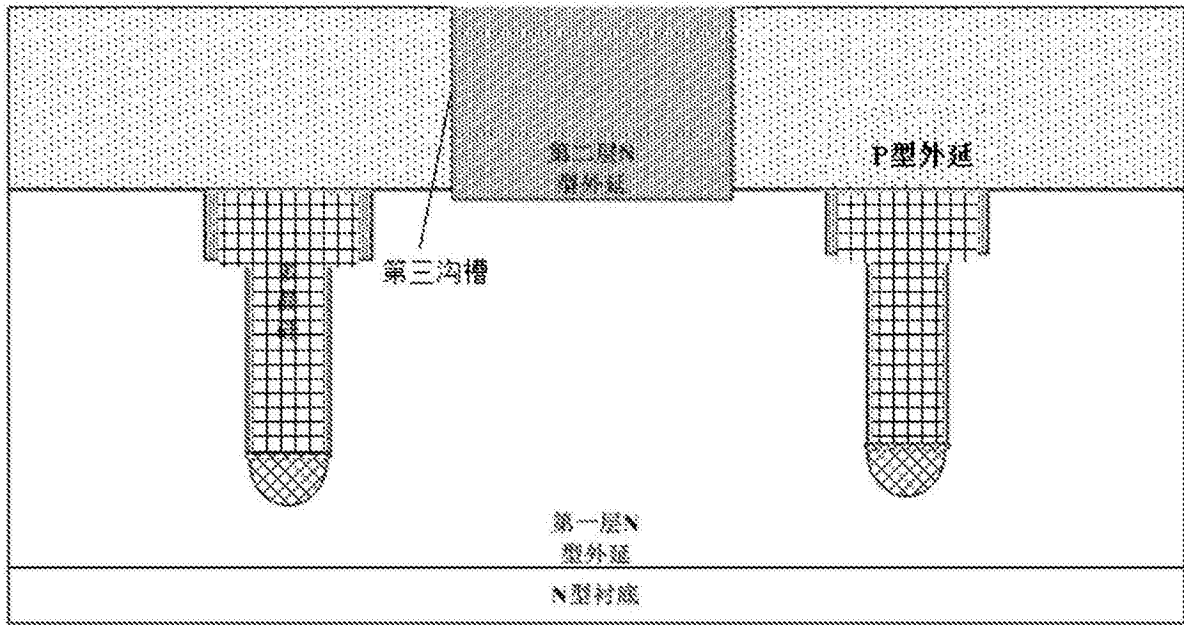


图13