

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-216259
(P2019-216259A)

(43) 公開日 令和1年12月19日(2019.12.19)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 2 B 2 H 1 9 2
GO 2 F 1/1368 (2006.01)	HO 1 L 29/78	6 1 8 B 5 F 1 1 0
	GO 2 F 1/1368	

審査請求 有 請求項の数 4 O L (全 63 頁)

(21) 出願番号	特願2019-149713 (P2019-149713)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	令和1年8月19日(2019.8.19)	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(62) 分割の表示	特願2017-183111 (P2017-183111) の分割	(72) 発明者	坂田 淳一郎 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
原出願日	平成22年8月6日(2010.8.6)	(72) 発明者	坂倉 真之 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(31) 優先権主張番号	特願2009-185318 (P2009-185318)	(72) 発明者	及川 欣聡 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(32) 優先日	平成21年8月7日(2009.8.7)		
(33) 優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

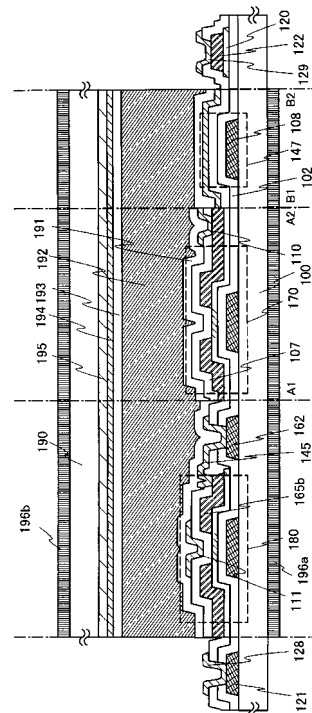
(54) 【発明の名称】 表示装置

(57) 【要約】 (修正有)

【課題】半導体装置の信頼性を向上する。

【解決手段】半導体装置において、同一基板100上に駆動回路部と、表示部(画素部ともいう)とを有する。駆動回路部と表示部は、半導体層が酸化物半導体によって構成された薄膜トランジスタ180、170と、第1の配線と、第2の配線を有する。薄膜トランジスタは、周縁部が半導体層の周縁部より内側に位置するソース電極層またはドレイン電極層165bを有する。駆動回路部の薄膜トランジスタ180は、半導体層をゲート電極層と導電層111で挟んで構成し、第1の配線と第2の配線は、ゲート絶縁層に設けられた開口において、酸化物導電層を介して電氣的に接続されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

同一基板上に、画素部と、駆動回路部と、ソース配線の端子部と、を有し、
前記画素部は、

第 1 のゲート電極と、

前記第 1 のゲート電極上のゲート絶縁層と、

前記ゲート絶縁層上の第 1 の酸化物半導体層と、

前記第 1 の酸化物半導体層と電気的に接続された、第 1 のソース電極と、

前記第 1 の酸化物半導体層と電気的に接続された、第 1 のドレイン電極と、

前記第 1 のソース電極又は前記第 1 のドレイン電極と電気的に接続された、画素電極と、を有し、

平面視において、前記第 1 の酸化物半導体層の周縁部は、前記第 1 のソース電極及び前記第 1 のドレイン電極のいずれとも重ならない領域を有し、

前記駆動回路部は、

第 2 のゲート電極と、

前記第 2 のゲート電極上の前記ゲート絶縁層と、

前記ゲート絶縁層上の第 2 の酸化物半導体層と、

前記第 2 の酸化物半導体層と電気的に接続された第 2 のソース電極と、

前記第 2 の酸化物半導体層と電気的に接続された第 2 のドレイン電極と、を有し、

平面視において、前記第 2 の酸化物半導体層の周縁部は、前記第 2 のソース電極及び前記第 2 のドレイン電極のいずれとも重ならない領域を有し、

前記ソース配線の端子部は、

第 3 の酸化物半導体層と、

第 1 の導電層と、

第 2 の導電層と、を有し、

前記第 1 の導電層は、前記第 3 の酸化物半導体層と重なる領域において、前記第 2 の導電層と接する領域を有し、

前記第 1 の導電層は、前記第 1 のソース電極、前記第 1 のドレイン電極、前記第 2 のソース電極及び前記第 2 のドレイン電極と共通した導電性材料を有し、

前記第 2 の導電層は、前記画素電極と共通した導電性材料を有する、表示装置。

30

【請求項 2】

同一基板上に、画素部と、駆動回路部と、ソース配線の端子部と、を有し、

前記画素部は、

第 1 のゲート電極と、

前記第 1 のゲート電極上のゲート絶縁層と、

前記ゲート絶縁層上の第 1 の酸化物半導体層と、

前記第 1 の酸化物半導体層と電気的に接続された、第 1 のソース電極と、

前記第 1 の酸化物半導体層と電気的に接続された、第 1 のドレイン電極と、

前記第 1 のソース電極又は前記第 1 のドレイン電極と電気的に接続された、画素電極と、を有し、

平面視において、前記第 1 の酸化物半導体層は、前記第 1 のソース電極の端部より突出した領域と、前記第 1 のドレイン電極の端部より突出した領域と、を有し、

前記駆動回路部は、

第 2 のゲート電極と、

前記第 2 のゲート電極上の前記ゲート絶縁層と、

前記ゲート絶縁層上の第 2 の酸化物半導体層と、

前記第 2 の酸化物半導体層と電気的に接続された第 2 のソース電極と、

前記第 2 の酸化物半導体層と電気的に接続された第 2 のドレイン電極と、を有し、

平面視において、前記第 2 の酸化物半導体層は、前記第 2 のソース電極の端部より突出した領域と、前記第 2 のドレイン電極の端部より突出した領域と、を有し、

40

前記ソース配線の端子部は、
 第3の酸化物半導体層と、
 第1の導電層と、
 第2の導電層と、を有し、
 前記第1の導電層は、前記第3の酸化物半導体層と重なる領域において、前記第2の導電層と接する領域を有し、
 前記第1の導電層は、前記第1のソース電極、前記第1のドレイン電極、前記第2のソース電極及び前記第2のドレイン電極と共通した導電性材料を有し、
 前記第2の導電層は、前記画素電極と共通した導電性材料を有する、表示装置。

【請求項3】

同一基板上に、画素部と、駆動回路部と、ソース配線の端子部と、を有し、
 前記画素部は、
 第1のゲート電極と、
 前記第1のゲート電極上のゲート絶縁層と、
 前記ゲート絶縁層上の、Inと、Gaと、Znとを有する第1の酸化物半導体層と、
 前記第1の酸化物半導体層と電気的に接続された、第1のソース電極と、
 前記第1の酸化物半導体層と電気的に接続された、第1のドレイン電極と、
 前記第1のソース電極又は前記第1のドレイン電極と電気的に接続された、画素電極と、を有し、
 平面視において、前記第1の酸化物半導体層の周縁部は、前記第1のソース電極及び前記第1のドレイン電極のいずれとも重ならない領域を有し、

前記駆動回路部は、
 第2のゲート電極と、
 前記第2のゲート電極上の前記ゲート絶縁層と、
 前記ゲート絶縁層上の、Inと、Gaと、Znとを有する第2の酸化物半導体層と、
 前記第2の酸化物半導体層と電気的に接続された第2のソース電極と、
 前記第2の酸化物半導体層と電気的に接続された第2のドレイン電極と、を有し、
 平面視において、前記第2の酸化物半導体層の周縁部は、前記第2のソース電極及び前記第2のドレイン電極のいずれとも重ならない領域を有し、

前記ソース配線の端子部は、
 Inと、Gaと、Znとを有する第3の酸化物半導体層と、
 第1の導電層と、
 第2の導電層と、を有し、
 前記第1の導電層は、前記第3の酸化物半導体層と重なる領域において、前記第2の導電層と接する領域を有し、
 前記第1の導電層は、前記第1のソース電極、前記第1のドレイン電極、前記第2のソース電極及び前記第2のドレイン電極と共通した導電性材料を有し、
 前記第2の導電層は、前記画素電極と共通した導電性材料を有する、表示装置。

【請求項4】

同一基板上に、画素部と、駆動回路部と、ソース配線の端子部と、を有し、
 前記画素部は、
 第1のゲート電極と、
 前記第1のゲート電極上のゲート絶縁層と、
 前記ゲート絶縁層上の、Inと、Gaと、Znとを有する第1の酸化物半導体層と、
 前記第1の酸化物半導体層と電気的に接続された、第1のソース電極と、
 前記第1の酸化物半導体層と電気的に接続された、第1のドレイン電極と、
 前記第1のソース電極又は前記第1のドレイン電極と電気的に接続された、画素電極と、を有し、
 平面視において、前記第1の酸化物半導体層は、前記第1のソース電極の端部より突出した領域と、前記第1のドレイン電極の端部より突出した領域と、を有し、

10

20

30

40

50

前記駆動回路部は、
 第2のゲート電極と、
 前記第2のゲート電極上の前記ゲート絶縁層と、
 前記ゲート絶縁層上の、Inと、Gaと、Znとを有する第2の酸化物半導体層と、
 前記第2の酸化物半導体層と電気的に接続された第2のソース電極と、
 前記第2の酸化物半導体層と電気的に接続された第2のドレイン電極と、を有し、
 平面視において、前記第2の酸化物半導体層は、前記第2のソース電極の端部より突出した領域と、前記第2のドレイン電極の端部より突出した領域と、を有し、
 前記ソース配線の端子部は、
 Inと、Gaと、Znとを有する第3の酸化物半導体層と、
 第1の導電層と、
 第2の導電層と、を有し、
 前記第1の導電層は、前記第3の酸化物半導体層と重なる領域において、前記第2の導電層と接する領域を有し、
 前記第1の導電層は、前記第1のソース電極、前記第1のドレイン電極、前記第2のソース電極及び前記第2のドレイン電極と共通した導電性材料を有し、
 前記第2の導電層は、前記画素電極と共通した導電性材料を有する、表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

20

酸化物半導体を用いる半導体装置に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、液晶表示装置などの電気光学装置、半導体回路及び電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは集積回路（Integrated Circuit、略号IC）や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。金属酸化物は多様に存在しさまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶ディスプレイなどで必要とされる透明電極材料として用いられている。

30

【0004】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域とする薄膜トランジスタが既に知られている（特許文献1及び特許文献2）。

【先行技術文献】

40

【特許文献】

【0005】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

酸化物半導体層を用いる薄膜トランジスタには、動作速度が速く、製造工程が比較的簡単であり、十分な信頼性が求められている。

【0007】

50

酸化物半導体層を用いる薄膜トランジスタにおいて、動作特性や信頼性を向上させることを課題の一つとする。

【0008】

特に、駆動回路に用いる薄膜トランジスタの動作速度は、速い方が好ましい。

【0009】

例えば、薄膜トランジスタのチャンネル長(L)を短くする、またはチャンネル幅(W)を広くすると動作速度が高速化される。しかし、チャンネル長を短くすると、スイッチング特性、例えばオンオフ比が小さくなる問題がある。また、チャンネル幅(W)を広くすると薄膜トランジスタ自身の容量負荷を上昇させる問題がある。

【0010】

また、チャンネル長が短くとも、安定した電気特性を有する薄膜トランジスタを備えた半導体装置を提供することも課題の一つとする。

【0011】

また、絶縁表面上に複数の異なる回路を形成する場合、例えば、画素部と駆動回路を同一基板上に形成する場合には、画素部に用いる薄膜トランジスタは、優れたスイッチング特性、例えばオンオフ比が大きいことが要求され、駆動回路に用いる薄膜トランジスタには動作速度が速いことが要求される。特に、表示装置の精細度が高精細であればあるほど、表示画像の書き込み時間が短くなるため、駆動回路に用いる薄膜トランジスタは速い動作速度とすることが好ましい。

【0012】

酸化物半導体層を用いる薄膜トランジスタの電気特性のバラツキを低減することも課題の一つとする。

【0013】

酸化物半導体層を用いる薄膜トランジスタの作製工程を簡略化することも課題の一つとする。

【課題を解決するための手段】

【0014】

本発明の一態様は、同一基板上に駆動回路部と、表示部(画素部ともいう)とを有し、駆動回路部と当該表示部は、薄膜トランジスタと、第1の配線(端子または接続電極ともいう)と、第2の配線(端子または接続電極ともいう)を有し、薄膜トランジスタは、金属によって構成されたゲート電極と、当該ゲート電極上のゲート絶縁層と、当該ゲート絶縁層上の酸化物半導体層と、当該酸化物半導体層上の金属によって構成され、周縁部が当該酸化物半導体層の周縁部より内側に位置するソース電極(ソース電極層ともいう)及びドレイン電極(ドレイン電極層ともいう)と、酸化物半導体層とソース電極及びドレイン電極の上の保護絶縁層を有し、駆動回路部の薄膜トランジスタは、保護絶縁層上の酸化物半導体層と重なる位置に導電層を有し、表示部の薄膜トランジスタは、画素電極(画素電極層ともいう)と電氣的に接続し、第1の配線はゲート電極と同じ材料で形成され、第2の配線はソース電極またはドレイン電極と同じ材料で形成され、第1の配線と第2の配線は、ゲート絶縁層と保護絶縁層に設けられた開口(コンタクトホール)を通して電氣的に接続されている半導体装置である。

【0015】

画素用薄膜トランジスタ及び駆動回路用薄膜トランジスタとして、ボトムゲート構造の逆スタガ型薄膜トランジスタを用いる。画素用薄膜トランジスタ及び駆動回路用薄膜トランジスタはソース電極層及びドレイン電極層との間に露呈した酸化物半導体層に接する酸化物絶縁層が設けられたチャンネルエッチ型薄膜トランジスタである。

【0016】

駆動回路用薄膜トランジスタは、酸化物半導体層をゲート電極と導電層で挟み込む構成とする。これにより、薄膜トランジスタのしきい値ばらつきを低減させることができ、安定した電気特性を有する薄膜トランジスタを備えた半導体装置を提供することができる。導電層は、ゲート電極層と同電位としても良いし、フローティング電位でも良いし、固定電

10

20

30

40

50

位、例えばGND電位や0Vでもよい。また、導電層に任意の電位を与えることで、薄膜トランジスタのしきい値を制御することができる。

【0017】

上記構造を実現するための本発明の一態様は、同一基板上の駆動回路部が形成される第1の領域と、表示部が形成される第2の領域に、第1のフォトリソグラフィ工程によりゲート電極として機能する第1の電極と、第1の電極と同じ材料からなる第1の配線を形成し、第1の電極及び第1の配線上にゲート絶縁層として機能する第1の絶縁膜を形成し、第1の絶縁膜の上に、酸化物半導体層を形成し、酸化物半導体層を脱水化または脱水素化するための熱処理を行い、酸化物半導体層上にソース電極およびドレイン電極を形成するための金属膜を形成し、第2のフォトリソグラフィ工程により、金属膜上に、多階調マスクを用いて膜厚の異なる領域を有するレジストマスクを形成し、膜厚の異なる領域を有するレジストマスクをマスク層として酸化物半導体層と金属膜をエッチングして島状の酸化物半導体層と島状の金属層に加工し、マスク層をアッシングして、マスク層を縮小させると同時に、膜厚の薄い領域のレジストマスクを除去して分離されたマスク層を形成し、金属層の露出した部分をエッチングすることで、周縁部が酸化物半導体層の周縁部より内側に後退した形状の、ソース電極として機能する第2の電極とドレイン電極として機能する第3の電極と、ソース電極またはドレイン電極と同じ材料からなる第2の配線を形成し、マスク層を除去し、第2の電極と第3の電極と酸化物半導体層の上に、酸化物絶縁層である第2の絶縁膜を形成し、第3のフォトリソグラフィ工程により第1の配線と重なる第1の絶縁膜及び第2の絶縁膜を選択的に除去して第1の開口を形成し、第2の配線と重なる第2の絶縁膜を選択的に除去して第2の開口を形成し、第2の領域において、第2の電極もしくは第3の電極のどちらか一方と重なる位置に、第2の絶縁膜を選択的に除去することで第3の開口を形成し、第4のフォトリソグラフィ工程により第1の開口及び第2の開口を通して第1の配線と第2の配線を電気的に接続する第1の導電層を形成し、第1の領域において、第2の絶縁膜を介して酸化物半導体層と重なる位置に、第1の導電層と同じ材料からなる第4の電極を形成し、第2の領域において第3の開口を通して薄膜トランジスタに電気的に接続する第1の導電層と同じ材料からなり画素電極として機能する第5の電極を形成することを特徴とする半導体装置の作製方法である。

10

20

【0018】

フォトマスク数を軽減し、工程を簡略化することができる。

30

【0019】

多階調マスクを用いて形成したマスク層は複数の膜厚を有する形状となり、マスク層に対してエッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するマスク層を形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0020】

上記構成は、上記課題の少なくとも一つを解決する。

【0021】

また、本明細書中で用いる酸化物半導体は、例えば、 $InMO_3(ZnO)_m$ ($m > 0$) で表記される薄膜を形成し、その薄膜を酸化物半導体層として用いた薄膜トランジスタを作製する。なお、Mは、Ga、Fe、Ni、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。例えばMとして、Gaの場合があることその他、GaとNiまたはGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、または該遷移金属の酸化物が含まれているものがある。本明細書においては、 $InMO_3(ZnO)_m$ ($m > 0$) で表記される構造の酸化物半導体層のうち、MとしてGaを含む構造の酸化物半導体をIn-Ga-Zn-O系酸化物半導体とよび、その薄膜をIn-Ga-Zn-O系非単結晶膜とも呼ぶ。

40

50

【0022】

また、酸化物半導体層に適用する金属酸化物として上記の他にも、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の金属酸化物を適用することができる。また上記金属酸化物からなる酸化物半導体層に酸化珪素を含ませてもよい。

【0023】

窒素、または希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下での加熱処理を行った場合、酸化物半導体層は加熱処理により酸素欠乏型となって低抵抗化、即ちN型化（N⁻化など）させ、その後、酸化物半導体層に接する酸化物絶縁層の形成や、形成後に加熱処理を行うことにより酸化物半導体層を酸素過剰な状態とすることで高抵抗化、即ちI型化させているとも言える。また、酸化物半導体層を酸素過剰な状態とする固相酸化を行っているとも呼べる。これにより、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を作製し、提供することが可能となる。

10

【0024】

脱水化または脱水素化は、窒素、または希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下での400以上基板の歪み点未満、好ましくは420以上570以下の加熱処理を行い、酸化物半導体層の含有水分などの不純物を低減する。また、その後の水（H₂O）の再含浸を防ぐことができる。

20

【0025】

脱水化または脱水素化の熱処理は、H₂Oが20ppm以下の窒素雰囲気で行うことが好ましい。また、H₂Oが20ppm以下の超乾燥空気中に行っても良い。

【0026】

脱水化または脱水素化を行った酸化物半導体層は、脱水化または脱水素化後の酸化物半導体層に対してTDSで450まで測定を行っても水の2つのピーク、少なくとも300付近に現れる1つのピークは検出されない程度の熱処理条件とする。従って、脱水化または脱水素化が行われた酸化物半導体層を用いた薄膜トランジスタに対してTDSで450まで測定を行っても少なくとも300付近に現れる水のピークは検出されない。

【0027】

そして、酸化物半導体層に対して脱水化または脱水素化を行う加熱温度Tから温度を下げる際、脱水化または脱水素化を行った同じ炉を用いて大気に触れさせないことで、水または水素が再び混入させないことが重要である。脱水化または脱水素化を行い、酸化物半導体層を低抵抗化、即ちN型化（N⁻など）させた後、高抵抗化させてI型とした酸化物半導体層を用いて薄膜トランジスタを作製すると、薄膜トランジスタのしきい値電圧値をプラスとすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。薄膜トランジスタのゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャネルが形成されることが半導体装置（表示装置）には望ましい。なお、薄膜トランジスタのしきい値電圧値がマイナスであると、ゲート電圧が0Vでもソース電極とドレイン電極の間に電流が流れる、所謂ノーマリーオンとなりやすい。アクティブマトリクス型の表示装置においては、回路を構成する薄膜トランジスタの電気特性が重要であり、この電気特性が表示装置の性能を左右する。特に、薄膜トランジスタの電気特性のうち、しきい値電圧（V_{th}）が重要である。電界効果移動度が高くともしきい値電圧値が高い、或いはしきい値電圧値がマイナスであると、回路として制御することが困難である。しきい値電圧値が高く、しきい値電圧の絶対値が大きい薄膜トランジスタの場合には、駆動電圧が低い状態ではTFETとしてのスイッチング機能を果たすことができず、負荷となる恐れがある。nチャネル型の薄膜トランジスタの場合、ゲート電圧に正の電圧を印加してはじめてチャネルが形成されて、ドレイン電流が流れ出すトランジスタが望ましい。駆動電圧を高くしないとチャネルが形成されないトランジスタや、負の電圧状態でもチャネルが形成されてドレイン電流が流れるトランジスタは、回路に用いる薄膜トランジスタとしては不向きである。

30

40

【0028】

50

また、加熱温度 T から下げるガス雰囲気は、加熱温度 T まで昇温したガス雰囲気と異なるガス雰囲気に切り替えてもよい。例えば、脱水化または脱水素化を行った同じ炉で大気に触れさせることなく、炉の中を高純度の酸素ガスまたは N_2O ガス、超乾燥エア（露点が - 40 以下、好ましくは - 60 以下）で満たして冷却を行う。

【0029】

脱水化または脱水素化を行う加熱処理によって膜中の含有水分を低減させた後、水分を含まない雰囲気（露点が - 40 以下、好ましくは - 60 以下）下で徐冷（または冷却）した酸化物半導体層を用いて、薄膜トランジスタの電気特性を向上させるとともに、量産性と高性能の両方を備えた薄膜トランジスタを実現する。

【0030】

本明細書では、窒素、または希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下での加熱処理を脱水化または脱水素化のための加熱処理と呼ぶ。本明細書では、この加熱処理によって H_2 として脱離させていることのみを脱水素化と呼んでいるわけではなく、 H 、 OH などを脱離することを含めて脱水化または脱水素化と便宜上呼ぶこととする。

【0031】

窒素、または希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下での加熱処理を行った場合、酸化物半導体層は加熱処理により酸素欠乏型となって低抵抗化、即ち N 型化（ N^- 化など）させる。

【0032】

また、ドレイン電極層と重なる酸素欠乏型である高抵抗ドレイン領域（HRD（High Resistance Drain）領域とも呼ぶ）が形成される。また、ソース電極層と重なる酸素欠乏型である高抵抗ソース領域（HRS（High Resistance Source）領域とも呼ぶ）が形成される。

【0033】

具体的には、高抵抗ドレイン領域のキャリア濃度は、 $1 \times 10^{18} / cm^3$ 以上の範囲内であり、少なくともチャネル形成領域のキャリア濃度（ $1 \times 10^{18} / cm^3$ 未満）よりも高い領域である。なお、本明細書のキャリア濃度は、室温にて Hall 効果測定から求めたキャリア濃度の値を指す。

【0034】

そして、脱水化または脱水素化した酸化物半導体層の少なくとも一部を酸素過剰な状態とすることで、さらに高抵抗化、即ち I 型化させてチャネル形成領域を形成する。なお、脱水化または脱水素化した酸化物半導体層を酸素過剰な状態とする処理としては、脱水化または脱水素化した酸化物半導体層に接する酸化物絶縁層のスパッタリング法による成膜、または酸化物絶縁層成膜後の加熱処理、または酸素を含む雰囲気での加熱処理、または不活性ガス雰囲気下で加熱した後に酸素雰囲気で冷却する処理、超乾燥エア（露点が - 40 以下、好ましくは - 60 以下）で冷却する処理などによって行う。

【0035】

また、脱水化または脱水素化した酸化物半導体層の少なくとも一部（ゲート電極層と重なる部分）をチャネル形成領域とするため、選択的に酸素過剰な状態とすることで、高抵抗化、即ち I 型化させることもできる。脱水化または脱水素化した酸化物半導体層上に接して Ti などの金属電極からなるソース電極層やドレイン電極層を形成し、ソース電極層やドレイン電極層に重ならない露出領域を選択的に酸素過剰な状態としてチャネル形成領域を形成することができる。選択的に酸素過剰な状態とする場合、ソース電極層に重なる第 1 の高抵抗ソース領域と、ドレイン電極層に重なる第 2 の高抵抗ドレイン領域とが形成され、第 1 の高抵抗ソース領域と第 2 の高抵抗ドレイン領域との間の領域がチャネル形成領域となる。チャネル形成領域がソース電極層及びドレイン電極層の間に自己整合的に形成される。

【0036】

これにより、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を作製し、提供することが可能となる。

10

20

30

40

50

【0037】

なお、ドレイン電極層と重畳した酸化物半導体層において高抵抗ドレイン領域を形成することにより、駆動回路を形成した際の信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域を形成することで、ドレイン電極層から高抵抗ドレイン領域、チャンネル形成領域にかけて、導電性を段階的に変化させるような構造とすることができる。そのため、ドレイン電極層に高電源電位VDDを供給する配線に接続して動作させる場合、ゲート電極層とドレイン電極層との間に高電界が印加されても高抵抗ドレイン領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成とすることができる。

【0038】

また、ドレイン電極層及びソース電極層と重畳した酸化物半導体層において、高抵抗ドレイン領域及び高抵抗ソース領域を形成することにより、駆動回路を形成した際のチャンネル形成領域でのリーク電流の低減を図ることができる。具体的には、高抵抗ドレイン領域を形成することで、ドレイン電極層とソース電極層との間に流れるトランジスタのリーク電流の経路として、ドレイン電極層、ドレイン電極層側の高抵抗ドレイン領域、チャンネル形成領域、ソース電極層側の高抵抗ソース領域、ソース電極層の順となる。このときチャンネル形成領域では、ドレイン電極層側の高抵抗ドレイン領域よりチャンネル領域に流れるリーク電流を、トランジスタがオフ時に高抵抗となるゲート絶縁層とチャンネル形成領域の界面近傍に集中させることができ、バックチャンネル部（ゲート電極層から離れているチャンネル形成領域の表面の一部）でのリーク電流を低減することができる。

【0039】

また、ソース電極層に重なる高抵抗ソース領域と、ドレイン電極層に重なる高抵抗ドレイン領域は、ゲート電極層の幅にもよるが、ゲート電極層の一部とゲート絶縁層を介して重なり、より効果的にドレイン電極層の端部近傍の電界強度を緩和させることができる。

【0040】

また、酸化物半導体層とソース電極及びドレイン電極の間に、酸化物導電層を形成してもよい。酸化物導電層は、酸化亜鉛を成分として含むものが好ましく、酸化インジウムを含まないものであることが好ましい。例えば、酸化亜鉛、酸化亜鉛アルミニウム、酸化窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどを用いることができる。酸化物導電層は、低抵抗ドレイン領域（LRN（Low Resistance N-type conductivity）領域、LRD（Low Resistance Drain）領域とも呼ぶ）としても機能する。具体的には、低抵抗ドレイン領域のキャリア濃度は、高抵抗ドレイン領域（HRD領域）よりも大きく、例えば $1 \times 10^{20} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下の範囲内であると好ましい。酸化物導電層を酸化物半導体層とソース電極及びドレイン電極の間に設けることで、接触抵抗を低減でき、トランジスタの高速動作を実現することができるため、周辺回路（駆動回路）の周波数特性を向上させることができる。

【0041】

前述した作製方法に適用する場合は、酸化物半導体層形成後に酸化物導電層を形成し、次いで金属膜を形成すればよい。酸化物導電層の形成は、酸化物半導体層の脱水化または脱水素化するための熱処理の前でもよいし、後でもよい。

【0042】

酸化物導電層とソース電極及びドレイン電極を形成するための金属膜は、連続成膜が可能である。

【0043】

また、前述した第1の配線及び第2の配線を、LRNもしくはLRDとして機能する酸化物導電層と同じ材料と金属材料によって構成された積層配線としてもよい。金属と酸化物導電層の積層とすることで、下層配線の乗り越えや開口などの段差に対する被覆性が改善し、配線抵抗を下げるができる。また、マイグレーションなどによる配線の局所的な高抵抗化や断線を防ぐ効果も期待できるため、信頼性の高い半導体装置を提供することができる。

10

20

30

40

50

【 0 0 4 4 】

また、前述した第 1 の配線と第 2 の配線の接続に際しても、酸化物導電層を間に挟んで接続することにより、接続部（コンタクト部）の金属表面に絶縁性酸化物が形成されることによる接触抵抗（コンタクト抵抗）の増大を防ぐことが期待でき、信頼性の高い半導体装置を提供することができる。

【 0 0 4 5 】

また、薄膜トランジスタは静電気などにより破壊されやすいため、ゲート線またはソース線に対して、画素部の薄膜トランジスタの保護用の保護回路を同一基板上に設けることが好ましい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。

10

【 0 0 4 6 】

なお、第 1、第 2 として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【 発明の効果 】

【 0 0 4 7 】

酸化物半導体層を用い、電気特性や信頼性に優れた薄膜トランジスタを備えた半導体装置を実現できる。

【 図面の簡単な説明 】

【 0 0 4 8 】

20

【 図 1 】半導体装置を説明する図。

【 図 2 】半導体装置の作製方法を説明する図。

【 図 3 】半導体装置の作製方法を説明する図。

【 図 4 】半導体装置の作製方法を説明する図。

【 図 5 】半導体装置を説明する図。

【 図 6 】半導体装置の作製方法を説明する図。

【 図 7 】半導体装置の作製方法を説明する図。

【 図 8 】半導体装置を説明する図。

【 図 9 】多階調マスクを説明する図。

【 図 1 0 】半導体装置を説明する図。

30

【 図 1 1 】半導体装置を説明する図。

【 図 1 2 】半導体装置のブロック図を説明する図。

【 図 1 3 】信号線駆動回路の構成を説明する図。

【 図 1 4 】シフトレジスタの構成を示す回路図。

【 図 1 5 】シフトレジスタの動作を説明する回路図及びタイミングチャート。

【 図 1 6 】半導体装置を説明する図。

【 図 1 7 】半導体装置を説明する図。

【 図 1 8 】電子書籍の一例を示す外観図。

【 図 1 9 】テレビジョン装置およびデジタルフォトフレームの例を示す外観図。

【 図 2 0 】遊技機の例を示す外観図。

40

【 図 2 1 】携帯型のコンピュータ及び携帯電話機の一例を示す外観図。

【 図 2 2 】半導体装置を説明する図。

【 図 2 3 】半導体装置を説明する図。

【 図 2 4 】半導体装置を説明する図。

【 図 2 5 】半導体装置を説明する図。

【 図 2 6 】半導体装置を説明する図。

【 図 2 7 】半導体装置を説明する図。

【 図 2 8 】半導体装置を説明する図。

【 図 2 9 】半導体装置を説明する図。

【 図 3 0 】半導体装置を説明する図。

50

【図 3 1】半導体装置を説明する図。

【図 3 2】半導体装置を説明する図。

【図 3 3】半導体装置を説明する図。

【図 3 4】半導体装置を説明する図。

【図 3 5】半導体装置を説明する図。

【発明を実施するための形態】

【0049】

実施の形態について、図面を用いて詳細に説明する。但し、以下の説明に限定されず、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

10

【0050】

(実施の形態 1)

薄膜トランジスタを含む半導体装置の作製工程について、図 1 乃至図 5 を用いて説明する。

【0051】

本発明の一形態である半導体装置として液晶表示装置を図 1 に示す。図 1 の液晶表示装置は、薄膜トランジスタ 170 及び容量 147 を含む画素部、及び薄膜トランジスタ 180 を含む駆動回路部、画素電極層 110、配向膜として機能する絶縁層 191 が設けられた基板 100 と、配向膜として機能する絶縁層 193、対向電極層 194、カラーフィルタとして機能する着色層 195 が設けられた基板 190 とが液晶層 192 を挟持して対向している。また、基板 100 及び基板 190 の液晶層 192 と反対側には、それぞれ偏光板（偏光子を有する層、単に偏光子ともいう）196a、196b が設けられ、ゲート配線の端子部には第 1 の端子 121、及び接続用の端子電極 128、ソース配線の端子部には第 2 の端子 122 及び接続用の端子電極 129 が設けられている。

20

【0052】

第 2 の端子 122 は、酸化物半導体層 120 上に積層されており、第 2 の端子 122 及び酸化物半導体層 120 は、多階調マスクを用いて形成されたレジストマスクによるフォトリソグラフィ工程によって形成される。

30

【0053】

駆動回路部において、薄膜トランジスタ 180 はゲート電極層及び半導体層の上方に導電層 111 が設けられ、ドレイン電極層 165b はゲート電極層と同工程で形成される導電層 162 と配線層 145 を介して電氣的に接続している。また、画素部において、薄膜トランジスタ 170 のドレイン電極層は画素電極層 110 と電氣的に接続している。

【0054】

薄膜トランジスタ 170、180 は作製方法において、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたマスク層を用いたエッチング工程を行う。従って、酸化物半導体層 103、163 は、周縁部がソース電極層 105a、165a、ドレイン電極層 105b、165b に覆われておらずに露出している形状となっている。なお、酸化物半導体層 103、163 周縁において露出している領域は、酸化物絶縁層 107 に接する領域である。酸化物半導体層 103、163 が周縁に露出している形状であると、上に積層される酸化物絶縁層 107 の被覆性がよい。

40

【0055】

以下、図 2 乃至 5 を用いて作製方法を詳細に説明する。図 5 は液晶表示装置の画素部における平面図であり、図 1 乃至図 4 は図 5 における線 A1 - A2、B1 - B2 の断面図に相当する。

【0056】

絶縁表面を有する基板である基板 100 上に、導電層を基板 100 全面に形成した後、第 1 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な

50

部分を除去して配線及び電極（ゲート電極層 101、ゲート電極層 161、導電層 162、容量配線層 108、及び第 1 の端子 121）を形成する。図 2（A）のように、配線及び電極の端部にテーパ形状が形成されるようにエッチングすると、積層する膜の被覆性が向上するため好ましい。なお、ゲート電極層 101、ゲート電極層 161 はそれぞれゲート配線に含まれる。

【0057】

絶縁表面を有する基板 100 に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。絶縁表面を有する基板 100 にはガラス基板を用いることができる。

【0058】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が 730 以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、ホウ酸と比較して酸化バリウム（BaO）を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい。

【0059】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。本実施の形態で示す液晶表示装置は透過型であるので、基板 100 としては透光性を有する基板を用いるが、反射型である場合は基板 100 として非透光性の金属基板等の基板を用いてもよい。

【0060】

下地膜となる絶縁膜を基板 100 とゲート電極層 101、ゲート電極層 161、導電層 162、容量配線層 108、及び第 1 の端子 121 との間に設けてもよい。下地膜は、基板 100 からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、又は酸化窒化珪素膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【0061】

ゲート電極層 101、ゲート電極層 161、導電層 162、容量配線層 108、及び第 1 の端子 121 の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0062】

例えば、ゲート電極層 101、ゲート電極層 161、導電層 162、容量配線層 108、及び第 1 の端子 121 の 2 層の積層構造としては、アルミニウム層上にモリブデン層が積層された 2 層の積層構造、または銅層上にモリブデン層を積層した二層構造、または銅層上に窒化チタン層若しくは窒化タンタル層を積層した二層構造、窒化チタン層とモリブデン層とを積層した二層構造とすることが好ましい。3 層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムと珪素の合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とを積層した積層とすることが好ましい。

【0063】

次いで、ゲート電極層 101、ゲート電極層 161、導電層 162、容量配線層 108、及び第 1 の端子 121 上にゲート絶縁層 102 を形成する。

【0064】

ゲート絶縁層 102 は、プラズマ CVD 法又はスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層、窒化酸化珪素層、又は酸化アルミニウム層を単層で又は積層して形成することができる。例えば、成膜ガスとして、 SiH_4 、酸素及び窒素を用いてプラズマ CVD 法により酸化窒化珪素層を形成すればよい。ゲート絶縁層 102 の膜厚は、100 nm 以上 500 nm 以下とし、積層の場合は、例えば、膜厚 50 nm 以上 2

10

20

30

40

50

00nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上に膜厚5nm以上300nm以下の第2のゲート絶縁層の積層とする。

【0065】

本実施の形態では、プラズマCVD法により窒化珪素層である膜厚200nm以下のゲート絶縁層102とする。

【0066】

次いで、ゲート絶縁層102上に、酸化物半導体層130を形成する。

【0067】

なお、酸化物半導体層をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行い、ゲート絶縁層102の表面に付着しているゴミを除去することが好ましい。逆スパッタリングとは、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、 N_2O などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に Cl_2 、 CF_4 などを加えた雰囲気で行ってもよい。

10

【0068】

次いで、ゲート絶縁層102上に、膜厚2nm以上200nm以下の酸化物半導体層130を形成する(図2(A)参照)。酸化物半導体層130の形成後に脱水化または脱水素化のための加熱処理を行っても酸化物半導体層を非晶質な状態とするため、膜厚を50nm以下と薄くすることが好ましい。酸化物半導体層の膜厚を薄くすることで酸化物半導体層の形成後に加熱処理した場合に、結晶化してしまうのを抑制することができる。

20

【0069】

酸化物半導体層130は、In-Ga-Zn-O系非単結晶膜、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、In-Ga-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体層を用いる。本実施の形態では、In-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタリング法により成膜する。また、酸化物半導体層130は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素雰囲気下においてスパッタリング法により形成することができる。また、スパッタリング法を用いる場合、 SiO_2 を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物半導体層130に結晶化を阻害する SiO_x ($X > 0$)を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することが好ましい。

30

【0070】

ここでは、In、Ga、及びZnを含む酸化物半導体ターゲット($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol%]、 $In : Ga : Zn = 1 : 1 : 0.5$ [at%])を用いて、基板とターゲットの間との距離を100mm、圧力0.2Pa、直流(DC)電源0.5kW、アルゴン及び酸素(アルゴン:酸素=30sccm:20sccm 酸素流量比率40%)雰囲気下で成膜する。なお、パルス直流(DC)電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。In-Ga-Zn-O系非単結晶膜の膜厚は、5nm以上200nm以下とする。本実施の形態では、酸化物半導体層として、In-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタリング法により膜厚20nmのIn-Ga-Zn-O系非単結晶膜を成膜する。

40

【0071】

スパッタリング法にはスパッタリング用電源に高周波電源を用いるRFスパッタリング法と、DCスパッタリング法があり、さらにパルスのバイアスを与えるパルスDCスパッタリング法もある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属膜を成膜する場合に用いられる。

【0072】

また、材料の異なるターゲットを複数設置できる多元スパッタリング装置もある。多元ス

50

パッタリング装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0073】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタリング装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタリング法を用いるスパッタリング装置がある。

【0074】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタリングガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアスパッタリング法もある。

10

【0075】

ゲート絶縁層に直接レジストパターンを形成してコンタクトホールを開口を行っても良い。その場合には、レジストを剥離した後で熱処理を行い、ゲート絶縁層表面の脱水化、脱水素化、脱水酸化の処理を行うことが好ましい。例えば、不活性ガス雰囲気（窒素、またはヘリウム、ネオン、アルゴン等）下、酸素雰囲気下において加熱処理（400 以上基板の歪み点未満）を行い、ゲート絶縁層内に含まれる水素及び水などの不純物を除去すればよい。

【0076】

次いで、酸化物半導体層130の脱水化または脱水素化を行い、脱水化または脱水素化された酸化物半導体層131を形成する（図2（B）参照。）。脱水化または脱水素化を行う第1の加熱処理の温度は、400 以上基板の歪み点未満、好ましくは425 以上とする。なお、425 以上であれば熱処理時間は1時間以下でよいが、425 未満であれば加熱処理時間は、1時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層130に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層131を得る。本実施の形態では、酸化物半導体層130の脱水化または脱水素化を行う加熱温度Tから、再び水が入らないような十分な温度まで同じ炉を用い、具体的には加熱温度Tよりも100 以上下がるまで窒素雰囲気下で徐冷する。また、窒素雰囲気に限定されず、ヘリウム、ネオン、アルゴン等の希ガス雰囲気下或いは減圧下において脱水化または脱水素化を行う。

20

30

【0077】

酸化物半導体層130を400 から700 の温度で熱処理することで、酸化物半導体層130の脱水化、脱水素化が図られ、その後の水（ H_2O ）の再含浸を防ぐことができる。

【0078】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。特に酸化物半導体層130に対して、400 ~ 700 で行われる脱水化、脱水素化の熱処理は、 H_2O が20 ppm以下の窒素雰囲気で行うことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（即ち不純物濃度を1 ppm以下、好ましくは0.1 ppm以下）とすることが好ましい。

40

【0079】

また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、結晶化し、微結晶膜または多結晶膜となる場合もある。

【0080】

酸化物半導体層に対する脱水化、脱水素化の熱処理は、酸化物半導体層成膜後、酸化物半導体層上にソース電極層及びドレイン電極層を積層させた後、ソース電極層及びドレイン電極層上にパッシベーション膜を形成した後、のいずれで行っても良い。

【0081】

50

次に、酸化物半導体層 131 上に金属材料からなる金属導電層 137 をスパッタリング法や真空蒸着法で形成する（図 2（C）参照。）。

【0082】

金属導電層 137 の材料としては、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、金属導電層は、単層構造でも、2 層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する 2 層構造、Ti 膜と、その Ti 膜上に重ねてアルミニウム膜を積層し、さらにその上に Ti 膜を成膜する 3 層構造などが挙げられる。また、Al に、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、ネオジウム（Nd）、スカンジウム（Sc）から選ばれた元素を単数、又は複数組み合わせ合わせた合金膜、もしくはこれらの元素のいずれかの窒化膜を用いてもよい。

10

【0083】

金属導電層 137 形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を金属導電層に持たせることが好ましい。

【0084】

第 2 のフォトリソグラフィ工程を行い、ゲート絶縁層 102、酸化物半導体層 131、及び金属導電層 137 上にレジストマスク 135a、135b、135c を形成する。

【0085】

本実施の形態では、レジストマスク 135a、135b、135c を形成するために高階調マスクを用いた露光を行う例を示す。レジストマスク 135a、135b、135c を形成するためレジストを形成する。レジストは、ポジ型レジストまたはネガ型レジストを用いることができる。ここでは、ポジ型レジストを用いて示す。レジストはスピンコート法で形成してもよいし、インクジェット法で選択的に形成してもよい。レジストをインクジェット法で選択的に形成すると、不要箇所へのレジスト形成を削減することができるので、材料の無駄を軽減することができる。

20

【0086】

次に、露光マスクとして多階調マスク 81a、または 81b を用いて、レジストに光を照射して、レジストを露光する。

【0087】

ここで、多階調マスク 81a、及び 81b を用いた露光について、図 9 を用いて説明する。

30

【0088】

多階調マスクとは、露光部分、中間露光部分、及び未露光部分に 3 つの露光レベルを行うことが可能なマスクであり、透過した光が複数の強度となる露光マスクである。一度の露光及び現像工程により、複数（代表的には二種類）の厚さの領域を有するレジストマスクを形成することが可能である。このため、多階調マスクを用いることで、露光マスクの枚数を削減することが可能である。

【0089】

多階調マスクの代表例としては、図 9（A）に示すようなグレーンマスク 81a、図 9（C）に示すようなハーフトーンマスク 81b がある。

40

【0090】

図 9（A）に示すように、グレーンマスク 81a は、透光性基板 83 及びその上に形成される遮光部 84 並びに回折格子 85 で構成される。遮光部 84 においては、光の透過率が 0% である。一方、回折格子 85 はスリット、ドット、メッシュ等の光透過部の間隔を、露光に用いる光の解像度限界以下の間隔とすることにより、光の透過率を制御することができる。なお、回折格子 85 は、周期的なスリット、ドット、メッシュ、または非周期的なスリット、ドット、メッシュどちらも用いることができる。

【0091】

透光性基板 83 としては、石英等の透光性基板を用いることができる。遮光部 84 及び回

50

折格子 85 は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

【0092】

グレートンマスク 81a に露光光を照射した場合、図 9 (B) に示すように、遮光部 84 においては、光透過率 86 は 0% であり、遮光部 84 及び回折格子 85 が設けられていない領域では光透過率 86 は 100% である。また、回折格子 85 においては、10~70% の範囲で光透過率を調整可能である。回折格子 85 における光の透過率の調整は、回折格子のスリット、ドット、またはメッシュの間隔及びピッチの調整により可能である。

【0093】

図 9 (C) に示すように、ハーフトンマスク 81b は、透光性基板 83 及びその上に形成される半透過部 87 並びに遮光部 88 で構成される。半透過部 87 は、MoSiN、MoSi、MoSiO、MoSiON、CrSi などを用いることができる。遮光部 88 は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

10

【0094】

ハーフトンマスク 81b に露光光を照射した場合、図 9 (D) に示すように、遮光部 88 においては、光透過率 89 は 0% であり、遮光部 88 及び半透過部 87 が設けられていない領域では光透過率 89 は 100% である。また、半透過部 87 においては、10~70% の範囲で調整可能である。半透過部 87 に於ける光の透過率は、半透過部 87 の材料により調整可能である。

【0095】

多階調マスクを用いて露光した後、現像することで、図 3 (A) に示すように膜厚の異なる領域を有するレジストマスク 135a、135b、135c を形成することができる。

20

【0096】

次に、レジストマスク 135a、135b、135c を用いて第 1 のエッチング工程を行い、酸化物半導体層 131、金属導電層 137 をエッチングし島状に加工する。この結果、酸化物半導体層 133、134、120、金属導電層 185、186、188 を形成することができる (図 3 (A) 参照。)。

【0097】

次に、レジストマスク 135a、135b、135c をアッシングする。この結果、レジストマスクの面積 (3 次元的に見ると体積) が縮小し、厚さが薄くなる。このとき、膜厚の薄い領域のレジストマスクのレジスト (ゲート電極層 161 の一部と重畳する領域) は除去され、分離されたレジストマスク 136a、136b を形成することができる。同様にレジストマスク 135b、135c もアッシングされ、レジストマスクの面積 (3 次元的に見ると体積) が縮小し、レジストマスク 136c、136d、136e となる。

30

【0098】

レジストマスク 136a、136b、136c、136d、136e を用いて、エッチングにより不要な部分を除去してソース電極層 165a、ドレイン電極層 165b、ソース電極層 105a、ドレイン電極層 105b、第 2 の端子 122 を形成する (図 3 (B) 参照。)。

【0099】

なお、金属導電層のエッチングの際に、酸化物半導体層 133、134 も除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

40

【0100】

本実施の形態では、金属導電層として Ti 膜を用いて、酸化物半導体層 133、134 には In-Ga-Zn-O 系酸化物を用いて、エッチャントとして過水アンモニア水 (アンモニア、水、過酸化水素水の混合液) を用いる。

【0101】

この第 2 のフォトリソグラフィ工程において、酸化物半導体層 120、ソース電極層 105a、165a、ドレイン電極層 105b、165b と同じ材料である第 2 の端子 122 を端子部に形成する。なお、第 2 の端子 122 はソース配線 (ソース電極層 105a、1

50

65aを含むソース配線)と電氣的に接続されている。

【0102】

なお、ここでの金属導電層、酸化物半導体層、及び絶縁膜のエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

【0103】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl_2)、塩化硼素(BCl_3)、塩化珪素(SiCl_4)、四塩化炭素(CCl_4)など)が好ましい。

【0104】

また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF_4)、弗化硫黄(SF_6)、弗化窒素(NF_3)、トリフルオロメタン(CHF_3)など)、臭化水素(HBr)、酸素(O_2)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

10

【0105】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

【0106】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液、アンモニア過水(31重量%過酸化水素水:28重量%アンモニア水:水=5:2:2)などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

20

【0107】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

【0108】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件(エッチング液、エッチング時間、温度等)を適宜調節する。

30

【0109】

次に、レジストマスク136a、136b、136c、136d、136eを除去し、酸化物半導体層133、134に接する保護絶縁層となる酸化物絶縁層107を形成する。

【0110】

この段階で、酸化物半導体層133、134は、酸化物絶縁層107と接する領域が形成され、この領域のうち、ゲート電極層とゲート絶縁層を介して酸化物絶縁層107と重なる領域がチャンネル形成領域となる。

【0111】

酸化物絶縁層107は、少なくとも1nm以上の膜厚とし、スパッタリング法など、酸化物絶縁層107に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。本実施の形態では、酸化物絶縁層107として膜厚300nmの酸化珪素膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では室温とする。酸化珪素膜のスパッタリング法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガス(代表的にはアルゴン)及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素雰囲気下でスパッタリング法により酸化珪素を形成することができる。後に低抵抗化する酸化物半導体層に接して形成する酸化物絶縁層は、水分や、水素イオンや、 OH^- などの

40

50

不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化ガリウム膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

【0112】

次いで、不活性ガス雰囲気下、または窒素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う（図4（A）参照）。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物絶縁層107と重なる酸化物半導体層133、134の一部が酸化物絶縁層107と接した状態で加熱される。

【0113】

以上の工程を経ることによって、成膜後の酸化物半導体層に対して脱水化または脱水素化のための加熱処理を行って低抵抗化した後、酸化物半導体層の一部を選択的に酸素過剰な状態とする。

【0114】

その結果、酸化物半導体層133において、ゲート電極層161と重なるチャネル形成領域166は、I型となり、ソース電極層165aに重なる高抵抗ソース領域167aと、ドレイン電極層165bに重なる高抵抗ドレイン領域167bとが自己整合的に形成され、酸化物半導体層163が形成される。同様に、酸化物半導体層134において、ゲート電極層101と重なるチャネル形成領域116は、I型となり、ソース電極層105aに重なる高抵抗ソース領域117aと、ドレイン電極層105bに重なる高抵抗ドレイン領域117bとが自己整合的に形成され、酸化物半導体層103が形成される。

【0115】

ドレイン電極層105b、165b（及びソース電極層105a、165a）と重畳した酸化物半導体層103、163において高抵抗ドレイン領域117b、167b（又は高抵抗ソース領域117a、167a）を形成することにより、回路を形成した際の信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域117b、167bを形成することで、ドレイン電極層105b、165bから高抵抗ドレイン領域117b、167b、チャネル形成領域116、166にかけて、導電性を段階的に変化させようような構造とすることができる。そのため、ドレイン電極層105b、165bに高電源電位VDDを供給する配線に接続して動作させる場合、ゲート電極層101、161とドレイン電極層105b、165bとの間に高電界が印加されても高抵抗ドレイン領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成とすることができる。

【0116】

また、ドレイン電極層105b、165b（及びソース電極層105a、165a）と重畳した酸化物半導体層103、163において高抵抗ドレイン領域117b、167b（又は高抵抗ソース領域117a、167a）を形成することにより、回路を形成した際のチャネル形成領域116、166でのリーク電流の低減を図ることができる。

【0117】

本実施の形態では、スパッタリング法により、酸化物絶縁層107として酸化珪素膜を形成した後、250～350の熱処理をして、ソース領域とドレイン領域の間の酸化物半導体層の露出部分（チャネル形成領域）より、酸化物半導体層中へ酸素を含浸、拡散を行う。スパッタリング法で酸化珪素膜を作製することで、当該酸化珪素膜中に過剰な酸素を含ませることができ、その酸素を熱処理により、酸化物半導体層中に含浸、拡散させることができる。酸化物半導体層中への酸素の含浸、拡散によりチャネル領域を高抵抗化（I型化）を図ることができる。それにより、ノーマリーオフとなる薄膜トランジスタを得ることができる。

【0118】

以上の工程により、同一基板上において、駆動回路部に薄膜トランジスタ180、画素部に薄膜トランジスタ170を作製することができる。薄膜トランジスタ170、180は

10

20

30

40

50

、高抵抗ソース領域、高抵抗ドレイン領域、及びチャネル形成領域を含む酸化物半導体層を含むボトムゲート型薄膜トランジスタである。よって、薄膜トランジスタ170、180は、高電界が印加されても高抵抗ドレイン領域または高抵抗ソース領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成となっている。

【0119】

同一基板上に駆動回路と画素部を形成することによって、駆動回路と外部信号との接続配線が短縮でき、半導体装置の小型化、低コスト化が可能である。

【0120】

酸化物絶縁層107上にさらに保護絶縁層を形成してもよい。例えば、RFスパッタリング法を用いて窒化珪素膜を形成する。RFスパッタリング法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化珪素膜、窒化アルミニウム膜、窒化酸化珪素膜、酸化窒化アルミニウム膜などを用いる。

10

【0121】

次に、第3のフォトリソグラフィ工程を行い、レジストマスクを形成し、酸化物絶縁層107のエッチングにより、ドレイン電極層105bに達するコンタクトホール125、ドレイン電極層165bに達するコンタクトホール118、及び導電層162に達するコンタクトホール119を形成し、レジストマスクを除去する(図4(B)参照。)。また、ここでのエッチングにより第2の端子122に達するコンタクトホール127、第1の端子121に達するコンタクトホール126も形成する。また、該コンタクトホールを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

20

【0122】

次いで、透光性を有する導電膜を成膜する。透光性を有する導電膜の材料としては、酸化インジウム(In₂O₃)や酸化インジウム酸化スズ合金(In₂O₃ SnO₂、ITOと略記する)などをスパッタリング法や真空蒸着法などを用いて形成する。透光性を有する導電膜の他の材料として、窒素を含ませたAl-Zn-O系非単結晶膜、即ちAl-Zn-O-N系非単結晶膜や、窒素を含ませたZn-O-N系非単結晶膜や、窒素を含ませたSn-Zn-O-N系非単結晶膜を用いてもよい。なお、Al-Zn-O-N系非単結晶膜の亜鉛の組成比(原子%)は、47原子%以下とし、Al-Zn-O-N系非単結晶膜中のアルミニウムの組成比(原子%)より大きく、Al-Zn-O-N系非単結晶膜中のアルミニウムの組成比(原子%)は、Al-Zn-O-N系非単結晶膜中の窒素の組成比(原子%)より大きい。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金(In₂O₃ ZnO)を用いても良い。

30

【0123】

なお、透光性を有する導電膜の組成比の単位は原子%とし、電子線マイクロアナライザー(EPMA:Electron Probe X-ray MicroAnalyzer)を用いた分析により評価するものとする。

【0124】

次に、第4のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層110、導電層111、配線層145、端子電極128、129を形成し、レジストマスクを除去する。この段階での断面図を図4(C)に示す。なお、この段階での平面図が図5に相当する。

40

【0125】

また、この第4のフォトリソグラフィ工程において、容量部におけるゲート絶縁層102及び酸化物絶縁層107を誘電体として、容量配線層108と画素電極層110とで保持容量が形成される。

【0126】

ゲート絶縁層102を誘電体とし容量配線層と容量電極とで形成される保持容量である容

50

量 1 4 7 も駆動回路部と画素部と同一基板上に形成することができる。また、容量配線を設けず、画素電極を隣り合う画素のゲート配線と保護絶縁層及びゲート絶縁層を介して重ねて保持容量を形成してもよい。

【 0 1 2 7 】

端子部に形成された端子電極 1 2 8、1 2 9 は F P C との接続に用いられる電極または配線となる。第 1 の端子 1 2 1 上に形成された端子電極 1 2 8 は、ゲート配線の入力端子として機能する接続用の端子電極となる。第 2 の端子 1 2 2 上に形成された端子電極 1 2 9 は、ソース配線の入力端子として機能する接続用の端子電極である。

【 0 1 2 8 】

また、図 1 1 (A 1)、図 1 1 (A 2) は、この段階でのゲート配線端子部の上面図及び断面図をそれぞれ図示している。図 1 1 (A 1) は図 1 1 (A 2) 中の C 1 - C 2 線に沿った断面図に相当する。図 1 1 (A 1) において、保護絶縁層 1 5 4 上に形成される導電膜 1 5 5 は、入力端子として機能する接続用の端子電極である。また、図 1 1 (A 1) において、端子部では、ゲート配線と同じ材料で形成される第 1 の端子 1 5 1 と、ソース配線と同じ材料で形成される接続電極 1 5 3 とがゲート絶縁層 1 5 2 に設けられたコンタクトホールにて、酸化物半導体層 1 5 7 を介して導通させている。また、接続電極 1 5 3 と、導電膜 1 5 5 とが保護絶縁層に設けられたコンタクトホールにて直接接して導通させている。

10

【 0 1 2 9 】

また、図 1 1 (B 1)、及び図 1 1 (B 2) は、ソース配線端子部の上面図及び断面図をそれぞれ図示している。また、図 1 1 (B 1) は図 1 1 (B 2) 中の D 1 - D 2 線に沿った断面図に相当する。図 1 1 (B 1) において、保護絶縁層 1 5 4 上に形成される導電膜 1 5 5 は、入力端子として機能する接続用の端子電極である。また、図 1 1 (B 1) において、端子部では、ゲート配線と同じ材料で形成される電極 1 5 6 が、ソース配線と電氣的に接続される第 2 の端子 1 5 0 の下方にゲート絶縁層 1 5 2 を介して重なる。電極 1 5 6 は第 2 の端子 1 5 0 とは電氣的に接続しておらず、電極 1 5 6 を第 2 の端子 1 5 0 と異なる電位、例えばフローティング、GND、0Vなどに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第 2 の端子 1 5 0 は、保護絶縁層 1 5 4 を介して導電膜 1 5 5 と電氣的に接続している。第 2 の端子 1 5 0 の下には酸化物半導体層 1 5 8 が形成されている。

20

30

【 0 1 3 0 】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第 1 の端子、ソース配線と同電位の第 2 の端子、容量配線と同電位の第 3 の端子などが複数並べられて配置される。それぞれの端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

【 0 1 3 1 】

こうして 4 回のフォトリソグラフィ工程により、6枚のフォトマスクを使用して、薄膜トランジスタ 1 8 0 を有する駆動回路部、薄膜トランジスタ 1 7 0 を有する画素部、保持容量を有する容量 1 4 7、及び外部取り出し端子部を完成させることができる。薄膜トランジスタと保持容量を個々の画素に対応してマトリクス状に配置して画素部を構成し、アクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

40

【 0 1 3 2 】

本実施の形態のように、多階調マスクにより形成した複数（代表的には二種類）の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化が図れる。よって、半導体装置を低コストで生産性よく作製することができる。

【 0 1 3 3 】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と

50

対向基板とを固定する。なお、対向基板に設けられた対向電極と電氣的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電氣的に接続する第4の端子を端子部に設ける。この第4の端子は、共通電極を固定電位、例えばGND、0Vなどに設定するための端子である。

【0134】

酸化物絶縁層107、導電層111、配線層145、画素電極層110上に配向膜として機能する絶縁層191を形成する。

【0135】

対向基板190に、着色層195、対向電極層194、配向膜として機能する絶縁層193を形成する。基板100と対向基板190とを、液晶表示装置のセルギャップを調節するスペーサを介し、液晶層192を挟持してシール材(図示せず)によって貼り合わせる。上記貼り合わせの工程は減圧下で行ってもよい。

10

【0136】

シール材としては、代表的には可視光硬化性、紫外線硬化性または熱硬化性の樹脂を用いるのが好ましい。代表的には、アクリル樹脂、エポキシ樹脂、アミン樹脂などを用いることができる。また、光(代表的には紫外線)重合開始剤、熱硬化剤、フィラー、カップリング剤を含んでもよい。

【0137】

液晶層192は、空隙に液晶材料を封入して形成する。液晶層192は、基板100と対向基板190とを貼り合わせる前に滴下するディスペンサ法(滴下法)を用いてもよいし、基板100と対向基板190とを貼り合わせてから毛細管現象を用いて液晶を注入する注入法を用いることができる。液晶材料としては特に限定はなく、種々の材料を用いることができる。また、液晶材料としてブルー相を示す材料を用いると配向膜を不要とすることができる。

20

【0138】

基板100の外側に偏光板196aを、対向基板190の外側に偏光板196bを設けて、本実施の形態における透過型の液晶表示装置を作製することができる(図1参照。)

【0139】

また、本実施の形態では図示しないが、ブラックマトリクス(遮光層)、偏光部材、位相差部材、反射防止部材などの光学部材(光学基板)などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

30

【0140】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0141】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を1フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

40

【0142】

また、フレーム周波数を通常のフレーム周波数(60Hz)の1.5倍、好ましくは2倍以上にすることで動画特性を改善する、所謂、倍速駆動と呼ばれる駆動技術もある。

【0143】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED(発光ダイオード)光源または複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して

50

複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

【0144】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

【0145】

酸化物半導体を用いた薄膜トランジスタで形成することにより、製造コストを低減することができる。特に、上記方法によって、酸化物半導体層に接して酸化物絶縁層を形成することによって、安定した電気特性を有する薄膜トランジスタを作製し、提供することができる。よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を提供することができる。

10

【0146】

チャンネル形成領域の半導体層は高抵抗化領域であるので、薄膜トランジスタの電気特性は安定化し、オフ電流の増加などを防止することができる。よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置とすることが可能となる。

【0147】

また、薄膜トランジスタは静電気などにより破壊されやすいため、画素部または駆動回路と同一基板上に保護回路を設けることが好ましい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。例えば、保護回路は画素部と、走査線入力端子及び信号線入力端子との間に配設されている。本実施の形態では複数の保護回路を配設して、走査線、信号線及び容量バス線に静電気等によりサージ電圧が印加され、画素トランジスタなどが破壊されないように構成されている。そのため、保護回路にはサージ電圧が印加されたときに、共通配線に電荷を逃がすように構成する。また、保護回路は、走査線に対して並列に配置された非線形素子によって構成されている。非線形素子は、ダイオードのような二端子素子又はトランジスタのような三端子素子で構成される。例えば、画素部の薄膜トランジスタ170と同じ工程で形成することも可能であり、例えばトランジスタのゲート端子とドレイン端子を接続することによりダイオードと同様の特性を持たせることができる。

20

30

【0148】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせる実施することが可能である。

【0149】

(実施の形態2)

本実施の形態では、実施の形態1において、酸化物半導体層とソース電極層又はドレイン電極層との間に、ソース領域及びドレイン領域として酸化物導電層を設ける例を図6及び図7に示す。従って、他は実施の形態1と同様に行うことができ、実施の形態1と同一部分又は同様な機能を有する部分、及び工程の繰り返しの説明は省略する。また、図6及び図7は、図1乃至図5と工程が一部異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

40

【0150】

まず、実施の形態1に従って、基板100上に金属導電層を形成し、金属導電層を第1のフォトリソグラフィ工程により形成したレジスタマスクを用いてエッチングし、第1の端子121、ゲート電極層161、導電層162、ゲート電極層101、容量配線層108を形成する。

【0151】

第1の端子121、ゲート電極層161、導電層162、ゲート電極層101、容量配線層108上にゲート絶縁層102を形成し、酸化物半導体層、酸化物導電層、金属導電層を積層する。ゲート絶縁層102、酸化物半導体層、酸化物導電層及び金属導電層は大気

50

に曝さずに連続的に成膜することができる。

【0152】

酸化物導電層の成膜方法は、スパッタリング法や真空蒸着法（電子ビーム蒸着法など）や、アーク放電イオンプレーティング法や、スプレー法を用いる。酸化物導電層の材料としては、酸化亜鉛を成分として含むものが好ましく、酸化インジウムを含まないものであることが好ましい。そのような酸化物導電層として、酸化亜鉛、酸化亜鉛アルミニウム、酸化窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどを適用することができる。膜厚は50nm以上300nm以下の範囲内で適宜選択する。また、スパッタリング法を用いる場合、 SiO_2 を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物導電層に結晶化を阻害する SiO_x ($x > 0$)を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することが好ましい。

10

【0153】

次いで、酸化物半導体層及び酸化物導電層を積層させた状態で脱水化、脱水素化の熱処理を行い、酸化物半導体層131、酸化物導電層140、及び金属導電層137を形成する（図6（A）参照。）。400 から700 の温度で熱処理することで、酸化物半導体層の脱水化、脱水素化が図られ、その後の水（ H_2O ）の再含浸を防ぐことができる。

【0154】

この熱処理により、酸化物導電層に酸化珪素のような結晶化阻害物質が含まれていない限り、酸化物導電層は結晶化する。酸化物導電層の結晶は下地面に対して柱状に成長する。その結果、ソース電極層及びドレイン電極層を形成するために、酸化物導電層の上層の金属導電層をエッチングする場合、アンダーカットが形成されるのを防ぐことができる。

20

【0155】

また、酸化物半導体層の脱水化、脱水素化の熱処理によって、酸化物導電層の導電性を向上させることができる。なお、酸化物導電層のみ酸化物半導体層の熱処理より低温で熱処理しても良い。

【0156】

高階調マスクを用いた露光を用いて第2のフォトリソグラフィ工程を行い、ゲート絶縁層102、酸化物半導体層131、及び金属導電層137上にレジストマスク135a、135b、135dを形成する。

【0157】

次に、レジストマスク135a、135b、135dを用いて第1のエッチング工程を行い、酸化物半導体層131、金属導電層137をエッチングし島状に加工する。この結果、酸化物半導体層133、134、120、酸化物導電層175、176、177、金属導電層185、186、188を形成することができる（図6（B）参照。）。

30

【0158】

次に、レジストマスク135a、135b、135dをアッシングする。この結果、レジストマスクの面積（3次元的に見ると体積）が縮小し、厚さが薄くなる。このとき、膜厚の薄い領域のレジストマスクのレジスト（ゲート電極層161の一部と重畳する領域）は除去され、分離されたレジストマスク136a、136bを形成することができる。同様にレジストマスク135b、135dもアッシングされ、レジストマスクの面積（3次元的に見ると体積）が縮小し、レジストマスク136c、136d、136eとなる。

40

【0159】

レジストマスク136a、136b、136c、136d、136eを用いて、エッチングにより不要な部分を除去してソース電極層165a、ドレイン電極層165b、ソース電極層105a、ドレイン電極層105b、第2の端子122を形成する（図6（C）参照。）。

【0160】

この工程において、酸化物半導体層120、ソース電極層105a、165a、ドレイン電極層105b、165bと同じ材料である第2の端子122を端子部に形成する。なお、第2の端子122はソース配線（ソース電極層105a、165aを含むソース配線）

50

と電氣的に接続されている。

【0161】

なお、金属導電層のエッチングの際に、酸化物導電層175、176、177及び酸化物半導体層133、134、120も除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0162】

次に、レジストマスク136a、136b、136c、136d、136eを除去し、ソース電極層105a、ドレイン電極層105b、ソース電極層165a、ドレイン電極層165bをマスクとして、酸化物導電層140をエッチングし、酸化物導電層164a、164b、酸化物導電層104a、104bを形成する(図6(D)参照。)。酸化亜鉛を成分とする酸化物導電層140は、例えばレジストの剥離液のようなアルカリ性溶液を用いて容易にエッチングすることができる。また同工程で、端子部にも酸化物導電層139が形成される。

10

【0163】

酸化物半導体層と酸化物導電層のエッチング速度の差を利用して、チャネル領域を形成するために酸化物導電層を分割するためのエッチング処理を行う。酸化物導電層のエッチング速度が酸化物半導体層と比較して速いことを利用して、酸化物半導体層上の酸化物導電層を選択的にエッチングする。

【0164】

よって、レジストマスク136a、136b、136c、136d、136eは、アッシング工程によって除去することが好ましい。剥離液を用いたエッチングの場合は、酸化物導電層175、176及び酸化物半導体層133、134が過剰にエッチングされないように、エッチング条件(エッチャントの種類、濃度、エッチング時間)を適宜調整する。

20

【0165】

本実施の形態のように、酸化物導電層と金属導電層を積層させて、同一マスクでソース電極層及びドレイン電極層を含む配線パターンをエッチングすることにより、金属導電層の配線パターンの下に、酸化物導電層を残存させることができる。

【0166】

ゲート配線とソース配線のコンタクトにおいても、ソース配線の下層に酸化物導電層が形成されていることにより、酸化物導電層がパuffaとなり好ましく、さらに金属とは絶縁性の酸化物を作らないので好ましい。

30

【0167】

酸化物半導体層133、134に接する保護絶縁層となる酸化物絶縁層107を形成する。本実施の形態では、酸化物絶縁層107として膜厚300nmの酸化珪素膜を、スパッタリング法を用いて成膜する。

【0168】

次いで、不活性ガス雰囲気下、または窒素ガス雰囲気下で第2の加熱処理(好ましくは200以上400以下、例えば250以上350以下)を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物絶縁層107と重なる酸化物半導体層133、134の一部が酸化物絶縁層107と接した状態で加熱される。

40

【0169】

以上の工程を経ることによって、成膜後の酸化物半導体層に対して脱水化または脱水素化のための加熱処理を行って低抵抗化した後、酸化物半導体層の一部を選択的に酸素過剰な状態とする。

【0170】

その結果、酸化物半導体層133において、ゲート電極層161と重なるチャネル形成領域166は、I型となり、ソース電極層165a及び酸化物導電層164aに重なる高抵抗ソース領域167aと、ドレイン電極層165b及び酸化物導電層164bに重なる高抵抗ドレイン領域167bとが自己整合的に形成され、酸化物半導体層163が形成され

50

る。同様に、酸化物半導体層 134 において、ゲート電極層 101 と重なるチャネル形成領域 116 は、I 型となり、ソース電極層 105a 及び酸化物導電層 104a に重なる高抵抗ソース領域 117a と、ドレイン電極層 105b 及び酸化物導電層 104b に重なる高抵抗ドレイン領域 117b とが自己整合的に形成され、酸化物半導体層 103 が形成される。

【0171】

酸化物半導体層 163、103 と金属材料からなるドレイン電極層 105b、ドレイン電極層 165b の間に設けられる酸化物導電層 104b、164b は低抵抗ドレイン領域 (LRN (Low Resistance N-type conductivity) 領域、LRD (Low Resistance Drain) 領域とも呼ぶ) としても機能する。同様に、酸化物半導体層 163、103 と金属材料からなるソース電極層 105a、ソース電極層 165a の間に設けられる酸化物導電層 104a、164a は低抵抗ソース領域 (LRN (Low Resistance N-type conductivity) 領域、LRS (Low Resistance Source) 領域とも呼ぶ) としても機能する。酸化物半導体層、低抵抗ドレイン領域、金属材料からなるドレイン電極層の構成とすることによって、よりトランジスタの耐圧を向上させることができる。具体的には、低抵抗ドレイン領域のキャリア濃度は、高抵抗ドレイン領域 (HRD 領域) よりも大きく、例えば $1 \times 10^{20} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下の範囲内であると好ましい。

10

【0172】

以上の工程により、同一基板上において、駆動回路部に薄膜トランジスタ 181、画素部に薄膜トランジスタ 171 を作製することができる。薄膜トランジスタ 171、181 は、高抵抗ソース領域、高抵抗ドレイン領域、及びチャネル形成領域を含む酸化物半導体層を含むボトムゲート型薄膜トランジスタである。よって、薄膜トランジスタ 171、181 は、高電界が印加されても高抵抗ドレイン領域または高抵抗ソース領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成となっている。

20

【0173】

また、容量部において、容量配線層 108、ゲート絶縁層 102、酸化物導電層 104b と同工程で形成される酸化物導電層 107、ドレイン電極層 105b と同工程で形成される金属導電層との積層でなる容量 146 が形成されている。

30

【0174】

次いで、酸化物絶縁層 107 上に平坦化絶縁層 109 を形成する。なお、本実施の形態では、平坦化絶縁層 109 は、画素部のみに形成する。平坦化絶縁層 109 としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料 (low-k 材料)、シロキサン系樹脂、PSG (リンガラス)、BPSG (リンボロンガラス) 等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層 109 を形成してもよい。

【0175】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成された Si-O-Si 結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基 (例えばアルキル基やアリール基) やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

40

【0176】

平坦化絶縁層 109 の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG 法、スピンコート、ディップ、スプレー塗布、液滴吐出法 (インクジェット法、スクリーン印刷、オフセット印刷等) 等を用いることができる。また、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いて平坦化絶縁層 109 を形成することができる。本実施の形態では、平坦化絶縁層 109 として感光性のアクリルを用いて形成する。

50

【0177】

次に、第3のフォトリソグラフィ工程を行い、レジストマスクを形成し、平坦化絶縁層109、及び酸化物絶縁層107のエッチングによりドレイン電極層105bに達するコンタクトホール125を形成し、レジストマスクを除去する。また、ここでのエッチングにより第2の端子122に達するコンタクトホール127、第1の端子121に達するコンタクトホール126も形成する。

【0178】

次に、透光性を有する導電膜を成膜し、第4のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層110、導電層111、端子電極128、129を形成し、レジストマスクを除去する(図7(A)参照。)

10

【0179】

実施の形態1と同様に、液晶層192を挟持して対向基板190を貼り合わせ、本実施の形態の液晶表示装置を作製する(図7(B)参照。)

【0180】

ソース領域及びドレイン領域として、酸化物導電層を酸化物半導体層とソース電極層及びドレイン電極層との間に設けることで、ソース領域及びドレイン領域の低抵抗化を図ることができ、トランジスタの高速動作をすることができる。ソース領域及びドレイン領域として酸化物導電層を用いることは、周辺回路(駆動回路)の周波数特性を向上させるために有効である。金属電極(Ti等)と酸化物半導体層との接触に比べ、金属電極(Ti等)と酸化物導電層との接触は、接触抵抗を下げるからである。

20

【0181】

また、液晶パネルで配線材料の一部として用いられているモリブデン(Mo)は(例えば、Mo/Al/Mo)、酸化物半導体層との接触抵抗が高くて課題であった。これは、Tiに比べMoは酸化しにくいいため酸化物半導体層から酸素を引き抜く作用が弱く、Moと酸化物半導体層の接触界面がn型化しないためである。しかし、かかる場合でも、酸化物半導体層とソース電極層及びドレイン電極層との間に酸化物導電層を介在させることで接触抵抗を低減でき、周辺回路(駆動回路)の周波数特性を向上させることができる。

【0182】

薄膜トランジスタのチャンネル長が、酸化物導電層のエッチングの際に決められるため、よりチャンネル長を短くすることができる。例えば、チャンネル長L0.1 μ m以上2 μ m以下と短くして、動作速度を高速化することができる。

30

【0183】

(実施の形態3)

ここでは、第1の基板と第2の基板の間に液晶層を封入する液晶表示装置において、第2の基板に設けられた対向電極と電氣的に接続するための共通接続部を第1の基板上に形成する例を示す。なお、第1の基板にはスイッチング素子として薄膜トランジスタが形成されており、共通接続部の作製工程を画素部のスイッチング素子の作製工程と共通化させることで工程を複雑にすることなく形成する。

【0184】

共通接続部は、第1の基板と第2の基板とを接着するためのシール材と重なる位置に配置され、シール材に含まれる導電性粒子を介して対向電極と電氣的な接続が行われる。或いは、シール材と重ならない箇所(ただし画素部を除く)に共通接続部を設け、共通接続部に重なるように導電性粒子を含むペーストをシール材とは別途設けて、対向電極と電氣的な接続が行われる。

40

【0185】

図8(A)は薄膜トランジスタと共通接続部とを同一基板上に作製する半導体装置の断面構造図を示す図である。

【0186】

図8(A)において、画素電極層227と電氣的に接続する薄膜トランジスタ220は、

50

画素部に設けられるチャネル保護型の薄膜トランジスタであり、本実施の形態では、実施の形態1の薄膜トランジスタ170と同じ構造を用いる。

【0187】

また、図8(B)は共通接続部の上面図の一例を示す図であり、図中の鎖線C3 - C4が図8(A)の共通接続部の断面に相当する。なお、図8(B)において図8(A)と同一の部分には同じ符号を用いて説明する。

【0188】

酸化物半導体層210上に設けられた共通電位線205は、ゲート絶縁層202上に設けられ、薄膜トランジスタ220のソース電極層及びドレイン電極層と同じ材料及び同じ工程で作製される。

10

【0189】

また、共通電位線205は、保護絶縁層203で覆われ、保護絶縁層203は、共通電位線205と重なる位置に複数の開口部を有している。この開口部は、薄膜トランジスタ220のドレイン電極層と画素電極層227とを接続するコンタクトホールと同じ工程で作製される。

【0190】

なお、ここでは面積サイズが大きく異なるため、画素部におけるコンタクトホールと、共通接続部の開口部と使い分けて呼ぶこととする。また、図8(A)では、画素部と共通接続部とで同じ縮尺で図示しておらず、例えば共通接続部の鎖線C3 - C4の長さが500 μ m程度であるのに対して、薄膜トランジスタの幅は50 μ m未満であり、実際には10

20

【0191】

また、共通電極層206は、保護絶縁層203上に設けられ、画素部の画素電極層227と同じ材料及び同じ工程で作製される。

【0192】

このように、画素部のスイッチング素子の作製工程と共通させて共通接続部の作製工程を行う。共通電位線は金属配線として配線抵抗の低減を図る構成とすることが好ましい。

【0193】

そして画素部と共通接続部が設けられた第1の基板200と、対向電極を有する第2の基板とをシール材を用いて固定する。

30

【0194】

シール材に導電性粒子を含ませる場合は、シール材と共通接続部が重なるように一对の基板の位置合わせが行われる。例えば、小型の液晶パネルにおいては、画素部の対角などに2個の共通接続部がシール材と重ねて配置される。また、大型の液晶パネルにおいては、4個以上の共通接続部がシール材と重ねて配置される。

【0195】

なお、共通電極層206は、シール材に含まれる導電性粒子と接触する電極であり、第2の基板の対向電極と電氣的に接続が行われる。

【0196】

液晶注入法を用いる場合は、シール材で一对の基板を固定した後、液晶を一对の基板間に注入する。また、液晶滴下法を用いる場合は、第2の基板或いは第1の基板上にシール材を描画し、液晶を滴下させた後、減圧下で一对の基板を貼り合わせる。

40

【0197】

なお、本実施の形態では、対向電極と電氣的に接続する共通接続部の例を示したが、特に限定されず、他の配線と接続する接続部や、外部接続端子などと接続する接続部に用いることができる。

【0198】

本実施の形態は他の実施の形態と自由に組み合わせることができる。

【0199】

50

(実施の形態4)

本実施の形態では、薄膜トランジスタの作製工程の一部が実施の形態1と異なる例を図10に示す。図10は、図1乃至図5と工程が一部異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

【0200】

まず、実施の形態1に従って、基板100上にゲート電極層、ゲート絶縁層102、及び酸化物半導体層130の形成を行う。

【0201】

次いで、酸化物半導体層130の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400以上基板の歪み点未満、好ましくは425以上とする。なお、425以上であれば熱処理時間は1時間以下でよいが、425未満であれば加熱処理時間は、1時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。その後、同じ炉に高純度の酸素ガス、高純度の N_2O ガス、又は超乾燥エア（露点が-40以下、好ましくは-60以下）を導入して冷却を行う。酸素ガスまたは N_2O ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスまたは N_2O ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち酸素ガスまたは N_2O ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

10

20

【0202】

また、脱水化または脱水素化を行う第1の加熱処理後に200以上400以下、好ましくは200以上300以下の温度で酸素ガスまたは N_2O ガス雰囲気下での加熱処理を行ってもよい。

【0203】

以上の工程を経ることによって酸化物半導体層全体を酸素過剰な状態とすることで、高抵抗化、即ちI型化させる。よって、全体がI型化した酸化物半導膜を得る。

【0204】

次いで、酸化物半導体層上に金属導電層を形成し、多階調マスクを用いた第2のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層及びドレイン電極層、酸化物半導体層168、118を形成し、スパッタリング法で酸化物絶縁層107を形成する。

30

【0205】

次いで、薄膜トランジスタの電気的特性のばらつきを軽減するため、不活性ガス雰囲気下、または窒素ガス雰囲気下で加熱処理(好ましくは150以上350未満)を行ってもよい。例えば、窒素雰囲気下で250、1時間の加熱処理を行う。

【0206】

第3のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってゲート絶縁層及び酸化物絶縁層に第1の端子121、導電層162、ドレイン電極層105b、酸化物半導体層120と積層する第2の端子122に達するコンタクトホールを形成する。透光性を有する導電膜を形成した後、第5のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って画素電極層110、端子電極128、端子電極129、配線層145を形成する。

40

【0207】

本実施の形態では、第1の端子121と端子電極128との接続を接続電極120を介さずに直接行う例である。また、ドレイン電極層165bと導電層162との接続は、配線層145を介して行う。

【0208】

また、容量部において、容量配線層108、ゲート絶縁層102、ソース電極層及びドレイン電極層と同工程で形成される金属導電層、酸化物絶縁層107、画素電極層110と

50

の積層でなる容量 148 が形成されている。

【0209】

以上の工程により、同一基板上において、駆動回路部に薄膜トランジスタ 183、画素部に薄膜トランジスタ 173 を作製することができる。

【0210】

実施の形態 1 と同様に、液晶層 192 を挟持して対向基板 190 を貼り合わせ、本実施の形態の液晶表示装置を作製する（図 10 参照。）。

【0211】

本実施の形態は他の実施の形態と自由に組み合わせることができる。

【0212】

（実施の形態 5）

本実施の形態では、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【0213】

画素部に配置する薄膜トランジスタは、実施の形態 1 乃至 4 に従って形成する。また、実施の形態 1 乃至 4 に示す薄膜トランジスタは n チャンネル型 T F T であるため、駆動回路のうち、n チャンネル型 T F T で構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

【0214】

アクティブマトリクス型表示装置のブロック図の一例を図 12 (A) に示す。表示装置の基板 5300 上には、画素部 5301、第 1 の走査線駆動回路 5302、第 2 の走査線駆動回路 5303、信号線駆動回路 5304 を有する。画素部 5301 には、複数の信号線が信号線駆動回路 5304 から延伸して配置され、複数の走査線が第 1 の走査線駆動回路 5302、及び第 2 の走査線駆動回路 5303 から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に配置されている。また、表示装置の基板 5300 は F P C (F l e x i b l e P r i n t e d C i r c u i t) 等の接続部を介して、タイミング制御回路 5305 (コントローラ、制御 I C ともいう) に接続されている。

【0215】

図 12 (A) では、第 1 の走査線駆動回路 5302、第 2 の走査線駆動回路 5303、信号線駆動回路 5304 は、画素部 5301 と同じ基板 5300 上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板 5300 外部に駆動回路を設けた場合の配線を延伸させることによる接続部での接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

【0216】

なお、タイミング制御回路 5305 は、第 1 の走査線駆動回路 5302 に対し、一例として、第 1 の走査線駆動回路用スタート信号 (G S P 1)、走査線駆動回路用クロック信号 (G C L K 1) を供給する。また、タイミング制御回路 5305 は、第 2 の走査線駆動回路 5303 に対し、一例として、第 2 の走査線駆動回路用スタート信号 (G S P 2) (スタートパルスともいう)、走査線駆動回路用クロック信号 (G C L K 2) を供給する。信号線駆動回路 5304 に、信号線駆動回路用スタート信号 (S S P)、信号線駆動回路用クロック信号 (S C L K)、ビデオ信号用データ (D A T A) (単にビデオ信号ともいう)、ラッチ信号 (L A T) を供給するものとする。なお各クロック信号は、周期のずれた複数のクロック信号でもよいし、クロック信号を反転させた信号 (C K B) とともに供給されるものであってもよい。なお、第 1 の走査線駆動回路 5302 と第 2 の走査線駆動回路 5303 との一方を省略することが可能である。

【0217】

図 12 (B) では、駆動周波数が低い回路 (例えば、第 1 の走査線駆動回路 5302、第 2 の走査線駆動回路 5303) を画素部 5301 と同じ基板 5300 に形成し、信号線駆動回路 5304 を画素部 5301 とは別の基板に形成する構成について示している。当該

10

20

30

40

50

構成により、単結晶半導体を用いたトランジスタと比較すると電界効果移動度が小さい薄膜トランジスタによって、基板5300に形成する駆動回路を構成することができる。したがって、表示装置の大型化、コストの低減、又は歩留まりの向上などを図ることができる。

【0218】

また、実施の形態1乃至4に示す薄膜トランジスタは、 n チャネル型TFTである。図13(A)、図13(B)では n チャネル型TFTで構成する信号線駆動回路の構成、動作について一例を示し説明する。

【0219】

信号線駆動回路は、シフトレジスタ5601、及びスイッチング回路5602を有する。スイッチング回路5602は、スイッチング回路5602__1~5602__N(Nは自然数)という複数の回路を有する。スイッチング回路5602__1~5602__Nは、各々、薄膜トランジスタ5603__1~5603__k(kは自然数)という複数のトランジスタを有する。薄膜トランジスタ5603__1~5603__kは、 N チャネル型TFTである例を説明する。

10

【0220】

信号線駆動回路の接続関係について、スイッチング回路5602__1を例にして説明する。薄膜トランジスタ5603__1~5603__kの第1端子は、各々、配線5604__1~5604__kと接続される。薄膜トランジスタ5603__1~5603__kの第2端子は、各々、信号線S1~Skと接続される。薄膜トランジスタ5603__1~5603__kのゲートは、シフトレジスタ5601と接続される。

20

【0221】

シフトレジスタ5601は、配線5605__1~5605__Nに順番にHレベル(H信号、高電源電位レベル、ともいう)の信号を出力し、スイッチング回路5602__1~5602__Nを順番に選択する機能を有する。

【0222】

スイッチング回路5602__1は、配線5604__1~5604__kと信号線S1~Skとの導通状態(第1端子と第2端子との間の導通)を制御する機能、即ち配線5604__1~5604__kの電位を信号線S1~Skに供給するか否かを制御する機能を有する。このように、スイッチング回路5602__1は、セクタとしての機能を有する。また薄膜トランジスタ5603__1~5603__kは、各々、配線5604__1~5604__kと信号線S1~Skとの導通状態を制御する機能、即ち配線5604__1~5604__kの電位を信号線S1~Skに供給する機能を有する。このように、薄膜トランジスタ5603__1~5603__kは、各々、スイッチとしての機能を有する。

30

【0223】

なお、配線5604__1~5604__kには、各々、ビデオ信号用データ(DATA)が入力される。ビデオ信号用データ(DATA)は、画像情報又は画像信号に応じたアナログ信号である場合が多い。

【0224】

次に、図13(A)の信号線駆動回路の動作について、図13(B)のタイミングチャートを参照して説明する。図13(B)には、信号Sout__1~Sout__N、及び信号Vdata__1~Vdata__kの一例を示す。信号Sout__1~Sout__Nは、各々、シフトレジスタ5601の出力信号の一例であり、信号Vdata__1~Vdata__kは、各々、配線5604__1~5604__kに入力される信号の一例である。なお、信号線駆動回路の1動作期間は、表示装置における1ゲート選択期間に対応する。1ゲート選択期間は、一例として、期間T1~期間TNに分割される。期間T1~TNは、各々、選択された行に属する画素にビデオ信号用データ(DATA)を書き込むための期間である。

40

【0225】

なお、本実施の形態の図面等において示す各構成の、信号波形のなまり等は、明瞭化のため

50

めに誇張して表記している場合がある。よって、必ずしもそのスケールに限定されないものであることを付記する。

【0226】

期間 $T_1 \sim$ 期間 T_N において、シフトレジスタ 5601 は、Hレベルの信号を配線 5605 $_{-1} \sim$ 5605 $_{-N}$ に順番に出力する。例えば、期間 T_1 において、シフトレジスタ 5601 は、Hレベルの信号を配線 5605 $_{-1}$ に出力する。すると、薄膜トランジスタ 5603 $_{-1} \sim$ 5603 $_{-k}$ はオンになるので、配線 5604 $_{-1} \sim$ 5604 $_{-k}$ と、信号線 $S_1 \sim S_k$ とが導通状態になる。このとき、配線 5604 $_{-1} \sim$ 5604 $_{-k}$ には、 $Data(S_1) \sim Data(S_k)$ が入力される。 $Data(S_1) \sim Data(S_k)$ は、各々、薄膜トランジスタ 5603 $_{-1} \sim$ 5603 $_{-k}$ を介して、選択される行に属する画素のうち、1列目 \sim k列目の画素に書き込まれる。こうして、期間 $T_1 \sim T_N$ において、選択された行に属する画素に、k列ずつ順番にビデオ信号用データ (DATA) が書き込まれる。

10

【0227】

以上のように、ビデオ信号用データ (DATA) が複数の列ずつ画素に書き込まれることによって、ビデオ信号用データ (DATA) の数、又は配線の数減らすことができる。よって、外部回路との接続数を減らすことができる。また、ビデオ信号が複数の列ずつ画素に書き込まれることによって、書き込み時間を長くことができ、ビデオ信号の書き込み不足を防止することができる。

【0228】

なお、シフトレジスタ 5601 及びスイッチング回路 5602 としては、実施の形態 1 乃至 5 に示す薄膜トランジスタで構成される回路を用いることが可能である。この場合、シフトレジスタ 5601 が有する全てのトランジスタの極性を Nチャネル型、又は Pチャネル型のいずれかの極性のみで構成することができる。

20

【0229】

なお、走査線駆動回路の構成について説明する。走査線駆動回路は、シフトレジスタを有している。また場合によってはレベルシフタやバッファを有していても良い。走査線駆動回路において、シフトレジスタにクロック信号 (CLK) 及びスタートパルス信号 (SP) が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲート電極が接続されている。そして、1ライン分の画素のトランジスタを一斉に ON にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

30

【0230】

走査線駆動回路及び/または信号線駆動回路の一部に用いるシフトレジスタの一形態について図 14 及び図 15 を用いて説明する。

【0231】

走査線駆動回路、信号線駆動回路のシフトレジスタについて、図 14 及び図 15 を参照して説明する。シフトレジスタは、第 1 のパルス出力回路 10 $_{-1}$ 乃至第 N のパルス出力回路 10 $_{-N}$ (N は 3 以上の自然数) を有している (図 14 (A) 参照)。図 14 (A) に示すシフトレジスタの第 1 のパルス出力回路 10 $_{-1}$ 乃至第 N のパルス出力回路 10 $_{-N}$ には、第 1 の配線 11 より第 1 のクロック信号 CK1、第 2 の配線 12 より第 2 のクロック信号 CK2、第 3 の配線 13 より第 3 のクロック信号 CK3、第 4 の配線 14 より第 4 のクロック信号 CK4 が供給される。また第 1 のパルス出力回路 10 $_{-1}$ では、第 5 の配線 15 からのスタートパルス SP1 (第 1 のスタートパルス) が入力される。また 2 段目以降の第 n のパルス出力回路 10 $_{-n}$ (n は、2 以上 N 以下の自然数) では、一段前段のパルス出力回路 10 $_{-(n-1)}$ からの信号 (前段信号 OUT (n-1) という) が入力される。また第 1 のパルス出力回路 10 $_{-1}$ では、2 段後段の第 3 のパルス出力回路 10 $_{-3}$ からの信号が入力される。同様に、2 段目以降の第 n のパルス出力回路 10 $_{-n}$ では、2 段後段の第 (n+2) のパルス出力回路 10 $_{-(n+2)}$ からの信号 (後段信号 OU

40

50

T (n + 2) という) が入力される。従って、各段のパルス出力回路からは、後段及び / または 2 つ前段のパルス出力回路に入力するための第 1 の出力信号 (O U T (1) (S R) ~ O U T (N) (S R))、別の回路等に入力される第 2 の出力信号 (O U T (1) ~ O U T (N)) が出力される。ただし、図 1 4 (A) に示すように、シフトレジスタの最終段の 2 つの段には、後段信号 O U T (n + 2) が入力されないため、一例としては、別途第 2 のスタートパルス S P 2、第 3 のスタートパルス S P 3 をそれぞれ入力する構成とすればよい。

【 0 2 3 2 】

なお、クロック信号 (C K) は、一定の間隔で H レベルと L レベル (L 信号、低電源電位レベル、ともいう) を繰り返す信号である。ここで、第 1 のクロック信号 (C K 1) ~ 第 4 のクロック信号 (C K 4) は、順に 1 / 4 周期分遅延している。本実施の形態では、第 1 のクロック信号 (C K 1) ~ 第 4 のクロック信号 (C K 4) を利用して、パルス出力回路の駆動の制御等を行う。なお、クロック信号は、入力される駆動回路に応じて、G C L K、S C L K ということもあるが、ここでは C K として説明を行う。

10

【 0 2 3 3 】

第 1 の入力端子 2 1、第 2 の入力端子 2 2 及び第 3 の入力端子 2 3 は、第 1 の配線 1 1 ~ 第 4 の配線 1 4 のいずれかと電氣的に接続されている。例えば、図 1 4 (A) において、第 1 のパルス出力回路 1 0 _ 1 は、第 1 の入力端子 2 1 が第 1 の配線 1 1 と電氣的に接続され、第 2 の入力端子 2 2 が第 2 の配線 1 2 と電氣的に接続され、第 3 の入力端子 2 3 が第 3 の配線 1 3 と電氣的に接続されている。また、第 2 のパルス出力回路 1 0 _ 2 は、第 1 の入力端子 2 1 が第 2 の配線 1 2 と電氣的に接続され、第 2 の入力端子 2 2 が第 3 の配線 1 3 と電氣的に接続され、第 3 の入力端子 2 3 が第 4 の配線 1 4 と電氣的に接続されている。

20

【 0 2 3 4 】

第 1 のパルス出力回路 1 0 _ 1 ~ 第 N のパルス出力回路 1 0 _ N の各々は、第 1 の入力端子 2 1、第 2 の入力端子 2 2、第 3 の入力端子 2 3、第 4 の入力端子 2 4、第 5 の入力端子 2 5、第 1 の出力端子 2 6、第 2 の出力端子 2 7 を有しているとする (図 1 4 (B) 参照)。第 1 のパルス出力回路 1 0 _ 1 において、第 1 の入力端子 2 1 に第 1 のクロック信号 C K 1 が入力され、第 2 の入力端子 2 2 に第 2 のクロック信号 C K 2 が入力され、第 3 の入力端子 2 3 に第 3 のクロック信号 C K 3 が入力され、第 4 の入力端子 2 4 にスタートパルスが入力され、第 5 の入力端子 2 5 に後段信号 O U T (3) が入力され、第 1 の出力端子 2 6 より第 1 の出力信号 O U T (1) (S R) が出力され、第 2 の出力端子 2 7 より第 2 の出力信号 O U T (1) が出力されていることとなる。

30

【 0 2 3 5 】

なお第 1 のパルス出力回路 1 0 _ 1 ~ 第 N のパルス出力回路 1 0 _ N は、3 端子の薄膜トランジスタ (T F T : T h i n F i l m T r a n s i s t o r と もい う) の他に、上記実施の形態で説明した 4 端子の薄膜トランジスタを用いることができる。図 1 4 (C) に上記実施の形態で説明した 4 端子の薄膜トランジスタ 2 8 のシンボルについて示す。図 1 4 (C) に示す薄膜トランジスタ 2 8 のシンボルは、上記実施の形態 1、2、5、6 のいずれか一で説明した 4 端子の薄膜トランジスタを意味し、図面等で以下用いることとする。なお、本明細書において、薄膜トランジスタが半導体層を介して二つのゲート電極を有する場合、半導体層より下方のゲート電極を下方のゲート電極、半導体層に対して上方のゲート電極を上方のゲート電極とも呼ぶ。

40

【 0 2 3 6 】

酸化物半導体を薄膜トランジスタのチャネル形成領域を含む半導体層に用いた場合、製造工程により、しきい値電圧がマイナス側、或いはプラス側にシフトすることがある。そのため、チャネル形成領域を含む半導体層に酸化物半導体を用いた薄膜トランジスタでは、しきい値電圧の制御を行うことのできる構成が好適である。薄膜トランジスタのしきい値電圧は、薄膜トランジスタ 2 8 のチャネル形成領域の上下にゲート絶縁層を介してゲート電極を設け、上方及び / または下方のゲート電極の電位を制御することにより所望の値に

50

制御することができる。

【0237】

次に、図14(B)に示したパルス出力回路の具体的な回路構成の一例について、図14(D)で説明する。

【0238】

図14(D)に示したパルス出力回路は、第1のトランジスタ31～第13のトランジスタ43を有している。また、上述した第1の入力端子21～第5の入力端子25、及び第1の出力端子26、第2の出力端子27に加え、第1の高電源電位VDDが供給される電源線51、第2の高電源電位VCCが供給される電源線52、低電源電位VSSが供給される電源線53から、第1のトランジスタ31～第13のトランジスタ43に信号、または電源電位が供給される。ここで、図14(D)における各電源線の電源電位の大小関係は、第1の電源電位VDDは第2の電源電位VCC以上の電位とし、第2の電源電位VCCは第3の電源電位VSSより大きい電位とする。なお、第1のクロック信号(CK1)～第4のクロック信号(CK4)は、一定の間隔でHレベルとLレベルを繰り返す信号であるが、HレベルのときVDD、LレベルのときVSSであるとする。なお電源線51の電位VDDを、電源線52の電位VCCより高くすることにより、動作に影響を与えることなく、トランジスタのゲート電極に印加される電位を低く抑えることができ、トランジスタのしきい値のシフトを低減し、劣化を抑制することができる。なお、第1のトランジスタ31～第13のトランジスタ43のうち、第1のトランジスタ31、第6のトランジスタ36乃至第9のトランジスタ39には、4端子の薄膜トランジスタを用いることが好ましい。第1のトランジスタ31、第6のトランジスタ36乃至第9のトランジスタ39の動作は、ソースまたはドレインとなる電極の一方が接続されたノードの電位を、ゲート電極の制御信号によって切り替えることが求められるトランジスタであり、ゲート電極に入力される制御信号に対する応答が速い(オン電流の立ち上がりが急峻)ことでよりパルス出力回路の誤動作を低減することができるトランジスタである。そのため、4端子の薄膜トランジスタ28を用いることによりしきい値電圧を制御することができ、誤動作がより低減できるパルス出力回路とすることができる。

【0239】

図14(D)において、第1のトランジスタ31は、第1端子が電源線51に電氣的に接続され、第2端子が第9のトランジスタ39の第1端子に電氣的に接続され、ゲート電極(下方のゲート電極及び上方のゲート電極)が第4の入力端子24に電氣的に接続されている。第2のトランジスタ32は、第1端子が電源線53に電氣的に接続され、第2端子が第9のトランジスタ39の第1端子に電氣的に接続され、ゲート電極が第4のトランジスタ34のゲート電極に電氣的に接続されている。第3のトランジスタ33は、第1端子が第1の入力端子21に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続されている。第4のトランジスタ34は、第1端子が電源線53に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続されている。第5のトランジスタ35は、第1端子が電源線53に電氣的に接続され、第2端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極が第4の入力端子24に電氣的に接続されている。第6のトランジスタ36は、第1端子が電源線52に電氣的に接続され、第2端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極(下方のゲート電極及び上方のゲート電極)が第5の入力端子25に電氣的に接続されている。第7のトランジスタ37は、第1端子が電源線52に電氣的に接続され、第2端子が第8のトランジスタ38の第2端子に電氣的に接続され、ゲート電極(下方のゲート電極及び上方のゲート電極)が第3の入力端子23に電氣的に接続されている。第8のトランジスタ38は、第1端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極(下方のゲート電極及び上方のゲート電極)が第2の入力端子22に電氣的に接続されている。第9のトランジスタ39は、第1端子が第1のトランジスタ31の第2端子及び第2のトランジスタ32の第2端子に電氣的に接続され、第2

端子が第3のトランジスタ33のゲート電極及び第10のトランジスタ40のゲート電極に電氣的に接続され、ゲート電極（下方のゲート電極及び上方のゲート電極）が電源線52に電氣的に接続されている。第10のトランジスタ40は、第1端子が第1の入力端子21に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第9のトランジスタ39の第2端子に電氣的に接続されている。第11のトランジスタ41は、第1端子が電源線53に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続されている。第12のトランジスタ42は、第1端子が電源線53に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第7のトランジスタ37のゲート電極（下方のゲート電極及び上方のゲート電極）に電氣的に接続されている。第13のトランジスタ43は、第1端子が電源線53に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続され、ゲート電極が第7のトランジスタ37のゲート電極（下方のゲート電極及び上方のゲート電極）に電氣的に接続されている。

10

【0240】

図14(D)において、第3のトランジスタ33のゲート電極、第10のトランジスタ40のゲート電極、及び第9のトランジスタ39の第2端子の接続箇所をノードAとする。また、第2のトランジスタ32のゲート電極、第4のトランジスタ34のゲート電極、第5のトランジスタ35の第2端子、第6のトランジスタ36の第2端子、第8のトランジスタ38の第1端子、及び第11のトランジスタ41のゲート電極の接続箇所をノードBとする。

20

【0241】

図15(A)に、図14(B)で説明したパルス出力回路を第1のパルス出力回路10_1に適用した場合に、第1の入力端子21乃至第5の入力端子25と第1の出力端子26及び第2の出力端子27に入力または出力される信号を示している。

【0242】

具体的には、第1の入力端子21に第1のクロック信号CK1が入力され、第2の入力端子22に第2のクロック信号CK2が入力され、第3の入力端子23に第3のクロック信号CK3が入力され、第4の入力端子24にスタートパルスが入力され、第5の入力端子25に後段信号OUT(3)が入力され、第1の出力端子26より第1の出力信号OUT(1)(SR)が出力され、第2の出力端子27より第2の出力信号OUT(1)が出力される。

30

【0243】

なお、薄膜トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。また、ゲートと重畳した領域にチャンネル領域が形成される半導体を有しており、ゲートの電位を制御することで、チャンネル領域を介してドレインとソースの間に流れる電流を制御することが出来る。ここで、ソースとドレインとは、薄膜トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。

40

【0244】

なお図14(D)、図15(A)において、ノードAを浮遊状態とすることによりブートストラップ動作を行うための、容量素子を別途設けても良い。またノードBの電位を保持するため、一方の電極をノードBに電氣的に接続した容量素子を別途設けてもよい。

【0245】

ここで、図15(A)に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについて図15(B)に示す。なおシフトレジスタが走査線駆動回路である場合、図15(B)中の期間61は垂直帰線期間であり、期間62はゲート選択期間に相当する。

50

【0246】

なお、図15(A)に示すように、ゲートに第2の電源電位VCCが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作の前後において、以下のような利点がある。

【0247】

ゲート電極に第2の電源電位VCCが印加される第9のトランジスタ39がない場合、ブートストラップ動作によりノードAの電位が上昇すると、第1のトランジスタ31の第2端子であるソースの電位が上昇していき、第1の電源電位VDDより大きくなる。そして、第1のトランジスタ31のソースが第1端子側、即ち電源線51側に切り替わる。そのため、第1のトランジスタ31においては、ゲートとソースの間、ゲートとドレインの間 10
とともに、大きなバイアス電圧が印加されるために大きなストレスがかかり、トランジスタの劣化の要因となりうる。そこで、ゲート電極に第2の電源電位VCCが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作によりノードAの電位は上昇するものの、第1のトランジスタ31の第2端子の電位の上昇を生じないようにすることができる。つまり、第9のトランジスタ39を設けることにより、第1のトランジスタ31のゲートとソースの間に印加される負のバイアス電圧の値を小さくすることができる。よって、本実施の形態の回路構成とすることにより、第1のトランジスタ31のゲートとソースの間に印加される負のバイアス電圧も小さくできるため、ストレスによる第1のトランジスタ31の劣化を抑制することができる。

【0248】

なお、第9のトランジスタ39を設ける箇所については、第1のトランジスタ31の第2端子と第3のトランジスタ33のゲートとの間に第1端子と第2端子を介して接続されるように設ける構成であればよい。なお、本実施形態でのパルス出力回路を複数具備するシフトレジスタの場合、走査線駆動回路より段数の多い信号線駆動回路では、第9のトランジスタ39を省略してもよく、トランジスタ数を削減することに利点がある。 20

【0249】

なお第1のトランジスタ31乃至第13のトランジスタ43の半導体層として、酸化物半導体を用いることにより、薄膜トランジスタのオフ電流を低減し、オン電流及び電界効果移動度を高めることが出来ると共に、劣化の度合いを低減することが出来るため、回路内の誤動作を低減することができる。また酸化物半導体を用いたトランジスタは、アモルファスシリコンを用いたトランジスタに比べ、ゲート電極に高電位が印加されることによるトランジスタの劣化の程度が小さい。そのため、第2の電源電位VCCを供給する電源線に、第1の電源電位VDDを供給しても同様の動作が得られ、且つ回路間を引き回す電源線の数を低減することができるため、回路の小型化を図ることが出来る。 30

【0250】

なお、第7のトランジスタ37のゲート電極(下方のゲート電極及び上方のゲート電極)に第3の入力端子23によって供給されるクロック信号、第8のトランジスタ38のゲート電極(下方のゲート電極及び上方のゲート電極)に第2の入力端子22によって供給されるクロック信号は、第7のトランジスタ37のゲート電極(下方のゲート電極及び上方のゲート電極)に第2の入力端子22によって供給されるクロック信号、第8のトランジスタ38のゲート電極(下方のゲート電極及び上方のゲート電極)に第3の入力端子23によって供給されるクロック信号となるように、結線関係を入れ替えても同様の作用を奏する。この時、図15(A)に示すシフトレジスタにおいて、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオフ、第8のトランジスタ38がオンの状態、次いで第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じる、ノードBの電位の低下が第7のトランジスタ37のゲート電極の電位の低下、及び第8のトランジスタ38のゲート電極の電位の低下に起因して2回生じることとなる。一方、図15(A)に示すシフトレジスタを図15(B)のように、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7 40 50

のトランジスタ37がオン、第8のトランジスタ38がオフの状態、次いで、第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じるノードBの電位の低下を、第8のトランジスタ38のゲート電極の電位の低下による一回に低減することができる。そのため、第7のトランジスタ37のゲート電極（下方のゲート電極及び上方のゲート電極）に第3の入力端子23からクロック信号が供給され、第8のトランジスタ38のゲート電極（下方のゲート電極及び上方のゲート電極）に第2の入力端子22からクロック信号が供給される結線関係とすることが好適である。なぜなら、ノードBの電位の変動回数が低減され、またノイズを低減することが出来るからである。

【0251】

このように、第1の出力端子26及び第2の出力端子27の電位をLレベルに保持する期間に、ノードBに定期的にHレベルの信号が供給される構成とすることにより、パルス出力回路の誤動作を抑制することができる。

【0252】

（実施の形態6）

薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置（表示装置ともいう）を作製することができる。また、薄膜トランジスタを駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0253】

表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL（Electro Luminescence）素子、有機EL素子等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0254】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0255】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【0256】

半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図16を用いて説明する。図16（A1）（A2）は、第1の基板4001上に形成された薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの平面図であり、図16（B）は、図16（A1）（A2）のM-Nにおける断面図に相当する。

【0257】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回

10

20

30

40

50

路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

【0258】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図16(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図16(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

10

【0259】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図16(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には保護絶縁層4020、4021が設置されている。

【0260】

薄膜トランジスタ4010、4011は、実施の形態1乃至5で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。駆動回路用の薄膜トランジスタ4011としては、実施の形態1、2、及び4で示した薄膜トランジスタ180、181、183、画素用の薄膜トランジスタ4010としては、薄膜トランジスタ170、171、173を用いることができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

20

【0261】

絶縁層4021上において、駆動回路用の薄膜トランジスタ4011の酸化物半導体層のチャネル形成領域と重なる位置に導電層4040が設けられている。導電層4040を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後における薄膜トランジスタ4011のしきい値電圧の変化量を低減することができる。また、導電層4040は、電位が薄膜トランジスタ4011のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層4040の電位がGND、0V、或いはフローティング状態であってもよい。

30

【0262】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

【0263】

なお、第1の基板4001、第2の基板4006としては、透光性基板を用いることができ、ガラス、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiber glass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。

40

【0264】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層40

50

31と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

【0265】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1ms以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

【0266】

なお透過型液晶表示装置の他に、半透過型液晶表示装置でも適用できる。

【0267】

また、液晶表示装置では、基板の外側(視認側)に偏光板を設け、内側に着色層(カラーフィルター)、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、表示部以外にもブラックマトリクスとして機能する遮光膜を設けてもよい。

【0268】

また、薄膜トランジスタ4010、4011上には保護絶縁層4020が形成されている。保護絶縁層4020は実施の形態1で示した酸化物絶縁層107と同様な材料及び方法で形成することができるが、ここでは、保護絶縁層4020として、RFスパッタリング法により窒化珪素膜を形成する。

【0269】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、実施の形態1で示した平坦化絶縁層109と同様な材料及び方法で形成すればよく、アクリル、ポリイミド、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(low-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

【0270】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

【0271】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0272】

また、画素電極層4030、対向電極層4031として、導電性高分子(導電性ポリマーともいう)を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000Ω以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1Ω・cm以下であることが好ましい。

【0273】

導電性高分子としては、いわゆる電子共役系導電性高分子を用いることができる。例え

10

20

30

40

50

ば、ポリアニンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0274】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0275】

接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0276】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0277】

また図16においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているがこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0278】

図17は、本明細書に開示する作製方法により作製されるTFT基板2600を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

【0279】

図17は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が配置され表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して配置されている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

【0280】

液晶表示モジュールには、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モードなどを用いることができる。

【0281】

以上の工程により、半導体装置として信頼性の高い液晶表示パネルを作製することができる。

【0282】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0283】

(実施の形態7)

本明細書に開示する半導体装置は、フレキシビリティを持たすことによって電子書籍(電

10

20

30

40

50

子ブック)、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示部等に適用することができる。電子機器の一例を図18に示す。

【0284】

図18は、電子書籍の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0285】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図18では表示部2705)に文章を表示し、左側の表示部(図18では表示部2707)に画像を表示することができる。

10

【0286】

また、図18では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源スイッチ2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

20

【0287】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0288】

(実施の形態8)

本明細書に開示する半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

30

【0289】

図19(A)は、テレビジョン装置の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

【0290】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

40

【0291】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

50

【0292】

図19(B)は、デジタルフォトフレームの一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0293】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子(USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレーム9700の記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

【0294】

また、デジタルフォトフレーム9700は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0295】

図20(A)は携帯型遊技機であり、筐体9881と筐体9891の2つの筐体で構成されており、連結部9893により、開閉可能に連結されている。筐体9881には表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。また、図20(A)に示す携帯型遊技機は、その他、スピーカ部9884、記録媒体挿入部9886、LEDランプ9890、入力手段(操作キー9885、接続端子9887、センサ9888(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン9889)等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図20(A)に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図20(A)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【0296】

図20(B)は大型遊技機であるスロットマシンの一例を示している。スロットマシン9900は、筐体9901に表示部9903が組み込まれている。また、スロットマシン9900は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン9900の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

【0297】

図21(A)は携帯型のコンピュータの一例を示す斜視図である。

【0298】

図21(A)の携帯型のコンピュータは、上部筐体9301と下部筐体9302とを接続するヒンジユニットを閉状態として表示部9303を有する上部筐体9301と、キーボード9304を有する下部筐体9302とを重ねた状態とすることができ、持ち運ぶことが便利であるとともに、使用者がキーボード入力する場合には、ヒンジユニットを開状態として、表示部9303を見て入力操作を行うことができる。

【0299】

また、下部筐体9302はキーボード9304の他に入力操作を行うポインティングデバイス9306を有する。また、表示部9303をタッチ入力パネルとすれば、表示部の一部に触れることで入力操作を行うこともできる。また、下部筐体9302はCPUやハー

10

20

30

40

50

ディスク等の演算機能部を有している。また、下部筐体 9302 は他の機器、例えば USB の通信規格に準拠した通信ケーブルが差し込まれる外部接続ポート 9305 を有している。

【0300】

上部筐体 9301 には更に上部筐体 9301 内部にスライドさせて収納可能な表示部 9307 を有しており、広い表示画面を実現することができる。また、収納可能な表示部 9307 の画面の向きを使用者は調節できる。また、収納可能な表示部 9307 をタッチ入力パネルとすれば、収納可能な表示部の一部に触れることで入力操作を行うこともできる。

【0301】

表示部 9303 または収納可能な表示部 9307 は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。

10

【0302】

また、図 21 (A) の携帯型のコンピュータは、受信機などを備えた構成として、テレビ放送を受信して映像を表示部 9303 または表示部 9307 に表示することができる。また、上部筐体 9301 と下部筐体 9302 とを接続するヒンジユニットを閉状態としたまま、表示部 9307 をスライドさせて画面全面を露出させ、画面角度を調節して使用者がテレビ放送を見ることが出来る。この場合には、ヒンジユニットを開状態として表示部 9303 を表示させず、さらにテレビ放送を表示するだけの回路の起動のみを行うため、最小限の消費電力とすることができ、バッテリー容量の限られている携帯型のコンピュータにおいて有用である。

20

【0303】

また、図 21 (B) は、腕時計のように使用者の腕に装着可能な形態を有している携帯電話の一例を示す斜視図である。

【0304】

この携帯電話は、少なくとも電話機能を有する通信装置及びバッテリーを有する本体、本体を腕に装着するためのバンド部 9204、腕に対するバンド部 9204 の固定状態を調節する調節部 9205、表示部 9201、スピーカ 9207、及びマイク 9208 から構成されている。

【0305】

また、本体は、操作スイッチ 9203 を有し、電源入力スイッチや、表示切り替えスイッチや、撮像開始指示スイッチの他、例えばスイッチを押すとインターネット用のプログラムが起動されるなど、各ファンクションに対応づけることができる。

30

【0306】

この携帯電話の入力操作は、表示部 9201 に指や入力ペンなどで触れること、又は操作スイッチ 9203 の操作、またはマイク 9208 への音声入力により行われる。なお、図 21 (B) では、表示部 9201 に表示された表示ボタン 9202 を図示しており、指などで触れることにより入力を行うことができる。

【0307】

また、本体は、撮影レンズを通して結像される被写体像を電子画像信号に変換する撮像手段を有するカメラ部 9206 を有する。なお、特にカメラ部は設けなくともよい。

40

【0308】

また、図 21 (B) に示す携帯電話は、テレビ放送の受信機などを備えた構成として、テレビ放送を受信して映像を表示部 9201 に表示することができ、さらにメモリなどの記憶装置などを備えた構成として、テレビ放送をメモリに録画できる。また、図 21 (B) に示す携帯電話は、GPS などの位置情報を収集できる機能を有していてもよい。

【0309】

表示部 9201 は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。図 21 (B) に示す携帯電話は、小型、且つ、軽量であるため、バッテリー容量が限られており、表示部 9201 に用いる表示装置は低消費電力で駆動できるパネルを用いることが好ましい。

50

【0310】

なお、図21(B)では”腕”に装着するタイプの電子機器を図示したが、特に限定されず、携行できる形状を有しているものであればよい。

【0311】

(実施の形態9)

本実施の形態では、半導体装置の一形態として、実施の形態1乃至6で示す薄膜トランジスタを有する表示装置の例を図22乃至図35を用いて説明する。本実施の形態は、表示素子として液晶素子を用いた液晶表示装置の例を図22乃至図35を用いて説明する。図22乃至図35の液晶表示装置に用いられるTFT628、629は、実施の形態1、2、5、6で示す薄膜トランジスタを適用することができ、実施の形態1乃至6で示す工程で同様に作製できる電気特性及び信頼性の高い薄膜トランジスタである。

10

【0312】

はじめにVA(Vertical Alignment)型の液晶表示装置について示す。VA型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

20

【0313】

図23及び図24は、それぞれ画素電極及び対向電極を示している。なお、図23は画素電極が形成される基板側の平面図であり、図中に示す切断線E-Fに対応する断面構造を図22に表している。また、図24は対向電極が形成される基板側の平面図である。以下の説明ではこれらの図を参照して説明する。

【0314】

図22は、TFT628とそれに接続する画素電極層624、及び保持容量部630が形成された基板600と、対向電極層640等が形成される対向基板601とが重ね合わせられ、液晶が注入された状態を示している。

【0315】

対向基板601には、着色膜636、対向電極層640が形成され、対向電極層640上に突起644が形成されている。画素電極層624上には配向膜648が形成され、同様に対向電極層640及び突起644上にも配向膜646が形成されている。基板600と対向基板601の間に液晶層650が形成されている。

30

【0316】

スペーサは、柱状スペーサを形成してもビーズスペーサを散布してもよい。スペーサが透光性の場合には、基板600上に形成される画素電極層624上に形成してもよい。

【0317】

基板600上には、TFT628とそれに接続する画素電極層624、及び保持容量部630が形成される。画素電極層624は、TFT628、配線616、及び保持容量部630を覆う絶縁膜620、絶縁膜620を覆う絶縁膜622をそれぞれ貫通するコンタクトホール623で、配線618と接続する。TFT628は実施の形態1乃至6で示す薄膜トランジスタを適宜用いることができる。また、保持容量部630は、TFT628のゲート配線602と同時に形成した第1の容量配線604と、ゲート絶縁層606と、配線618と同時に形成した第2の容量配線617で構成される。

40

【0318】

画素電極層624と液晶層650と対向電極層640が重なり合うことで、液晶素子が形成されている。

【0319】

図23に基板600上の構造を示す。画素電極層624は実施の形態1で示した材料を用いて形成する。画素電極層624にはスリット625を設ける。スリット625は液晶の

50

配向を制御するためのものである。

【0320】

図23に示すTF T 629とそれに接続する画素電極層626及び保持容量部631は、それぞれTF T 628、画素電極層624及び保持容量部630と同様に形成することができる。TF T 628とTF T 629は共に配線616と接続している。この液晶表示パネルの画素（ピクセル）は、画素電極層624と画素電極層626により構成されている。画素電極層624と画素電極層626はサブピクセルである。

【0321】

図24に対向基板側の平面構造を示す。遮光膜632上に対向電極層640が形成されている。対向電極層640は、画素電極層624と同様の材料を用いて形成することが好ましい。対向電極層640上には液晶の配向を制御する突起644が形成されている。なお、図24に基板600上に形成される画素電極層624及び画素電極層626を破線で示し、対向電極層640と、画素電極層624及び画素電極層626が重なり合っ

10

【0322】

この画素構造の等価回路を図25に示す。TF T 628とTF T 629は、共にゲート配線602、配線616と接続している。この場合、容量配線604と容量配線605の電位を異ならせることで、液晶素子651と液晶素子652の動作を異ならせることができる。すなわち、容量配線604と容量配線605の電位を個別に制御することにより液晶の配向を精密に制御して視野角を広げている。

20

【0323】

スリット625を設けた画素電極層624に電圧を印加すると、スリット625の近傍には電界の歪み（斜め電界）が発生する。このスリット625と、対向基板601側の突起644とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することで、液晶が配向する方向を場所によって異ならせている。すなわち、マルチドメイン化して液晶表示パネルの視野角を広げている。

【0324】

次に、上記とは異なるVA型の液晶表示装置について、図26乃至図29を用いて説明する。

【0325】

図26と図27は、VA型液晶表示パネルの画素構造を示している。図27は基板600の平面図であり、図中に示す切断線Y-Zに対応する断面構造を図26に表している。

30

【0326】

この画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極にTF Tが接続されている。各TF Tは、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

【0327】

画素電極層624は、絶縁膜620、及び絶縁膜622をそれぞれ貫通するコンタクトホール623において、配線618でTF T 628と接続している。また、画素電極層626は、絶縁膜620、及び絶縁膜622をそれぞれ貫通するコンタクトホール627において、配線619でTF T 629と接続している。TF T 628のゲート配線602と、TF T 629のゲート配線603には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能する配線616は、TF T 628とTF T 629で共通に用いられている。TF T 628とTF T 629は実施の形態1乃至6で示す薄膜トランジスタを適宜用いることができる。なお、ゲート配線602、ゲート配線603上にはゲート絶縁層606が形成されている。

40

【0328】

画素電極層624と画素電極層626の形状は異なっており、スリット625によって分離されている。V字型に広がる画素電極層624の外側を囲むように画素電極層626が

50

形成されている。画素電極層 6 2 4 と画素電極層 6 2 6 に印加する電圧を、T F T 6 2 8 及び T F T 6 2 9 により異ならせることで、液晶の配向を制御している。この画素構造の等価回路を図 2 9 に示す。T F T 6 2 8 はゲート配線 6 0 2 と接続し、T F T 6 2 9 はゲート配線 6 0 3 と接続している。また、T F T 6 2 8 と T F T 6 2 9 は、共に配線 6 1 6 と接続し、容量を介して容量配線 6 6 0 に接続している。ゲート配線 6 0 2 とゲート配線 6 0 3 に異なるゲート信号を与えることで、液晶素子 6 5 1 と液晶素子 6 5 2 の動作を異ならせることができる。すなわち、T F T 6 2 8 と T F T 6 2 9 の動作を個別に制御することにより、液晶の配向を精密に制御して視野角を広げることができる。

【0329】

対向基板 6 0 1 には、着色膜 6 3 6、対向電極層 6 4 0 が形成されている。また、着色膜 6 3 6 と対向電極層 6 4 0 の間には平坦化膜 6 3 7 が形成され、液晶の配向乱れを防いでいる。図 2 8 に対向基板側の構造を示す。対向電極層 6 4 0 は異なる画素間で共通化されている電極であるが、スリット 6 4 1 が形成されている。このスリット 6 4 1 と、画素電極層 6 2 4 及び画素電極層 6 2 6 側のスリット 6 2 5 とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することができる。これにより、液晶が配向する方向を場所によって異ならせることができ、視野角を広げている。なお、図 2 8 に基板 6 0 0 上に形成される画素電極層 6 2 4 及び画素電極層 6 2 6 を破線で示し、対向電極層 6 4 0 と、画素電極層 6 2 4 及び画素電極層 6 2 6 が重なり合って配置されている様子を示している。

10

【0330】

画素電極層 6 2 4 及び画素電極層 6 2 6 上には配向膜 6 4 8 が形成され、同様に対向電極層 6 4 0 上にも配向膜 6 4 6 が形成されている。基板 6 0 0 と対向基板 6 0 1 の間に液晶層 6 5 0 が形成されている。また、画素電極層 6 2 4 と液晶層 6 5 0 と対向電極層 6 4 0 が重なり合うことで、第 1 の液晶素子が形成されている。また、画素電極層 6 2 6 と液晶層 6 5 0 と対向電極層 6 4 0 が重なり合うことで、第 2 の液晶素子が形成されている。図 3 0 乃至図 3 3 で説明する表示パネルの画素構造は、一画素に第 1 の液晶素子と第 2 の液晶素子が設けられたマルチドメイン構造となっている。

20

【0331】

次に、横電界方式の液晶表示装置について示す。横電界方式は、セル内の液晶分子に対して水平方向に電界を加えることで液晶を駆動して階調表現する方式である。この方式によれば、視野角を約 1 8 0 度にまで広げることができる。以下の説明では、横電界方式を採用する液晶表示装置について説明する。

30

【0332】

図 3 0 は、電極層 6 0 7、T F T 6 2 8、T F T 6 2 8 に接続する画素電極層 6 2 4 が形成された基板 6 0 0 と、対向基板 6 0 1 を重ね合わせ、液晶を注入した状態を示している。対向基板 6 0 1 には、着色膜 6 3 6、平坦化膜 6 3 7 などが形成されている。なお、対向基板 6 0 1 側に対向電極層は設けられていない。また、基板 6 0 0 と対向基板 6 0 1 の間に、配向膜 6 4 6 及び配向膜 6 4 8 を介して液晶層 6 5 0 が形成されている。

【0333】

基板 6 0 0 上には、電極層 6 0 7 及び電極層 6 0 7 に接続する容量配線 6 0 4、並びに T F T 6 2 8 が形成される。容量配線 6 0 4 は T F T 6 2 8 のゲート配線 6 0 2 と同時に形成することができる。T F T 6 2 8 としては、実施の形態 1 乃至 6 で示した薄膜トランジスタを適用することができる。電極層 6 0 7 は、実施の形態 1 乃至 6 で示す画素電極層と同様の材料を用いることができる。また、電極層 6 0 7 は略画素の形状に区画化した形状で形成する。なお、電極層 6 0 7 及び容量配線 6 0 4 上にはゲート絶縁層 6 0 6 が形成される。

40

【0334】

T F T 6 2 8 の配線 6 1 6、配線 6 1 8 がゲート絶縁層 6 0 6 上に形成される。配線 6 1 6 は液晶表示パネルにおいてビデオ信号をのせるデータ線であり一方向に伸びる配線であると同時に、T F T 6 2 8 のソース領域又はドレイン領域と接続し、ソース及びドレイン

50

の一方の電極となる。配線 6 1 8 はソース及びドレインの他方の電極となり、画素電極層 6 2 4 と接続する配線である。

【 0 3 3 5 】

配線 6 1 6、配線 6 1 8 上に絶縁膜 6 2 0 が形成される。また、絶縁膜 6 2 0 上には、絶縁膜 6 2 0 に形成されるコンタクトホール 6 2 3 を介して、配線 6 1 8 に接続する画素電極層 6 2 4 が形成される。画素電極層 6 2 4 は実施の形態 1 乃至 6 で示した画素電極と同様の材料を用いて形成する。

【 0 3 3 6 】

このようにして、基板 6 0 0 上に T F T 6 2 8 とそれに接続する画素電極層 6 2 4 が形成される。なお、保持容量は電極層 6 0 7 と画素電極層 6 2 4 の間で形成している。

10

【 0 3 3 7 】

図 3 1 は、画素電極の構成を示す平面図である。図 3 1 に示す切断線 O - P に対応する断面構造を図 3 0 に表している。画素電極層 6 2 4 にはスリット 6 2 5 が設けられる。スリット 6 2 5 は液晶の配向を制御するためのものである。この場合、電界は電極層 6 0 7 と画素電極層 6 2 4 の間で発生する。電極層 6 0 7 と画素電極層 6 2 4 の間にはゲート絶縁層 6 0 6 が形成されているが、ゲート絶縁層 6 0 6 の厚さは 5 0 ~ 2 0 0 n m であり、2 ~ 1 0 μ m である液晶層の厚さと比較して十分薄いので、実質的に基板 6 0 0 と平行な方向（水平方向）に電界が発生する。この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。また、電極層 6 0 7 と画素電極層 6 2 4 は共に透光性の電極であるので、開口率を向上させることができる。

20

【 0 3 3 8 】

次に、横電界方式の液晶表示装置の他の一例について示す。

【 0 3 3 9 】

図 3 2 と図 3 3 は、I P S 型の液晶表示装置の画素構造を示している。図 3 3 は平面図であり、図中に示す切断線 V - W に対応する断面構造を図 3 2 に表している。以下の説明ではこの両図を参照して説明する。

【 0 3 4 0 】

図 3 2 は、T F T 6 2 8 とそれに接続する画素電極層 6 2 4 が形成された基板 6 0 0 と、対向基板 6 0 1 を重ね合わせ、液晶を注入した状態を示している。対向基板 6 0 1 には、着色膜 6 3 6、平坦化膜 6 3 7 などが形成されている。なお、対向基板 6 0 1 側に対向電極層は設けられていない。基板 6 0 0 と対向基板 6 0 1 の間に、配向膜 6 4 6 及び配向膜 6 4 8 を介して液晶層 6 5 0 が形成されている。

30

【 0 3 4 1 】

基板 6 0 0 上には、共通電位線 6 0 9、及び T F T 6 2 8 が形成される。共通電位線 6 0 9 は T F T 6 2 8 のゲート配線 6 0 2 と同時に形成することができる。T F T 6 2 8 としては、実施の形態 1 乃至 6 で示した薄膜トランジスタを適用することができる。

【 0 3 4 2 】

T F T 6 2 8 の配線 6 1 6、配線 6 1 8 がゲート絶縁層 6 0 6 上に形成される。配線 6 1 6 は液晶表示パネルにおいてビデオ信号をのせるデータ線であり一方向に伸びる配線であると同時に、T F T 6 2 8 のソース領域又はドレイン領域と接続し、ソース及びドレインの一方の電極となる。配線 6 1 8 はソース及びドレインの他方の電極となり、画素電極層 6 2 4 と接続する配線である。

40

【 0 3 4 3 】

配線 6 1 6、配線 6 1 8 上に絶縁膜 6 2 0 及び絶縁膜 6 2 1 が形成される。また、絶縁膜 6 2 0 上には、絶縁膜 6 2 0 に形成されるコンタクトホール 6 2 3 を介して、配線 6 1 8 に接続する画素電極層 6 2 4 が形成される。画素電極層 6 2 4 は実施の形態 1 乃至 6 で示した画素電極と同様の材料を用いて形成する。なお、図 3 3 に示すように、画素電極層 6 2 4 は、共通電位線 6 0 9 と同時に形成した櫛形の電極と横電界が発生するように形成さ

50

れる。また、画素電極層 6 2 4 の櫛歯の部分が共通電位線 6 0 9 と同時に形成した櫛形の電極と交互に咬み合うように形成される。

【0344】

画素電極層 6 2 4 に印加される電位と共通電位線 6 0 9 の電位との間に電界が生じると、この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。

【0345】

このようにして、基板 6 0 0 上に T F T 6 2 8 とそれに接続する画素電極層 6 2 4 が形成される。保持容量は共通電位線 6 0 9 と容量電極 6 1 5 の間にゲート絶縁層 6 0 6 を設け、それにより形成している。容量電極 6 1 5 と画素電極層 6 2 4 はコンタクトホール 6 3 3 を介して接続されている。

10

【0346】

次に、T N 型の液晶表示装置の形態について示す。

【0347】

図 3 4 と図 3 5 は、T N 型の液晶表示装置の画素構造を示している。図 3 5 は平面図であり、図中に示す切断線 K - L に対応する断面構造を図 3 4 に表している。以下の説明ではこの両図を参照して説明する。

【0348】

画素電極層 6 2 4 は、第 2 のゲート絶縁層 6 0 6 b に形成されるコンタクトホール 6 2 3 及び配線 6 1 8 を介して T F T 6 2 8 と接続している。データ線として機能する配線 6 1 6 は、T F T 6 2 8 と接続している。T F T 6 2 8 は実施の形態 1 乃至 6 に示す T F T のいずれかを適用することができる。

20

【0349】

画素電極層 6 2 4 は、実施の形態 1 乃至 6 で示す画素電極を用いて形成されている。容量配線 6 0 4 は T F T 6 2 8 のゲート配線 6 0 2 と同時に形成することができる。ゲート配線 6 0 2 及び容量配線 6 0 4 上には第 1 のゲート絶縁層 6 0 6 a、第 2 のゲート絶縁層 6 0 6 b が形成される。保持容量は、容量配線 6 0 4 と容量電極 6 1 5 の間に第 1 のゲート絶縁層 6 0 6 a、第 2 のゲート絶縁層 6 0 6 b を介して形成している。容量電極 6 1 5 と画素電極層 6 2 4 はコンタクトホール 6 2 3 を介して接続されている。

30

【0350】

対向基板 6 0 1 には、着色膜 6 3 6、対向電極層 6 4 0 が形成されている。また、着色膜 6 3 6 と対向電極層 6 4 0 の間には平坦化膜 6 3 7 が形成され、液晶の配向乱れを防いでいる。液晶層 6 5 0 は画素電極層 6 2 4 と対向電極層 6 4 0 の間に配向膜 6 4 8 及び配向膜 6 4 6 を介して形成されている。

【0351】

画素電極層 6 2 4 と液晶層 6 5 0 と対向電極層 6 4 0 が重なり合うことで、液晶素子が形成されている。

【0352】

また、着色膜 6 3 6 は、基板 6 0 0 側に形成されていても良い。また、基板 6 0 0 の薄膜トランジスタが形成されている面とは逆の面に偏光板を貼り合わせ、また対向基板 6 0 1 の対向電極層 6 4 0 が形成されている面とは逆の面に、偏光板を貼り合わせておく。

40

【0353】

以上の工程により、表示装置として液晶表示装置を作製することができる。

【符号の説明】

【0354】

- 1 0 パルス出力回路
- 1 1 配線
- 1 2 配線
- 1 3 配線

50

1 4	配線	
1 5	配線	
2 1	入力端子	
2 2	入力端子	
2 3	入力端子	
2 4	入力端子	
2 5	入力端子	
2 6	出力端子	
2 7	出力端子	
2 8	薄膜トランジスタ	10
3 1	トランジスタ	
3 2	トランジスタ	
3 3	トランジスタ	
3 4	トランジスタ	
3 5	トランジスタ	
3 6	トランジスタ	
3 7	トランジスタ	
3 8	トランジスタ	
3 9	トランジスタ	
4 0	トランジスタ	20
4 1	トランジスタ	
4 2	トランジスタ	
4 3	トランジスタ	
5 1	電源線	
5 2	電源線	
5 3	電源線	
8 3	透光性基板	
8 4	遮光部	
8 5	回折格子	
8 6	光透過率	30
8 7	半透過部	
8 8	遮光部	
8 9	光透過率	
1 0 0	基板	
1 0 1	電極	
1 0 2	ゲート絶縁層	
1 0 3	酸化物半導体層	
1 0 7	酸化物絶縁層	
1 0 8	容量配線層	
1 0 9	平坦化絶縁層	40
1 1 0	画素電極層	
1 1 1	導電層	
1 1 6	チャネル形成領域	
1 1 8	コンタクトホール	
1 1 9	コンタクトホール	
1 2 0	酸化物半導体層	
1 2 1	端子	
1 2 2	端子	
1 2 5	コンタクトホール	
1 2 6	コンタクトホール	50

1 2 7	コンタクトホール	
1 2 8	端子電極	
1 2 9	端子電極	
1 3 0	酸化物半導体層	
1 3 1	酸化物半導体層	
1 3 3	酸化物半導体層	
1 3 4	酸化物半導体層	
1 3 7	金属導電層	
1 3 9	酸化物導電層	
1 4 0	酸化物導電層	10
1 4 5	配線層	
1 4 5	容量	
1 4 6	容量	
1 4 7	容量	
1 4 8	容量	
1 5 0	端子	
1 5 1	端子	
1 5 2	ゲート絶縁層	
1 5 3	接続電極	
1 5 4	保護絶縁層	20
1 5 5	導電膜	
1 5 6	電極	
1 5 7	酸化物半導体層	
1 5 8	酸化物半導体層	
1 6 1	ゲート電極層	
1 6 2	導電層	
1 6 2	配線層	
1 6 3	酸化物半導体層	
1 6 6	チャネル形成領域	
1 6 8	酸化物半導体層	30
1 7 0	薄膜トランジスタ	
1 7 1	薄膜トランジスタ	
1 7 3	薄膜トランジスタ	
1 7 5	酸化物導電層	
1 7 7	酸化物導電層	
1 8 0	薄膜トランジスタ	
1 8 1	薄膜トランジスタ	
1 8 3	薄膜トランジスタ	
1 8 5	金属導電層	
1 9 0	基板	40
1 9 0	対向基板	
1 9 1	絶縁層	
1 9 2	液晶層	
1 9 3	絶縁層	
1 9 4	対向電極層	
1 9 5	着色層	
2 0 2	ゲート絶縁層	
2 0 3	保護絶縁層	
2 0 5	共通電位線	
2 0 6	共通電極層	50

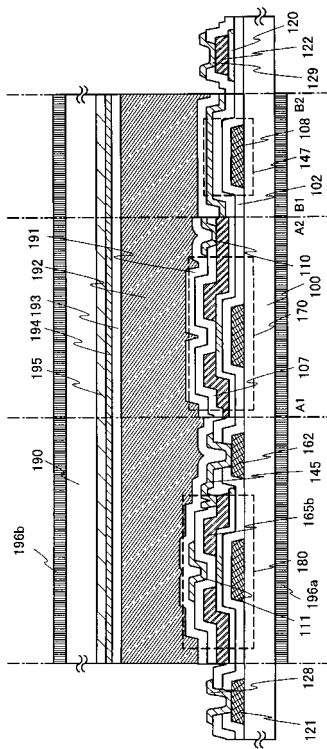
2 1 0	酸化物半導体層	
2 2 0	薄膜トランジスタ	
2 2 7	画素電極層	
4 0 2	ゲート絶縁層	
6 0 0	基板	
6 0 1	対向基板	
6 0 2	ゲート配線	
6 0 3	ゲート配線	
6 0 4	容量配線	
6 0 5	容量配線	10
6 0 6	ゲート絶縁層	
6 0 7	電極層	
6 0 9	共通電位線	
6 1 5	容量電極	
6 1 6	配線	
6 1 7	配線	
6 1 8	配線	
6 1 9	配線	
6 2 0	絶縁膜	
6 2 1	絶縁膜	20
6 2 2	絶縁膜	
6 2 3	コンタクトホール	
6 2 4	画素電極層	
6 2 5	スリット	
6 2 6	画素電極層	
6 2 7	コンタクトホール	
6 2 8	T F T	
6 2 9	T F T	
6 3 0	保持容量部	
6 3 0	容量配線	30
6 3 1	保持容量部	
6 3 2	遮光膜	
6 3 3	コンタクトホール	
6 3 6	着色膜	
6 3 7	平坦化膜	
6 4 0	対向電極層	
6 4 1	スリット	
6 4 4	突起	
6 4 6	配向膜	
6 4 8	配向膜	40
6 5 0	液晶層	
6 5 1	液晶素子	
6 5 2	液晶素子	
6 6 0	容量配線	
8 1 a	グレートーンマスク	
8 1 b	ハーフトーンマスク	
1 0 4 a	酸化物導電層	
1 0 4 b	酸化物導電層	
1 0 5 a	ソース電極層	
1 0 5 b	ドレイン電極層	50

1 1 7 a	高抵抗ソース領域	
1 1 7 b	高抵抗ドレイン領域	
1 3 5 a	レジストマスク	
1 3 5 b	レジストマスク	
1 3 6 a	レジストマスク	
1 3 6 c	レジストマスク	
1 6 4 a	酸化物導電層	
1 6 4 b	酸化物導電層	
1 6 5 a	ソース電極層	
1 6 5 b	ドレイン電極層	10
1 6 7 a	高抵抗ソース領域	
1 6 7 b	高抵抗ドレイン領域	
1 9 6 a	偏光板	
2 6 0 0	T F T 基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	
2 6 0 3	画素部	
2 6 0 4	表示素子	
2 6 0 5	着色層	
2 6 0 6	偏光板	20
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	
2 6 1 3	拡散板	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	30
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	40
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	50

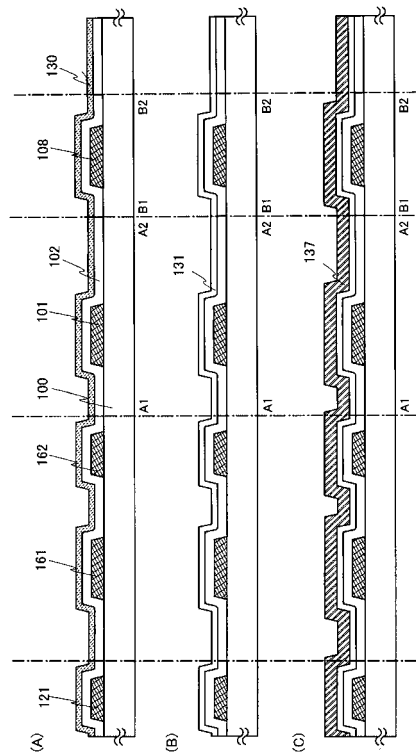
4 0 2 0	保護絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 4 0	導電層	
5 3 0 0	基板上	
5 3 0 0	基板	
5 3 0 1	画素部	
5 3 0 2	走査線駆動回路	10
5 3 0 3	走査線駆動回路	
5 3 0 4	信号線駆動回路	
5 3 0 5	タイミング制御回路	
5 6 0 1	シフトレジスタ	
5 6 0 2	スイッチング回路	
5 6 0 3	薄膜トランジスタ	
5 6 0 4	配線	
5 6 0 5	配線	
6 0 6 a	ゲート絶縁層	
6 0 6 b	ゲート絶縁層	20
9 2 0 1	表示部	
9 2 0 2	表示ボタン	
9 2 0 3	操作スイッチ	
9 2 0 5	調節部	
9 2 0 6	カメラ部	
9 2 0 7	スピーカ	
9 2 0 8	マイク	
9 3 0 1	上部筐体	
9 3 0 2	下部筐体	
9 3 0 3	表示部	30
9 3 0 4	キーボード	
9 3 0 5	外部接続ポート	
9 3 0 6	ポインティングデバイス	
9 3 0 7	表示部	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	40
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	
9 8 8 1	筐体	
9 8 8 2	表示部	
9 8 8 3	表示部	
9 8 8 4	スピーカ部	
9 8 8 5	操作キー	
9 8 8 6	記録媒体挿入部	50

- 9 8 8 7 接続端子
- 9 8 8 8 センサ
- 9 8 8 9 マイクロフォン
- 9 8 9 0 LEDランプ
- 9 8 9 1 筐体
- 9 8 9 3 連結部
- 9 9 0 0 スロットマシン
- 9 9 0 1 筐体
- 9 9 0 3 表示部

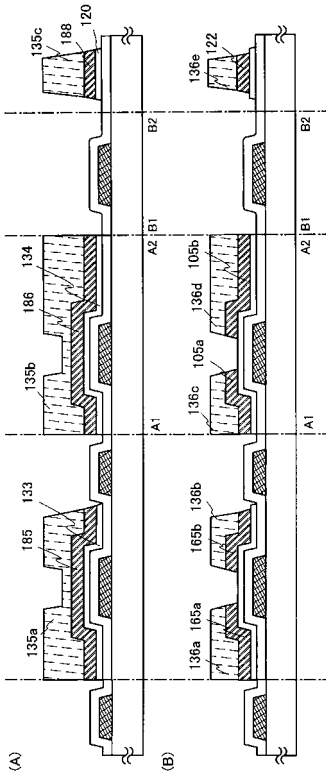
【 図 1 】



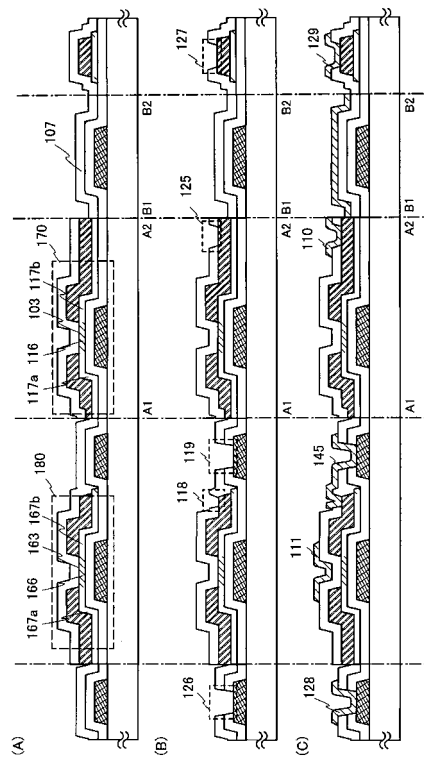
【 図 2 】



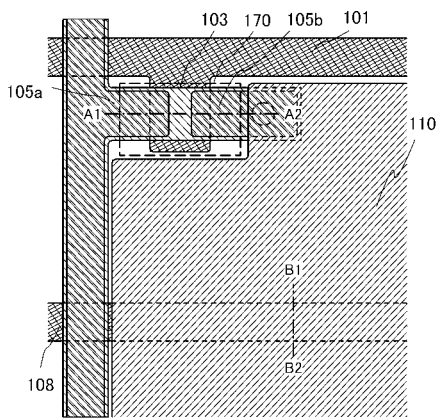
【 図 3 】



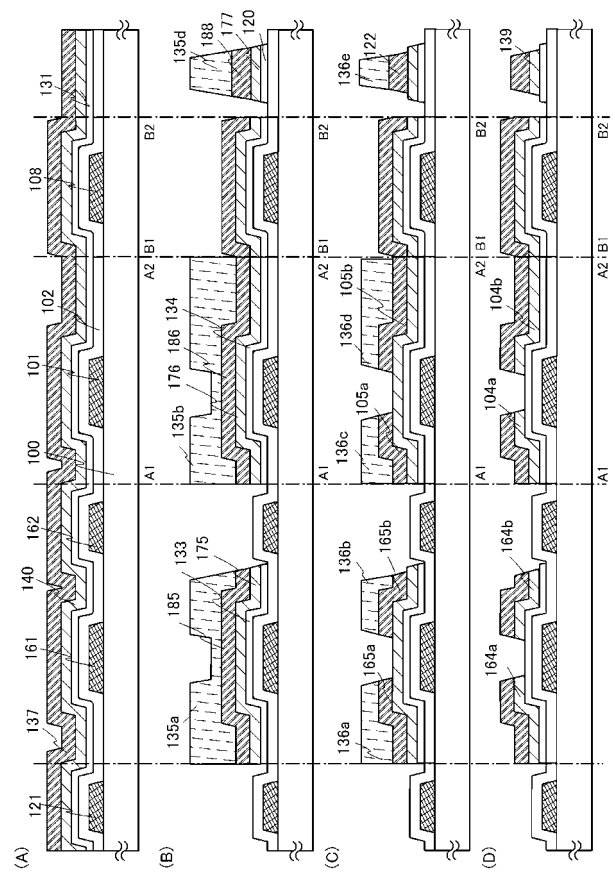
【 図 4 】



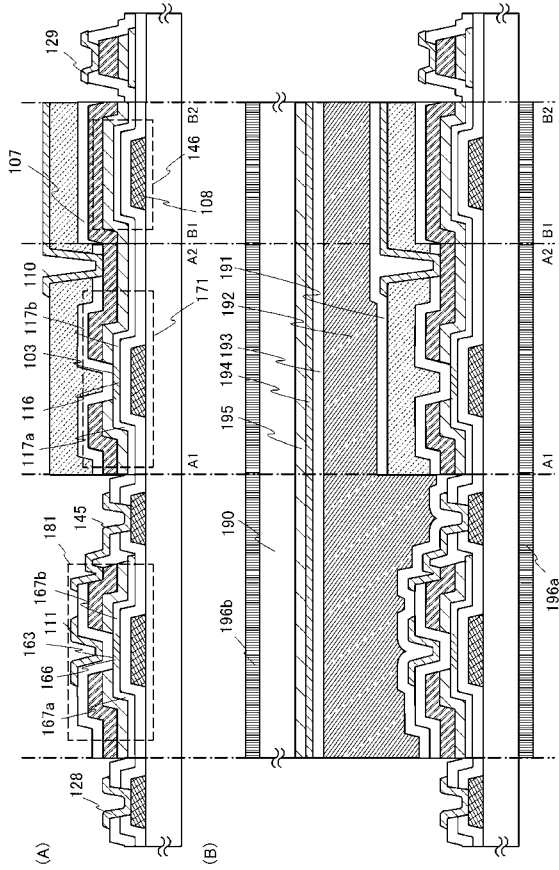
【 図 5 】



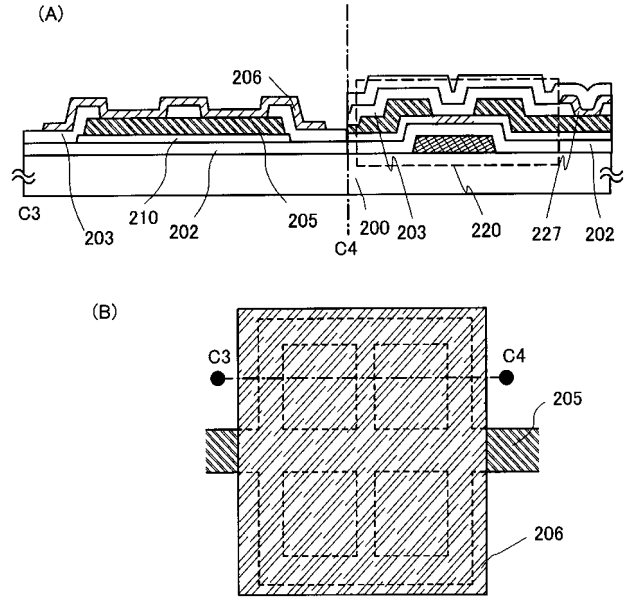
【 図 6 】



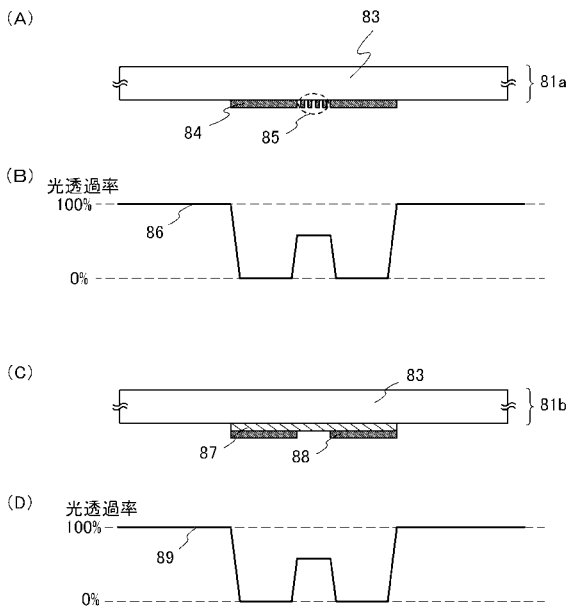
【 図 7 】



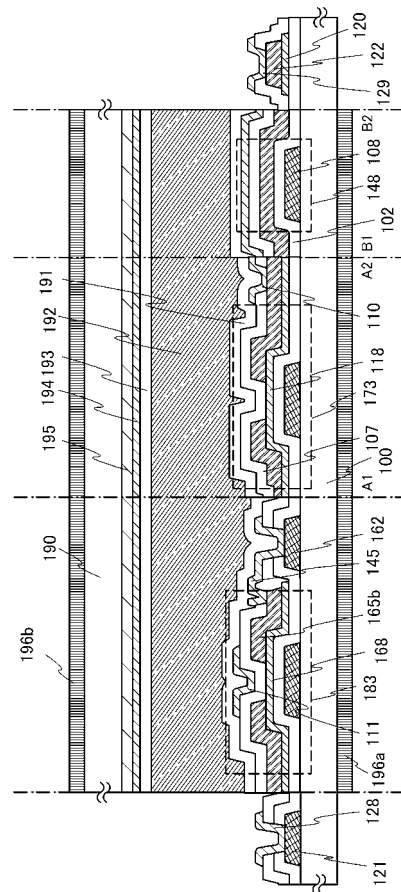
【 図 8 】



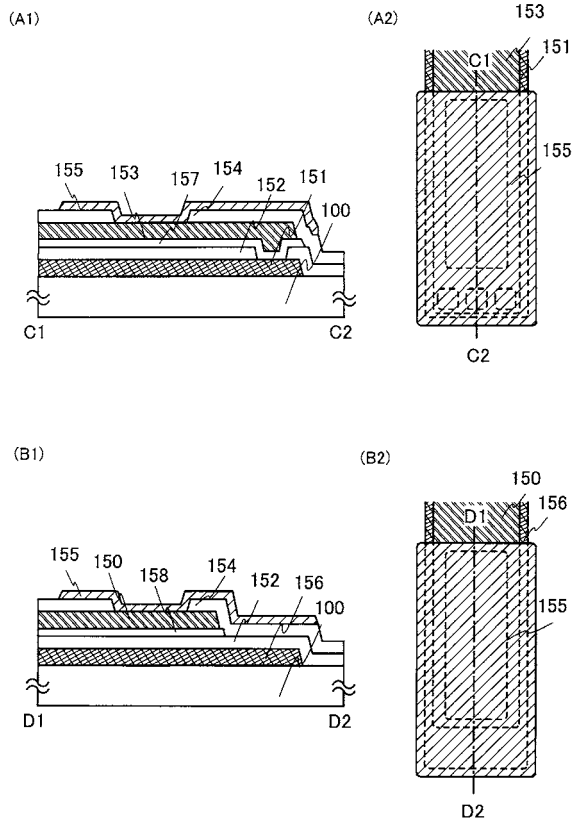
【 図 9 】



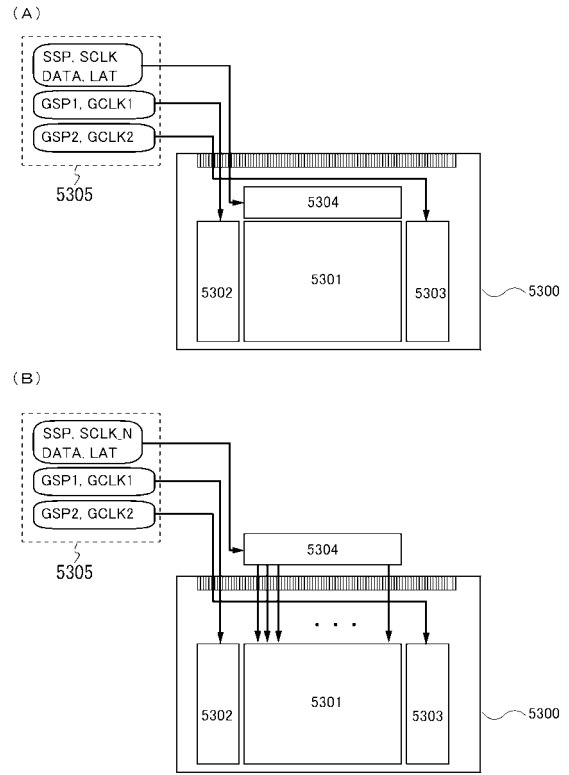
【 図 10 】



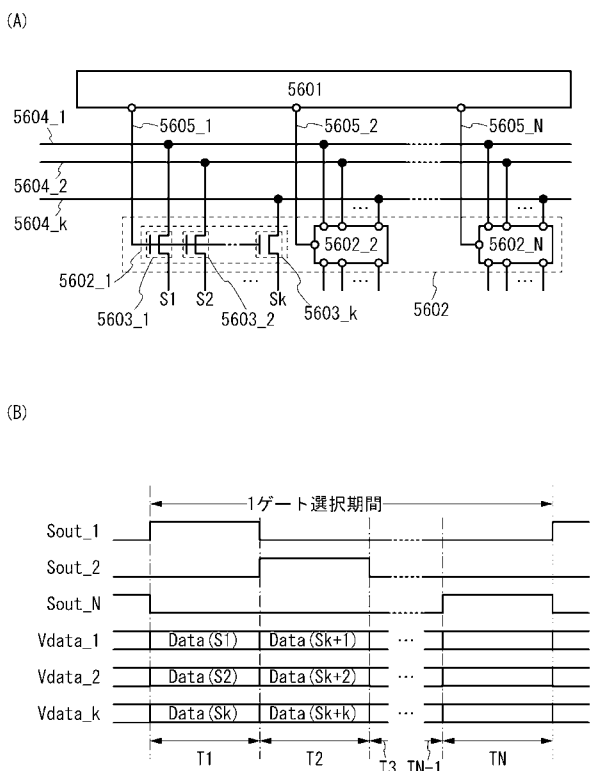
【図 1 1】



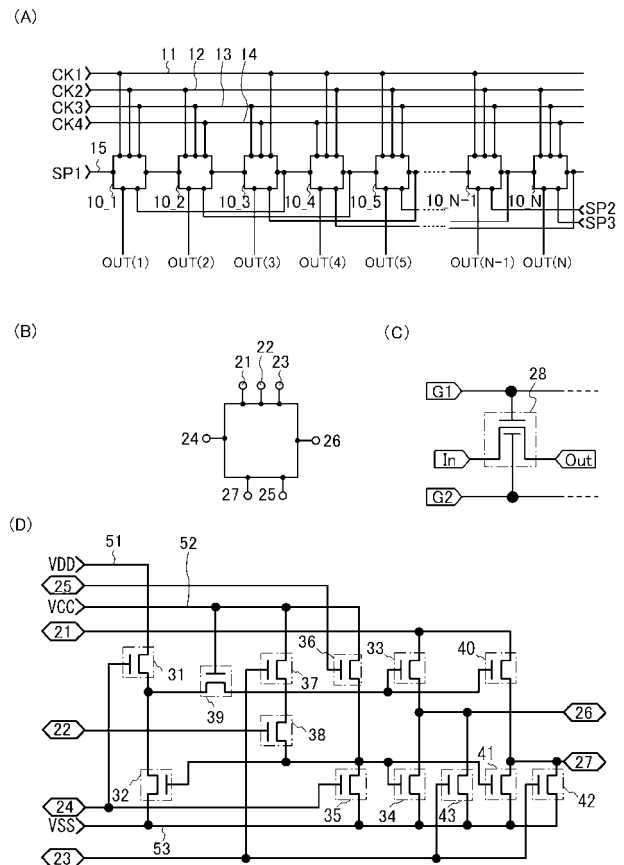
【図 1 2】



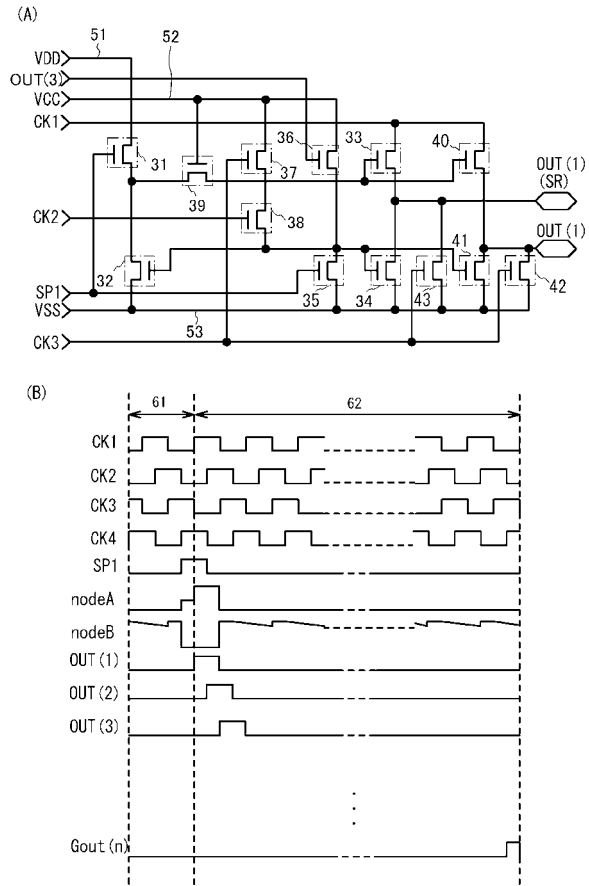
【図 1 3】



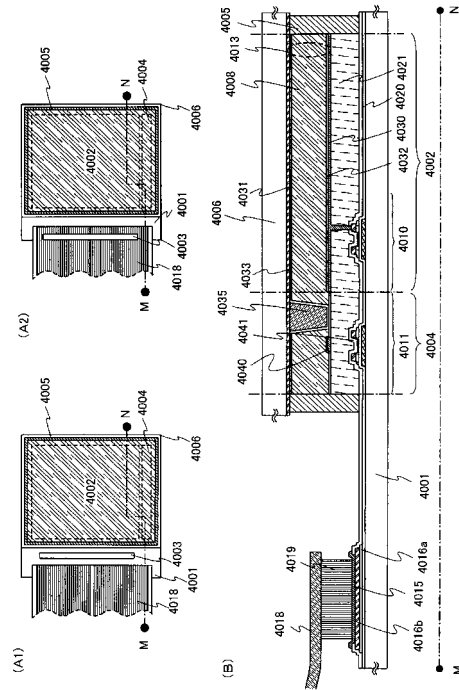
【図 1 4】



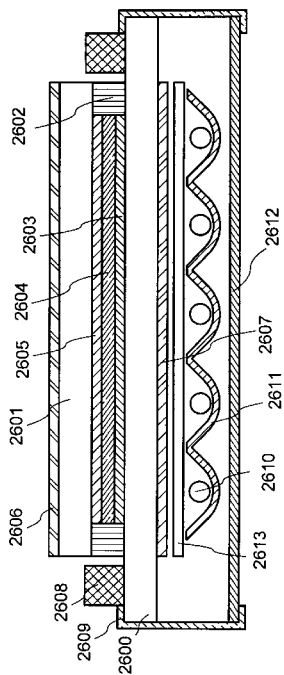
【 図 1 5 】



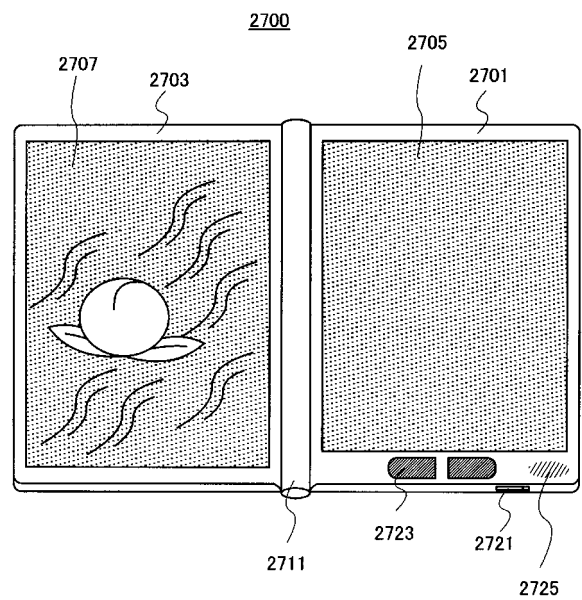
【 図 1 6 】



【 図 1 7 】

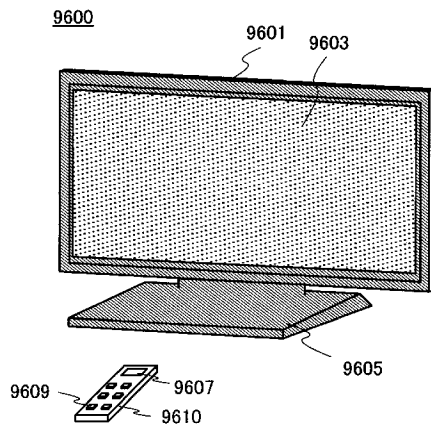


【 図 1 8 】

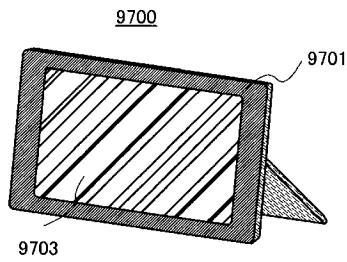


【 図 1 9 】

(A)

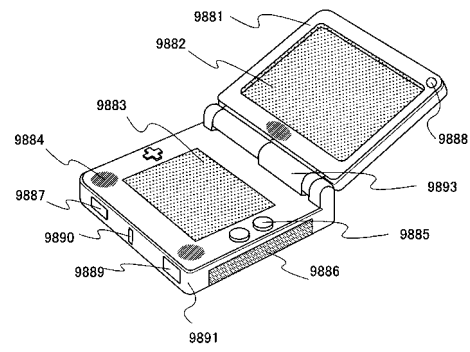


(B)

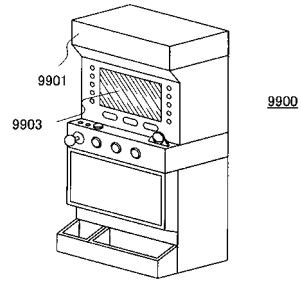


【 図 2 0 】

(A)

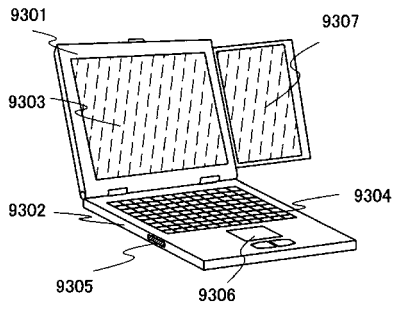


(B)

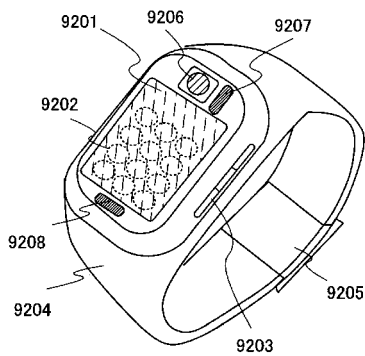


【 図 2 1 】

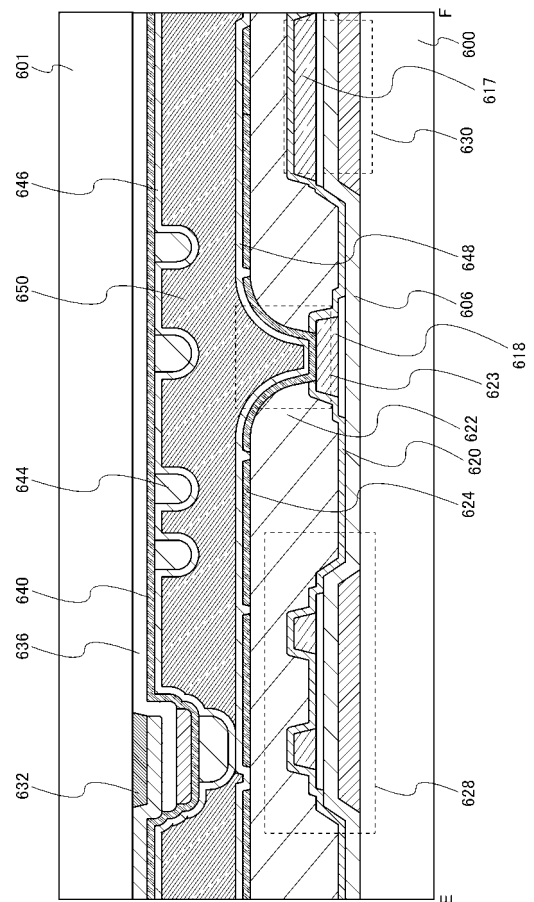
(A)



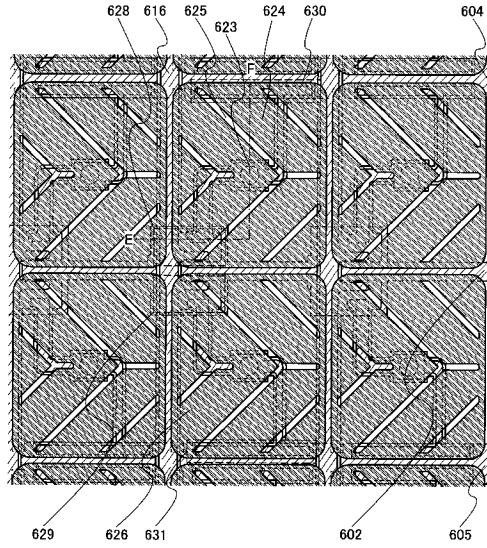
(B)



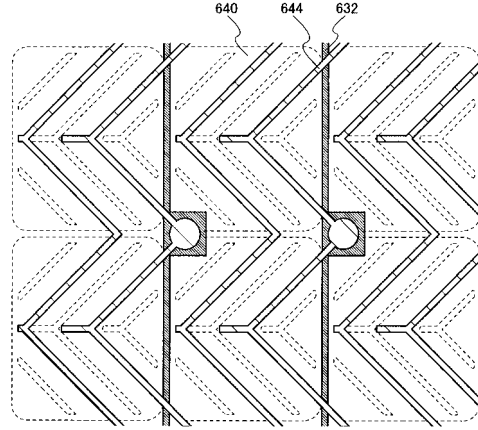
【 図 2 2 】



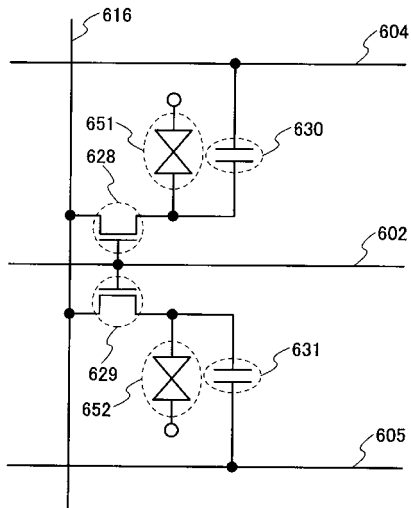
【 図 2 3 】



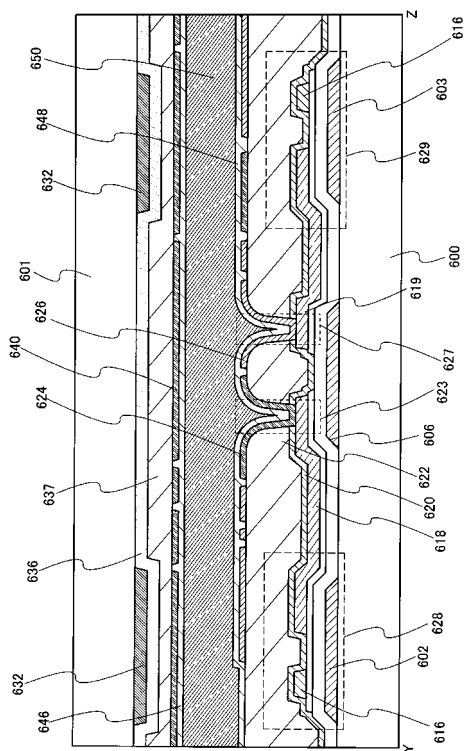
【 図 2 4 】



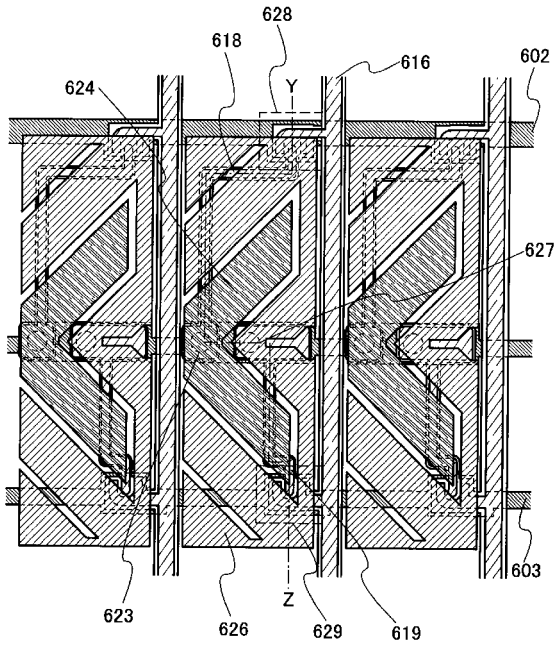
【 図 2 5 】



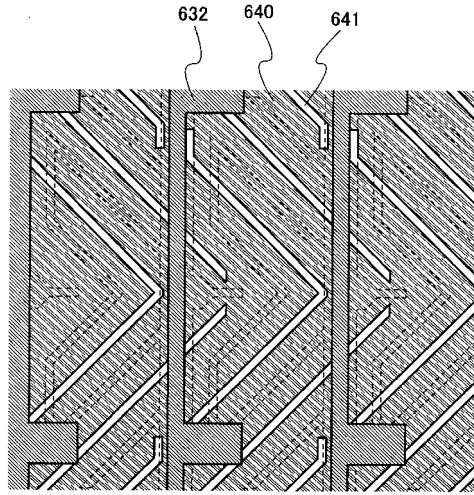
【 図 2 6 】



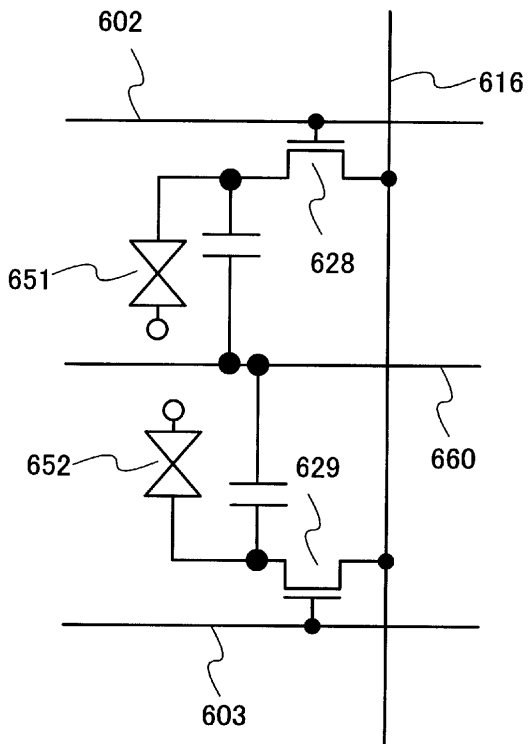
【図 27】



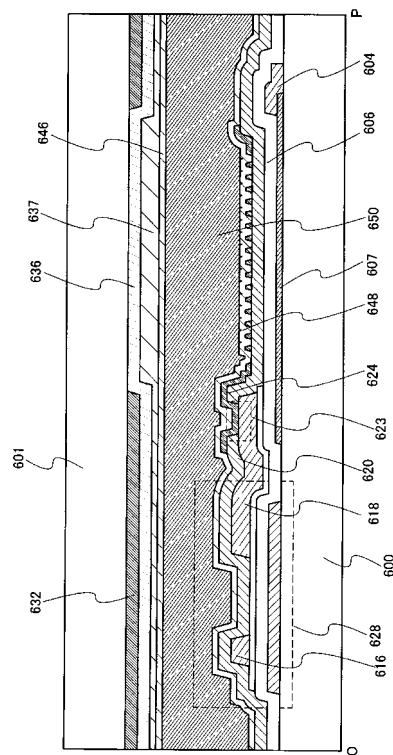
【図 28】



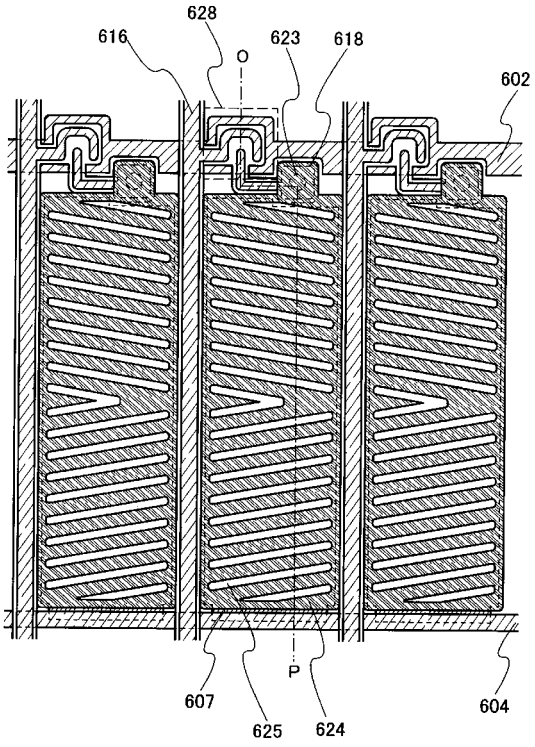
【図 29】



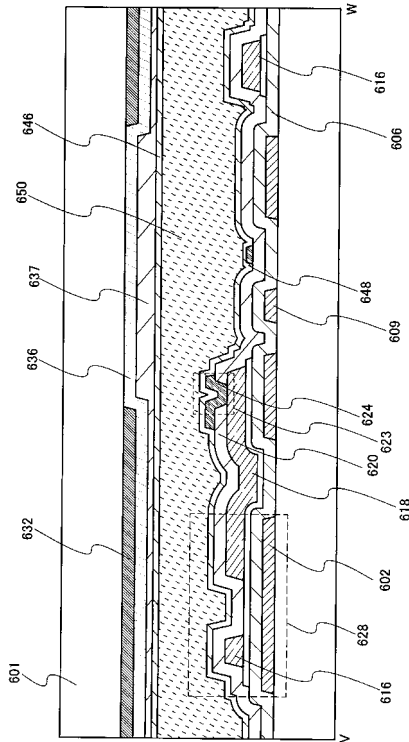
【図 30】



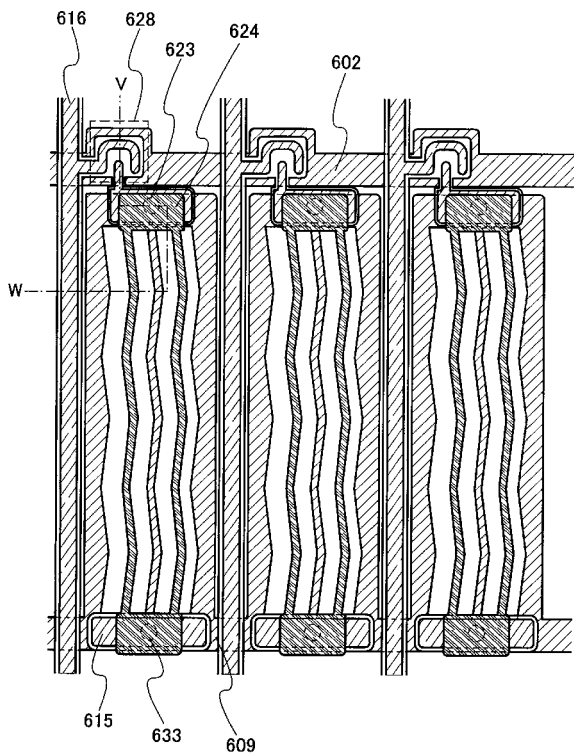
【 図 3 1 】



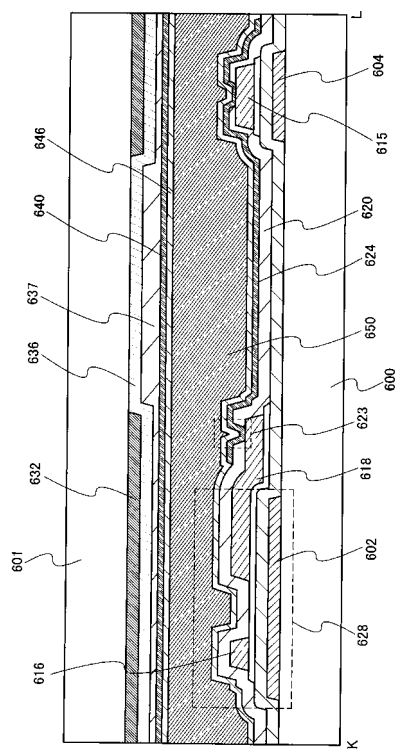
【 図 3 2 】



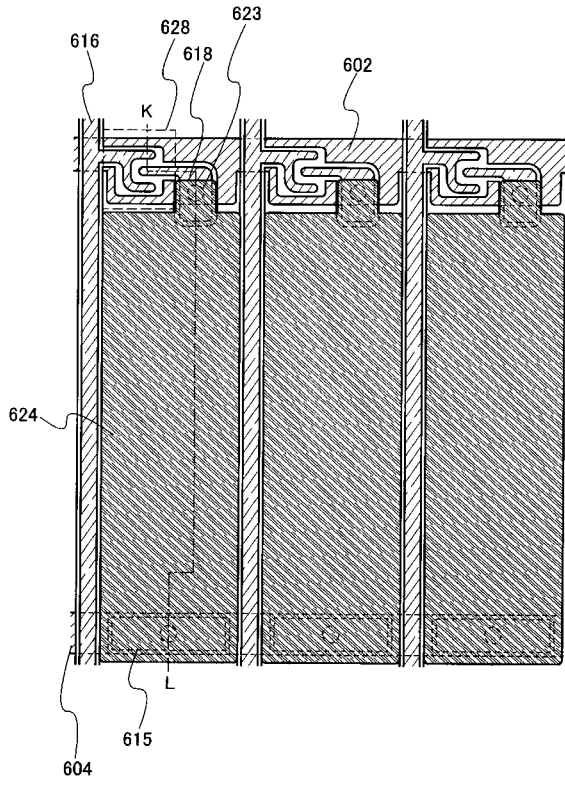
【 図 3 3 】



【 図 3 4 】



【 図 3 5 】



フロントページの続き

(72)発明者 岡崎 健一

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 丸山 穂高

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

Fターム(参考) 2H192 AA24 BA25 BB02 BB13 BB53 BC24 BC31 CB05 CB37 CB45
CC22 CC24 CC42 DA12 EA43 FA65 FA73 FB03 FB05 FB15
FB27 FB33 GD14 HA44 JA06 JA13 JA33
5F110 AA01 AA03 AA06 AA08 AA13 AA16 BB02 CC07 DD01 DD02
DD03 DD04 DD07 DD13 DD14 DD15 DD17 EE01 EE02 EE03
EE04 EE06 EE14 EE15 EE23 EE30 FF01 FF02 FF03 FF04
FF09 FF28 FF30 GG01 GG13 GG14 GG25 GG28 GG35 GG43
GG57 GG58 HK01 HK02 HK03 HK04 HK06 HK21 HK22 HK32
HK33 HL01 HL07 HL09 HL22 HL23 HM04 HM12 NN03 NN04
NN22 NN23 NN24 NN25 NN27 NN33 NN34 NN36 NN40 NN73
PP10 PP13 PP35 QQ02 QQ04 QQ05 QQ09 QQ11