

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4558701号
(P4558701)

(45) 発行日 平成22年10月6日(2010.10.6)

(24) 登録日 平成22年7月30日(2010.7.30)

(51) Int. Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 505
G09G 3/20 (2006.01)	G09G 3/20 623B
	G09G 3/20 621F
	G09G 3/20 612K
請求項の数 62 外国語出願 (全 40 頁) 最終頁に続く	

(21) 出願番号 特願2006-304381 (P2006-304381)
 (22) 出願日 平成18年11月9日(2006.11.9)
 (65) 公開番号 特開2008-46578 (P2008-46578A)
 (43) 公開日 平成20年2月28日(2008.2.28)
 審査請求日 平成18年11月9日(2006.11.9)
 (31) 優先権主張番号 095129854
 (32) 優先日 平成18年8月15日(2006.8.15)
 (33) 優先権主張国 台湾(TW)

(73) 特許権者 598158543
 聯詠科技股▲分▼有限公司
 台湾新竹科学工業園區新竹縣創新一路13
 號2樓
 (74) 代理人 100104156
 弁理士 龍華 明裕
 (72) 発明者 ▲顔▼ 志仁
 台湾新竹市東區高峰里30鄰高翠路160
 巷122號1樓

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 電圧バッファと電圧バッファのソースドライバ

(57) 【特許請求の範囲】

【請求項1】

電圧バッファであって、

正入力端子、負入力端子および出力端子を有するオペアンプであって、当該出力端子は当該負入力端子と接続され、当該出力端子は出力電圧を出力するオペアンプと、

入力電圧と前記オペアンプの間に接続されたオーバードライブ部であって、当該入力電圧と前記出力電圧を比較し、前記オペアンプの前記正入力端子にオーバードライブ電圧を出力するオーバードライブ部とを備え、

前記入力電圧が前記出力電圧より大きい場合、前記オーバードライブ部は前記オーバードライブ電圧を前記入力電圧より大きくし、前記入力電圧が前記出力電圧より小さい場合、前記オーバードライブ部は前記オーバードライブ電圧を前記入力電圧より小さくし、前記入力電圧と前記出力電圧が等しい場合、前記オーバードライブ電圧は前記入力電圧と等しくなる

電圧バッファ。

【請求項2】

前記オーバードライブ部は、

前記入力電圧と前記出力電圧を比較して、電圧増加信号および電圧減少信号を出力するために用いられる電圧検出器と、

前記電圧検出器に接続された制御部であって、前記電圧増加信号および前記電圧減少信号に従って制御信号を出力する制御部と、

前記制御部に接続された電圧調整回路であって、前記制御部から出力された前記制御信号に従って前記オーバードライブ電圧のレベルを調整する電圧調整回路とを有する請求項 1 に記載の電圧バッファ。

【請求項 3】

前記電圧検出器は、

第 1 N M O S トランジスタに直列に接続された第 1 P M O S トランジスタであって、当該第 1 P M O S トランジスタと当該第 1 N M O S トランジスタは第 1 作動電圧と第 1 電流源の間に接続され、当該第 1 N M O S トランジスタのゲートは前記入力電圧に接続されている第 1 P M O S トランジスタと、

第 2 N M O S トランジスタに直列に接続された第 2 P M O S トランジスタであって、当該第 2 P M O S トランジスタと当該第 2 N M O S トランジスタは前記第 1 作動電圧と前記第 1 電流源の間に接続され、当該第 2 N M O S トランジスタのゲートは前記出力電圧に接続され、当該第 2 P M O S トランジスタのゲートは前記第 1 P M O S トランジスタのゲートに接続されており、当該第 2 P M O S トランジスタのゲートは当該第 2 P M O S トランジスタおよび当該第 2 N M O S トランジスタの共通ノードに接続されている第 2 P M O S トランジスタと、

第 3 N M O S トランジスタに直列に接続された第 2 電流源であって、当該第 2 電流源および当該第 3 N M O S トランジスタは前記第 1 作動電圧と第 2 作動電圧の間に接続され、当該第 3 N M O S トランジスタのゲートは前記第 1 P M O S トランジスタおよび前記第 1 N M O S トランジスタの共通ノードに接続され、当該第 2 電流源と当該第 3 N M O S トランジスタの共通ノードは前記電圧減少信号を出力する第 2 電流源と、

第 3 電流源に直列に接続された第 3 P M O S トランジスタであって、当該第 3 P M O S トランジスタと当該第 3 電流源は前記第 1 作動電圧および前記第 2 作動電圧の間に接続され、当該第 3 P M O S トランジスタのゲートは前記第 1 P M O S トランジスタと前記第 1 N M O S トランジスタの共通ノードに接続され、当該第 3 P M O S トランジスタと当該第 3 電流源の共通ノードは前記電圧増加信号を出力する第 3 P M O S トランジスタとを含む請求項 2 に記載の電圧バッファ。

【請求項 4】

前記電圧検出器は、

第 1 N M O S トランジスタに直列に接続された第 1 P M O S トランジスタであって、当該第 1 P M O S トランジスタと当該第 1 N M O S トランジスタは第 1 電流源と第 2 作動電圧の間に接続され、当該第 1 P M O S トランジスタのゲートは前記入力電圧に接続されている第 1 P M O S トランジスタと、

第 2 N M O S トランジスタに直列に接続された第 2 P M O S トランジスタであって、当該第 2 P M O S トランジスタと当該第 2 N M O S トランジスタは前記第 1 電流源と前記第 2 作動電圧の間に接続され、当該第 2 P M O S トランジスタのゲートは前記出力電圧に接続され、当該第 2 N M O S トランジスタのゲートは前記第 1 N M O S トランジスタのゲートに接続されており、当該第 2 N M O S トランジスタのゲートは当該第 2 P M O S トランジスタおよび当該第 2 N M O S トランジスタの共通ノードに接続されている第 2 P M O S トランジスタと、

第 3 N M O S トランジスタに直列に接続された第 2 電流源であって、当該第 2 電流源および当該第 3 N M O S トランジスタは前記第 2 作動電圧と第 1 作動電圧の間に接続され、当該第 3 N M O S トランジスタのゲートは前記第 1 P M O S トランジスタおよび前記第 1 N M O S トランジスタの共通ノードに接続され、当該第 2 電流源と当該第 3 N M O S トランジスタの共通ノードは前記電圧減少信号を出力する第 2 電流源と、

第 3 電流源に直列に接続された第 3 P M O S トランジスタであって、当該第 3 P M O S トランジスタと当該第 3 電流源は前記第 1 作動電圧および前記第 2 作動電圧の間に接続され、当該第 3 P M O S トランジスタのゲートは前記第 1 P M O S トランジスタと前記第 1 N M O S トランジスタの共通ノードに接続され、当該第 3 P M O S トランジスタと当該第 3 電流源の共通ノードは前記電圧増加信号を出力する第 3 P M O S トランジスタとを含む

10

20

30

40

50

請求項 2 に記載の電圧バッファ。

【請求項 5】

前記電圧検出器は、

第 1 NMOS トランジスタであって、当該第 1 NMOS トランジスタのゲートと第 1 PMOS トランジスタのゲートはともに前記出力電圧に接続されている第 1 NMOS トランジスタと、

第 2 NMOS トランジスタであって、当該第 2 NMOS トランジスタのゲートと第 2 PMOS トランジスタのゲートはともに前記入力電圧に接続されている第 2 NMOS トランジスタと、

前記第 1 PMOS トランジスタのソースと前記第 2 PMOS トランジスタのソースに接続された第 1 電流源と、

前記第 1 NMOS トランジスタのソースと前記第 2 NMOS トランジスタのソースに接続された第 2 電流源と、

第 1 作動電圧と前記第 1 NMOS トランジスタのドレインの間に接続された第 3 PMOS トランジスタと、

前記第 1 作動電圧と前記第 2 NMOS トランジスタのドレインの間に接続された第 4 PMOS トランジスタであって、当該第 4 PMOS トランジスタのゲートと前記第 3 PMOS トランジスタのゲートはともに第 1 バイアス電圧に接続されている第 4 PMOS トランジスタと、

第 5 PMOS トランジスタであって、当該第 5 PMOS トランジスタのソースは前記第 3 PMOS トランジスタのドレインに接続されている第 5 PMOS トランジスタと、

第 6 PMOS トランジスタであって、当該第 6 PMOS トランジスタのソースは前記第 4 PMOS トランジスタのドレインに接続され、当該第 6 PMOS トランジスタのゲートと前記第 5 PMOS トランジスタのゲートは第 2 バイアス電圧に接続されている第 6 PMOS トランジスタと、

第 3 NMOS トランジスタであって、当該第 3 NMOS トランジスタのドレインは前記第 5 PMOS トランジスタのドレインに接続され、当該第 3 NMOS トランジスタのソースは前記第 1 PMOS トランジスタのドレインに接続される第 3 NMOS トランジスタと、

第 4 NMOS トランジスタであって、当該第 4 NMOS トランジスタのドレインは前記第 6 PMOS トランジスタのドレインに接続され、当該第 4 NMOS トランジスタのゲートと前記第 3 NMOS トランジスタのゲートはともに第 3 バイアス電圧に接続され、当該第 4 NMOS トランジスタのソースは前記第 2 PMOS トランジスタのドレインに接続されている第 4 NMOS トランジスタと、

前記第 3 NMOS トランジスタのソースと第 2 作動電圧の間に接続された第 5 NMOS トランジスタであって、当該第 5 NMOS トランジスタのゲートは前記第 3 NMOS トランジスタのドレインに接続されている第 5 NMOS トランジスタと、

前記第 4 NMOS トランジスタのソースと前記第 2 作動電圧の間に接続された第 6 NMOS トランジスタであって、当該第 6 NMOS トランジスタのゲートは前記第 5 NMOS トランジスタのゲートに接続されている第 6 NMOS トランジスタと、

第 3 電流源と前記第 2 作動電圧の間に接続された第 7 NMOS トランジスタであって、当該第 7 NMOS トランジスタのゲートは前記第 6 PMOS トランジスタと前記第 4 NMOS トランジスタの共通ノードに接続されている第 7 NMOS トランジスタと、

前記第 1 作動電圧と第 4 電流源の間に接続された第 7 PMOS トランジスタであって、当該第 7 PMOS トランジスタのゲートは前記第 6 PMOS トランジスタと前記第 4 NMOS トランジスタの共通ノードに接続されている第 7 PMOS トランジスタとを含み、

前記第 7 NMOS トランジスタと前記第 3 電流源の共通ノードは前記電圧減少信号を出力し、前記第 7 PMOS トランジスタと前記第 4 電流源の共通ノードは前記電圧増加信号を出力する

請求項 2 に記載の電圧バッファ。

10

20

30

40

50

【請求項 6】

前記オペアンプは差動増幅器および出力段回路を有し、当該差動増幅器は前記正入力端子および前記負入力端子が受信した信号に従って当該出力段回路に差動信号を出力し、前記電圧検出器は、

第 1 電流源および第 2 作動電圧の間に接続された N M O S トランジスタであって、当該 N M O S トランジスタのゲートは前記差動増幅器の出力端子に接続されている N M O S トランジスタと、

第 1 作動電圧および第 2 電流源の間に接続された P M O S トランジスタであって、当該 P M O S トランジスタのゲートは前記差動増幅器の前記出力端子に接続されている P M O S トランジスタとを含み、

前記 N M O S トランジスタと前記第 1 電流源の共通ノードは前記電圧減少信号を出力し、前記 P M O S トランジスタと前記第 2 電流源の共通ノードは前記電圧増加信号を出力する

請求項 2 に記載の電圧バッファ。

【請求項 7】

前記制御部は前記電圧調整回路の出力を調整するために充電信号、第 1 経路信号、第 2 経路信号および復元信号を出力し、前記制御部は、

クロック調整回路であって、クロック信号に従って参照信号および前記充電信号を出力するクロック調整回路と、

第 1 制御回路であって、前記電圧増加信号および前記参照信号に従って前記第 1 経路信号を出力する第 1 制御回路と、

第 2 制御回路であって、前記電圧減少信号および前記参照信号に従って前記第 2 経路信号を出力する第 2 制御回路と、

復元回路であって、前記電圧増加信号、前記電圧減少信号および前記参照信号に従って前記復元信号を出力する復元回路とを含む

請求項 2 に記載の電圧バッファ。

【請求項 8】

前記クロック調整回路は、

遅延回路であって、前記クロック信号を遅延させて遅延クロック信号を出力するために用いられる遅延回路と、

前記遅延回路に接続された N O R ゲートであって、前記遅延クロック信号および前記クロック信号に従って前記参照信号を出力する N O R ゲートと、

前記遅延回路に接続された N A N D ゲートであって、前記遅延クロック信号および前記クロック信号に従ってインバータを介して前記充電信号を出力する N A N D ゲートを持つ

請求項 7 に記載の電圧バッファ。

【請求項 9】

前記遅延回路は偶数のインバータを持つ

請求項 8 に記載の電圧バッファ。

【請求項 10】

前記第 1 制御回路は、

N A N D ゲートであって、当該 N A N D ゲートの入力端子は前記電圧増加信号に接続され、当該 N A N D ゲートの別の入力端子は前記参照信号に接続されている N A N D ゲートと、

インバータであって、当該インバータの入力端子は前記 N A N D ゲートの出力端子に接続され、当該インバータは前記第 1 経路信号を出力するインバータとを持つ

請求項 7 に記載の電圧バッファ。

【請求項 11】

前記第 2 制御回路は、

第 1 インバータであって、当該第 1 インバータの入力端子は前記電圧減少信号に接続さ

10

20

30

40

50

れている第 1 インバータと、

NANDゲートであって、当該NANDゲートの入力端子は前記第 1 インバータの出力端子に接続され、当該NANDゲートの別の入力端子は前記参照信号に接続されているNANDゲートと、

第 2 インバータであって、当該第 2 インバータの入力端子は前記NANDゲートの出力端子に接続され、当該第 2 インバータは前記第 2 経路信号を出力する第 2 インバータとを持つ

請求項 7 に記載の電圧バッファ。

【請求項 1 2】

前記復元回路は、

第 1 インバータであって、当該第 1 インバータの入力端子は前記電圧増加信号に接続されている第 1 インバータと、

前記第 1 インバータの出力端子、前記電圧減少信号および前記参照信号に接続された 3 つの入力端子を持つNANDゲートと、

第 2 インバータであって、当該第 2 インバータの入力端子は前記NANDゲートの出力端子に接続され、当該第 2 インバータは前記復元信号を出力する第 2 インバータとを持つ

請求項 7 に記載の電圧バッファ。

【請求項 1 3】

前記電圧調整回路は、

第 1 端子および第 2 端子を持つコンデンサと、

充電電圧と前記コンデンサの前記第 1 端子の間に接続された第 1 スイッチと、

前記コンデンサの前記第 2 端子とグラウンド端子の間に接続された第 2 スイッチと、

前記コンデンサの前記第 2 端子と前記入力電圧の間に接続された第 3 スイッチと、

前記コンデンサの前記第 1 端子と前記オペアンプの前記正入力端子の間に接続された第 4 スイッチと、

前記入力電圧と前記コンデンサの前記第 1 端子の間に接続された第 5 スイッチと、

前記コンデンサの前記第 2 端子と前記オペアンプの前記正入力端子の間に接続された第 6 スイッチと、

前記オペアンプの前記正入力端子と前記入力電圧の間に接続された第 7 スイッチとを含み、

前記充電信号が有効化されている場合、前記第 1 スイッチと前記第 2 スイッチがオンとなり、前記第 1 経路信号が有効化されている場合、前記第 3 スイッチと前記第 4 スイッチがオンとなり、前記第 2 経路信号が有効化されている場合、前記第 5 スイッチと前記第 6 スイッチがオンとなり、前記復元信号が有効化されている場合、前記第 7 スイッチがオンとなる

請求項 7 に記載の電圧バッファ。

【請求項 1 4】

前記充電信号は充電期間に有効化され、前記充電電圧が前記出力電圧より大きい場合、前記第 1 経路信号がオーバードライブ期間に有効化され、前記入力電圧が前記出力電圧より小さい場合、前記第 2 経路信号が当該オーバードライブ期間に有効化され、前記オーバードライブ期間は前記充電期間より後である

請求項 1 3 に記載の電圧バッファ。

【請求項 1 5】

前記オーバードライブ期間より後に、前記復元信号が復元期間に有効化される

請求項 1 4 に記載の電圧バッファ。

【請求項 1 6】

前記充電信号は充電期間に有効化され、前記充電信号が有効化されている場合、前記第 7 スイッチがオンとなり、前記入力電圧が前記出力電圧より大きい場合、前記第 1 経路信号がオーバードライブ期間に有効化され、前記入力電圧が前記出力電圧より小さい場合、前記第 2 経路信号が当該オーバードライブ期間に有効化され、前記オーバードライブ期間

10

20

30

40

50

は前記充電期間より後である

請求項 13 に記載の電圧バッファ。

【請求項 17】

前記オーバードライブ期間の後に、前記復元信号が復元期間に有効化され、前記復元信号が有効化された場合、前記第 1 スイッチと前記第 2 スイッチがオンまたはオフとなる

請求項 16 に記載の電圧バッファ。

【請求項 18】

前記充電信号が論理 High にある場合、前記充電信号が有効化されており、前記第 1 経路信号が論理 High にある場合、前記第 1 経路信号が有効化されており、前記第 2 経路信号が論理 High である場合、前記第 2 経路信号が有効化されており、前記復元信号が論理 High である場合、前記復元信号が有効化されている

請求項 7 に記載の電圧バッファ。

【請求項 19】

前記制御部は前記電圧調整回路の出力を調整するために第 1 経路信号、第 2 経路信号および復元信号を出力し、前記制御部は、

第 1 インバータであって、前記電圧増加信号を反転させて反転電圧増加信号を出力するために用いられる第 1 インバータと、

AND ゲートであって、前記電圧減少信号および前記反転電圧増加信号に従って前記復元信号を生成するために用いられる AND ゲートと、

第 2 インバータであって、前記電圧減少信号を反転させ前記第 2 経路信号を出力するために用いられる第 2 インバータとを含み、

前記制御部は、前記電圧増加信号に従って前記第 1 経路信号をそのまま出力する

請求項 2 に記載の電圧バッファ。

【請求項 20】

前記電圧調整回路は、

第 1 端子および第 2 端子を持つコンデンサと、

充電電圧と前記コンデンサの前記第 1 端子の間に接続された第 1 スイッチと、

前記コンデンサの前記第 2 端子とグラウンド端子の間に接続された第 2 スイッチと、

前記コンデンサの前記第 2 端子と前記入力電圧の間に接続された第 3 スイッチと、

前記コンデンサの前記第 1 端子と前記オペアンプの前記正入力端子の間に接続された第 4 スイッチと、

前記入力電圧と前記コンデンサの前記第 1 端子の間に接続された第 5 スイッチと、

前記コンデンサの前記第 2 端子と前記オペアンプの前記正入力端子の間に接続された第 6 スイッチと、

前記オペアンプの前記正入力端子と前記入力電圧の間に接続された第 7 スイッチとを含み、

前記第 1 経路信号が有効化されている場合、前記第 3 スイッチと前記第 4 スイッチがオンとなり、前記第 2 経路信号が有効化されている場合、前記第 5 スイッチと前記第 6 スイッチがオンとなり、前記復元信号が有効化されている場合、前記第 1 スイッチ、前記第 2 スイッチおよび前記第 7 スイッチがオンとなる

請求項 19 に記載の電圧バッファ。

【請求項 21】

前記入力電圧が前記出力電圧より大きい場合、前記第 1 経路信号がオーバードライブ期間に有効化され、前記入力電圧が前記出力電圧より小さい場合、前記第 2 経路信号が当該オーバードライブ期間に有効化される

請求項 20 に記載の電圧バッファ。

【請求項 22】

前記オーバードライブ期間の後に、前記復元信号が復元期間に有効化される

請求項 21 に記載の電圧バッファ。

【請求項 23】

10

20

30

40

50

前記電圧調整回路は、

第1電流源と前記入力電圧の間に接続された第1レジスタであって、当該第1電流源の別の端子は第1作動電圧に接続されている第1レジスタと、

前記入力電圧と第2電流源の間に接続された第2レジスタであって、当該第2電流源の別の端子は第2作動電圧に接続されている第2レジスタと、

第1スイッチであって、当該第1スイッチの端子は前記第1レジスタと前記第1電流源の共通ノードに接続され、当該第1スイッチの別の端子は前記オペアンプの前記正入力端子に接続される第1スイッチと、

第2スイッチであって、当該第2スイッチの端子は前記第2レジスタと前記第2電流源の共通ノードに接続され、当該第2スイッチの別の端子は前記オペアンプの前記正入力端子に接続される第2スイッチと、

前記オペアンプの前記正入力端子と前記入力電圧の間に接続された第3スイッチとを含み、

前記第1経路信号が有効化されている場合、前記第1スイッチがオンであり、前記第2経路信号が有効化されている場合、前記第2スイッチがオンであり、前記復元信号が有効化されている場合、前記第3スイッチがオンである

請求項19に記載の電圧バッファ。

【請求項24】

前記反転された前記電圧減少信号が論理Highである場合、前記第2経路信号が有効化されており、前記電圧増加信号が論理Highである場合、前記第1経路信号が有効化され、前記復元信号が論理Highである場合、前記復元信号が有効化されている

請求項19に記載の電圧バッファ。

【請求項25】

前記第1作動電圧はシステム作動電圧以上である

請求項23に記載の電圧バッファ。

【請求項26】

前記第2作動電圧はシステムグラウンド電圧以下である

請求項23に記載の電圧バッファ。

【請求項27】

前記入力電圧が前記出力電圧より大きい場合、前記電圧増加信号は論理Highで前記電圧減少信号は論理Highである

請求項2に記載の電圧バッファ。

【請求項28】

前記入力電圧が前記出力電圧より小さい場合、前記電圧増加信号は論理Lowで前記電圧減少信号は論理Lowである

請求項2に記載の電圧バッファ。

【請求項29】

前記入力電圧が前記出力電圧に等しい場合、前記電圧増加信号が論理Lowで前記電圧減少信号が論理Highである

請求項2に記載の電圧バッファ。

【請求項30】

LCDパネルを駆動するために用いられるソースドライバであって、当該ソースドライバは、

入力表示信号に従って複数の第1駆動電圧を生成する駆動部と、

前記駆動部に接続された複数の電圧バッファであって、前記複数の第1駆動電圧に従って複数の第2駆動電圧を出力する複数の電圧バッファとを備え、

前記複数の電圧バッファはそれぞれオペアンプとオーバードライブ部を有し、当該オーバードライブ部は対応する前記第1駆動電圧に従って当該オペアンプにオーバードライブ電圧を出力し、前記複数の電圧バッファはそれぞれ前記LCDパネルを駆動するべく、対応する前記オーバードライブ電圧に従って、対応する前記第2駆動電圧を調整し、

10

20

30

40

50

前記オーバードライブ部は、対応する前記第 1 駆動電圧と前記オペアンプの間に接続され、前記第 1 駆動電圧と前記第 2 駆動電圧を比較し、前記オペアンプの正入力端子に前記オーバードライブ電圧を出力し、

前記第 1 駆動電圧が前記第 2 駆動電圧より大きい場合、前記オーバードライブ電圧は前記第 1 駆動電圧より大きく、前記第 1 駆動電圧が前記第 2 駆動電圧より小さい場合、前記オーバードライブ電圧は前記第 1 駆動電圧より小さく、前記第 1 駆動電圧と前記第 2 駆動電圧が等しい場合、前記オーバードライブ電圧は前記第 1 駆動電圧と等しい

ソースドライバ。

【請求項 3 1】

前記オペアンプは正入力端子、負入力端子および出力端子を有し、当該出力端子は当該負入力端子と接続され、当該出力端子は前記第 2 駆動電圧を出力する

10

請求項 3 0 に記載のソースドライバ。

【請求項 3 2】

前記オーバードライブ部は、

前記第 1 駆動電圧と前記第 2 駆動電圧を比較して、電圧増加信号および電圧減少信号を出力するために用いられる電圧検出器と、

前記電圧検出器に接続された制御部であって、前記電圧増加信号および前記電圧減少信号に従って制御信号を出力する制御部と、

前記制御部に接続された電圧調整回路であって、前記制御部から出力された前記制御信号に従って前記オーバードライブ電圧の電圧レベルを調整する電圧調整回路とを有する

20

請求項 3 0 に記載のソースドライバ。

【請求項 3 3】

前記電圧検出器は、

第 1 NMOS トランジスタに直列に接続された第 1 PMOS トランジスタであって、当該第 1 PMOS トランジスタと当該第 1 NMOS トランジスタは第 1 作動電圧と第 1 電流源の間に接続され、当該第 1 NMOS トランジスタのゲートは前記第 1 駆動電圧に接続されている第 1 PMOS トランジスタと、

第 2 NMOS トランジスタに直列に接続された第 2 PMOS トランジスタであって、当該第 2 PMOS と当該第 2 NMOS トランジスタは前記第 1 作動電圧と前記第 1 電流源の間に接続され、当該第 2 NMOS トランジスタのゲートは前記第 2 駆動電圧に接続され、当該第 2 PMOS トランジスタのゲートは前記第 1 PMOS トランジスタのゲートに接続されており、当該第 2 PMOS トランジスタのゲートは当該第 2 PMOS トランジスタおよび当該第 2 NMOS トランジスタの共通ノードに接続されている第 2 PMOS トランジスタと、

30

第 3 NMOS トランジスタに直列に接続された第 2 電流源であって、当該第 2 電流源および当該第 3 NMOS トランジスタは前記第 1 作動電圧と第 2 作動電圧の間に接続され、当該第 3 NMOS トランジスタのゲートは前記第 1 PMOS トランジスタおよび前記第 1 NMOS トランジスタの共通ノードに接続され、当該第 2 電流源と当該第 3 NMOS トランジスタの共通ノードは前記電圧減少信号を出力する第 2 電流源と、

第 3 電流源に直列に接続された第 3 PMOS トランジスタであって、当該第 3 PMOS トランジスタと当該第 3 電流源は前記第 1 作動電圧および前記第 2 作動電圧の間に接続され、当該第 3 PMOS トランジスタのゲートは前記第 1 PMOS トランジスタと前記第 1 NMOS トランジスタの共通ノードに接続され、当該第 3 PMOS トランジスタと当該第 3 電流源の共通ノードは前記電圧増加信号を出力する第 3 PMOS トランジスタを含む

40

請求項 3 2 に記載のソースドライバ。

【請求項 3 4】

前記電圧検出器は、

第 1 NMOS トランジスタに直列に接続された第 1 PMOS トランジスタであって、当該第 1 PMOS トランジスタと当該第 1 NMOS トランジスタは第 1 電流源と第 2 作動電圧の間に接続され、当該第 1 PMOS トランジスタのゲートは前記第 1 駆動電圧に接続さ

50

れている第1PMOSトランジスタと、

第2NMOSトランジスタに直列に接続された第2PMOSトランジスタであって、当該第2PMOSトランジスタと当該第2NMOSトランジスタは前記第1電流源と前記第2作動電圧の間に接続され、当該第2PMOSトランジスタのゲートは前記第2駆動電圧に接続され、当該第2NMOSトランジスタのゲートは前記第1NMOSトランジスタのゲートに接続されており、当該第2NMOSトランジスタのゲートは当該第2PMOSトランジスタおよび当該第2NMOSトランジスタの共通ノードに接続されている第2PMOSトランジスタと、

第3NMOSトランジスタに直列に接続された第2電流源であって、当該第2電流源および当該第3NMOSトランジスタは前記第2作動電圧と第1作動電圧の間に接続され、当該第3NMOSトランジスタのゲートは前記第1PMOSトランジスタおよび前記第1NMOSトランジスタの共通ノードに接続され、当該第2電流源と当該第3NMOSトランジスタの共通ノードは前記電圧減少信号を出力する第2電流源と、

10

第3電流源に直列に接続された第3PMOSトランジスタであって、当該第3PMOSトランジスタと当該第3電流源は前記第1作動電圧および前記第2作動電圧の間に接続され、当該第3PMOSトランジスタのゲートは前記第1PMOSトランジスタと前記第1NMOSトランジスタの共通ノードに接続され、当該第3PMOSトランジスタと当該第3電流源の共通ノードは前記電圧増加信号を出力する第3PMOSトランジスタとを含む請求項32に記載のソースドライバ。

【請求項35】

20

前記電圧検出器は、

第1NMOSトランジスタであって、当該第1NMOSトランジスタのゲートと第1PMOSトランジスタのゲートはともに前記第2駆動電圧に接続されている第1NMOSトランジスタと、

第2NMOSトランジスタであって、当該第2NMOSトランジスタのゲートと第2PMOSトランジスタのゲートはともに前記第1駆動電圧に接続されている第2NMOSトランジスタと、

前記第1PMOSトランジスタのソースと前記第2PMOSトランジスタのソースに接続された第1電流源と、

前記第1NMOSトランジスタのソースと前記第2NMOSトランジスタのソースに接続された第2電流源と、

30

第1作動電圧と前記第1NMOSトランジスタのドレインの間に接続された第3PMOSトランジスタと、

前記第1作動電圧と前記第2NMOSトランジスタのドレインの間に接続された第4PMOSトランジスタであって、当該第4PMOSトランジスタのゲートと前記第3PMOSトランジスタのゲートはともに第1バイアス電圧に接続されている第4PMOSトランジスタと、

第5PMOSトランジスタであって、当該第5PMOSトランジスタのソースは前記第3PMOSトランジスタのドレインに接続されている第5PMOSトランジスタと、

第6PMOSトランジスタであって、当該第6PMOSトランジスタのソースは前記第4PMOSトランジスタのドレインに接続され、当該第6PMOSトランジスタのゲートと前記第5PMOSトランジスタのゲートは第2バイアス電圧に接続されている第6PMOSトランジスタと、

40

第3NMOSトランジスタであって、当該第3NMOSトランジスタのドレインは前記第5PMOSトランジスタのドレインに接続され、当該第3NMOSトランジスタのソースは前記第1PMOSトランジスタのドレインに接続される第3NMOSトランジスタと、

第4NMOSトランジスタであって、当該第4NMOSトランジスタのドレインは前記第6PMOSトランジスタのドレインに接続され、当該第4NMOSトランジスタのゲートと前記第3NMOSトランジスタのゲートはともに第3バイアス電圧に接続され、当該

50

第4 NMOSトランジスタのソースは前記第2 PMOSトランジスタのドレインに接続されている第4 NMOSトランジスタと、

前記第3 NMOSトランジスタのソースと第2 作動電圧の間に接続された第5 NMOSトランジスタであって、当該第5 NMOSトランジスタのゲートは前記第3 NMOSトランジスタのドレインに接続されている第5 NMOSトランジスタと、

前記第4 NMOSトランジスタのソースと前記第2 作動電圧の間に接続された第6 NMOSトランジスタであって、当該第6 NMOSトランジスタのゲートは前記第5 NMOSトランジスタのゲートに接続されている第6 NMOSトランジスタと、

第3 電流源と前記第2 作動電圧の間に接続された第7 NMOSトランジスタであって、当該第7 NMOSトランジスタのゲートは前記第6 PMOSトランジスタと前記第4 NMOSトランジスタの共通ノードに接続されている第7 NMOSトランジスタと、

前記第1 作動電圧と第4 電流源の間に接続された第7 PMOSトランジスタであって、当該第7 PMOSトランジスタのゲートは前記第6 PMOSトランジスタと前記第4 NMOSトランジスタの共通ノードに接続されている第7 PMOSトランジスタとを含み、

前記第7 NMOSトランジスタと前記第3 電流源の共通ノードは前記電圧減少信号を出力し、前記第7 PMOSトランジスタと前記第4 電流源の共通ノードは前記電圧増加信号を出力する

請求項3 2に記載のソースドライバ。

【請求項3 6】

前記オペアンプは差動増幅器および出力段回路を有し、当該差動増幅器は前記正入力端子および前記オペアンプの負入力端子が受信した信号に従って当該出力段回路に差動信号を出力し、前記電圧検出器は、

第1 電流源および第2 作動電圧の間に接続されたNMOSトランジスタであって、当該NMOSトランジスタのゲートは前記差動増幅器の出力端子に接続されているNMOSトランジスタと、

第1 作動電圧および第2 電流源の間に接続されたPMOSトランジスタであって、当該PMOSトランジスタのゲートは前記差動増幅器の前記出力端子に接続されているPMOSトランジスタとを含み、

前記NMOSトランジスタと前記第1 電流源の共通ノードは前記電圧減少信号を出力し、前記PMOSトランジスタと前記第2 電流源の共通ノードは前記電圧増加信号を出力する

請求項3 2に記載のソースドライバ。

【請求項3 7】

前記制御部は前記電圧調整回路の出力を調整するために充電信号、第1 経路信号、第2 経路信号および復元信号を出力し、前記制御部は、

クロック調整回路であって、クロック信号に従って参照信号および前記充電信号を出力するクロック調整回路と、

第1 制御回路であって、前記電圧増加信号および前記参照信号に従って前記第1 経路信号を出力する第1 制御回路と、

第2 制御回路であって、前記電圧減少信号および前記参照信号に従って前記第2 経路信号を出力する第2 制御回路と、

復元回路であって、前記電圧増加信号、前記電圧減少信号および前記参照信号に従って前記復元信号を出力する復元回路とを含む

請求項3 2に記載のソースドライバ。

【請求項3 8】

前記クロック調整回路は、

遅延回路であって、前記クロック信号を遅延させて遅延クロック信号を出力するために用いられる遅延回路と、

前記遅延回路に接続されたNORゲートであって、前記遅延クロック信号および前記クロック信号に従って前記参照信号を出力するNORゲートと、

10

20

30

40

50

前記遅延回路に接続されたNANDゲートであって、前記遅延クロック信号および前記クロック信号に従ってインバータを介して前記充電信号を出力するNANDゲートとを持つ

請求項37に記載のソースドライバ。

【請求項39】

前記遅延回路は偶数のインバータを持つ

請求項38に記載のソースドライバ。

【請求項40】

前記第1制御回路は、

NANDゲートであって、当該NANDゲートの入力端子は前記電圧増加信号に接続され、当該NANDゲートの別の入力端子は前記参照信号に接続されているNANDゲートと、

インバータであって、当該インバータの入力端子は前記NANDゲートの出力端子に接続され、当該インバータは前記第1経路信号を出力するインバータとを持つ

請求項37に記載のソースドライバ。

【請求項41】

前記第2制御回路は、

第1インバータであって、当該第1インバータの入力端子は前記電圧減少信号に接続されている第1インバータと、

NANDゲートであって、当該NANDゲートの入力端子は前記第1インバータの出力端子に接続され、当該NANDゲートの別の入力端子は前記参照信号に接続されているNANDゲートと、

第2インバータであって、当該第2インバータの入力端子は前記NANDゲートの出力端子に接続され、当該第2インバータは前記第2経路信号を出力する第2インバータとを持つ

請求項37に記載のソースドライバ。

【請求項42】

前記復元回路は、

第1インバータであって、当該第1インバータの入力端子は前記電圧増加信号に接続されている第1インバータと、

前記第1インバータの出力端子、前記電圧減少信号および前記参照信号に接続された3つの入力端子を持つNANDゲートと、

第2インバータであって、当該第2インバータの入力端子は前記NANDゲートの出力端子に接続され、当該第2インバータは前記復元信号を出力する第2インバータとを持つ

請求項37に記載のソースドライバ。

【請求項43】

前記電圧調整回路は、

第1端子および第2端子を持つコンデンサと、

充電電圧と前記コンデンサの前記第1端子の間に接続された第1スイッチと、

前記コンデンサの前記第2端子とグラウンド端子の間に接続された第2スイッチと、

前記コンデンサの前記第2端子と前記第1駆動電圧の間に接続された第3スイッチと、

前記コンデンサの前記第1端子と前記オペアンプの前記正入力端子の間に接続された第4スイッチと、

前記第1駆動電圧と前記コンデンサの前記第1端子の間に接続された第5スイッチと、

前記コンデンサの前記第2端子と前記オペアンプの前記正入力端子の間に接続された第6スイッチと、

前記オペアンプの前記正入力端子と前記第1駆動電圧の間に接続された第7スイッチとを含み、

前記充電信号が有効化されている場合、前記第1スイッチと前記第2スイッチがオンとなり、前記第1経路信号が有効化されている場合、前記第3スイッチと前記第4スイッチ

10

20

30

40

50

がオンとなり、前記第 2 経路信号が有効化されている場合、前記第 5 スイッチと前記第 6 スイッチがオンとなり、前記復元信号が有効化されている場合、前記第 7 スイッチがオンとなる

請求項 3 7 に記載のソースドライバ。

【請求項 4 4】

前記充電信号は充電期間に有効化され、前記第 1 駆動電圧が前記第 2 駆動電圧より大きい場合、前記第 1 経路信号がオーバードライブ期間に有効化され、前記第 1 駆動電圧が前記第 2 駆動電圧より小さい場合、前記第 2 経路信号が当該オーバードライブ期間に有効化され、前記オーバードライブ期間は前記充電期間より後であり、前記復元信号が有効化されている場合、前記オーバードライブ電圧は前記第 1 駆動電圧と等しい

10

請求項 4 3 に記載のソースドライバ。

【請求項 4 5】

前記オーバードライブ期間より後に、前記復元信号が復元期間に有効化される

請求項 4 4 に記載のソースドライバ。

【請求項 4 6】

前記充電信号は充電期間に有効化され、前記充電信号が有効化されている場合、前記第 7 スイッチがオンとなり、前記第 1 駆動電圧が前記第 2 駆動電圧より大きい場合、前記第 1 経路信号がオーバードライブ期間に有効化され、前記第 1 駆動電圧が前記第 2 駆動電圧より小さい場合、前記第 2 経路信号が当該オーバードライブ期間に有効化され、前記オーバードライブ期間は前記充電期間より後である

20

請求項 4 3 に記載のソースドライバ。

【請求項 4 7】

前記オーバードライブ期間の後に、前記復元信号が復元期間に有効化され、前記復元信号が有効化された場合、前記第 1 スイッチと前記第 2 スイッチがオンまたはオフとなる

請求項 4 6 に記載のソースドライバ。

【請求項 4 8】

前記充電信号が論理 High にある場合、前記充電信号が有効化されており、前記第 1 経路信号が論理 High にある場合、前記第 1 経路信号が有効化されており、前記第 2 経路信号が論理 High である場合、前記第 2 経路信号が有効化されており、前記復元信号が論理 High である場合、前記復元信号が有効化されている

30

請求項 3 7 に記載のソースドライバ。

【請求項 4 9】

前記制御部は前記電圧調整回路の出力を調整するために第 1 経路信号、第 2 経路信号および復元信号を出力し、前記制御部は、

第 1 インバータであって、前記電圧増加信号を反転させて反転電圧増加信号を出力するために用いられる第 1 インバータと、

AND ゲートであって、前記電圧減少信号および前記反転電圧増加信号に従って前記復元信号を生成するために用いられる AND ゲートと、

第 2 インバータであって、前記電圧減少信号を反転させ前記第 2 経路信号を出力するために用いられる第 2 インバータとを含み、

40

前記制御部は、前記電圧増加信号に従って前記第 1 経路信号をそのまま出力する

請求項 3 2 に記載のソースドライバ。

【請求項 5 0】

前記電圧調整回路は、

第 1 端子および第 2 端子を持つコンデンサと、

充電電圧と前記コンデンサの前記第 1 端子の間に接続された第 1 スイッチと、

前記コンデンサの前記第 2 端子とグラウンド端子の間に接続された第 2 スイッチと、

前記コンデンサの前記第 2 端子と前記第 1 駆動電圧の間に接続された第 3 スイッチと、

前記コンデンサの前記第 1 端子と前記オペアンプの前記正入力端子の間に接続された第 4 スイッチと、

50

前記第 1 駆動電圧と前記コンデンサの前記第 1 端子の間に接続された第 5 スイッチと、
前記コンデンサの前記第 2 端子と前記オペアンプの前記正入力端子の間に接続された第 6 スイッチと、

前記オペアンプの前記正入力端子と前記第 1 駆動電圧の間に接続された第 7 スイッチとを含み、

前記第 1 経路信号が有効化されている場合、前記第 3 スイッチと前記第 4 スイッチがオンとなり、前記第 2 経路信号が有効化されている場合、前記第 5 スイッチと前記第 6 スイッチがオンとなり、前記復元信号が有効化されている場合、前記第 1 スイッチ、前記第 2 スイッチおよび前記第 7 スイッチがオンとなる

請求項 4 9 に記載のソースドライバ。

10

【請求項 5 1】

前記第 1 駆動電圧が前記第 2 駆動電圧より大きい場合、前記第 1 経路信号がオーバードライブ期間に有効化され、前記第 1 駆動電圧が前記第 2 駆動電圧より小さい場合、前記第 2 経路信号が当該オーバードライブ期間に有効化される

請求項 5 0 に記載のソースドライバ。

【請求項 5 2】

前記オーバードライブ期間の後に、前記復元信号が復元期間に有効化される

請求項 5 1 に記載のソースドライバ。

【請求項 5 3】

前記電圧調整回路は、

第 1 電流源と前記第 1 駆動電圧の間に接続された第 1 レジスタであって、当該第 1 電流源の別の端子は第 1 作動電圧に接続されている第 1 レジスタと、

前記第 1 駆動電圧と第 2 電流源の間に接続された第 2 レジスタであって、当該第 2 電流源の別の端子は第 2 作動電圧に接続されている第 2 レジスタと、

第 1 スイッチであって、当該第 1 スイッチの端子は前記第 1 レジスタと前記第 1 電流源の共通ノードに接続され、当該第 1 スイッチの別の端子は前記オペアンプの前記正入力端子に接続される第 1 スイッチと、

第 2 スイッチであって、当該第 2 スイッチの端子は前記第 2 レジスタと前記第 2 電流源の共通ノードに接続され、当該第 2 スイッチの別の端子は前記オペアンプの前記正入力端子に接続される第 2 スイッチと、

20

前記オペアンプの前記正入力端子と前記第 1 駆動電圧の間に接続された第 3 スイッチとを含み、

前記第 1 経路信号が有効化されている場合、前記第 1 スイッチがオンであり、前記第 2 経路信号が有効化されている場合、前記第 2 スイッチがオンであり、前記復元信号が有効化されている場合、前記第 3 スイッチがオンである

請求項 4 9 に記載のソースドライバ。

30

【請求項 5 4】

前記反転された前記電圧減少信号が論理 High である場合、前記第 2 経路信号が有効化されており、前記電圧増加信号が論理 High である場合、前記第 1 経路信号が有効化され、前記復元信号が論理 High である場合、前記復元信号が有効化されている

請求項 4 9 に記載のソースドライバ。

40

【請求項 5 5】

前記第 1 作動電圧はシステム作動電圧以上である

請求項 5 3 に記載のソースドライバ。

【請求項 5 6】

前記第 2 作動電圧はグラウンド電圧以下である

請求項 5 3 に記載のソースドライバ。

【請求項 5 7】

前記第 1 駆動電圧が前記第 2 駆動電圧より大きい場合、前記電圧増加信号は論理 High で前記電圧減少信号は論理 High である

50

請求項 3 2 に記載のソースドライバ。

【請求項 5 8】

前記第 1 駆動電圧が前記第 2 駆動電圧より小さい場合、前記電圧増加信号は論理 L o w で前記電圧減少信号は論理 H i g h である

請求項 3 2 に記載のソースドライバ。

【請求項 5 9】

前記第 1 駆動電圧が前記第 2 駆動電圧に等しい場合、前記電圧増加信号が論理 L o w で前記電圧減少信号が論理 H i g h である

請求項 3 2 に記載のソースドライバ。

【請求項 6 0】

前記駆動部は、
前記表示信号をラッチしてデジタル駆動信号を出力するために用いられるシフトラッチ部と、

前記シフトラッチ部に接続されたレベルシフトであって、前記デジタル駆動信号の電圧レベルを調整して調整された前記デジタル駆動信号を出力するレベルシフトと、

前記レベルシフトに接続されたデジタル/アナログコンバータであって、前記レベルシフトから出力された前記デジタル駆動信号に従って前記第 1 駆動電圧を生成するデジタル/アナログコンバータとを有する

請求項 3 0 に記載のソースドライバ。

【請求項 6 1】

前記シフトラッチ部は、
シフト信号を出力するために用いられるシフトレジスタと、
前記シフトレジスタに接続されたラッチ部であって、前記シフト信号に従って前記表示信号をラッチして前記デジタル駆動信号を出力するラッチ部とを含む

請求項 6 0 に記載のソースドライバ。

【請求項 6 2】

前記ラッチ部は、
前記シフトレジスタに接続された第 1 ラッチであって、前記シフト信号に従って少しずつ前記表示信号をラッチする第 1 ラッチと、

前記第 1 ラッチに接続された第 2 ラッチであって、前記第 1 ラッチのラッチ結果に従って前記デジタル駆動信号を出力する第 2 ラッチとを持つ

請求項 6 1 に記載のソースドライバ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は広く電圧バッファに関する。より具体的には、スルーレートを改善することができる電圧バッファおよび電圧バッファのソースドライバに関する。

【背景技術】

【0002】

従来の電圧バッファは、電圧信号の送信、駆動能力の向上および出力電圧への負荷の影響の防止を目的として広く利用されている。LCDのソースドライバで利用される電圧バッファは多くの場合、オペアンプを備える。

【0003】

図 1 は従来の電圧バッファを示す概略回路図である。電圧バッファ 100 はネガティブフィードバック構造を有している。この構造は、オペアンプ 110 の出力端子をオペアンプ 110 の負入力端子に接続する一方、オペアンプ 110 の正入力端子は入力電圧 V I N T に接続することによって実現されている。実質的な短絡を考慮すると、オペアンプ 110 の出力端子で生成された出力電圧 V O U T は理論的には入力電圧 V I N T と等しく、入力電圧 V I N T とともに変化する。

【0004】

10

20

30

40

50

図1に示した電圧バッファはLCDのソースドライバで利用されている。ソースドライバが駆動するパネル端部の負荷容量は非常に大きいので、電圧バッファ100は、入力電圧VIN Tの変化に応じて、入力電圧VIN Tと同じレベルになるように出力電圧VOU Tを短時間で調整できないこともある。つまり、電圧バッファ100のスルーレートは負荷が原因で低くなってしまふ。

【0005】

LCDのサイズが大きくなるにつれて、LCDの負荷容量も大きくなる。ソースドライバの電圧バッファのスルーレートがLCD大型化の傾向に歩調を合わせて効率よく改善されなければ、LCDの表示画質が低下してしまうのは明らかである。

【発明の開示】

【発明が解決しようとする課題】

【0006】

以上の理由から、本発明は入力電圧をオーバードライブ電圧に変換する電圧バッファを提供することを目的とする。オーバードライブ電圧は入力電圧とともに変化し、オーバードライブ電圧の変化は入力電圧の変化より大きい。このようにして、出力電圧の変化を高速化すると同時に電圧バッファのスルーレートを向上させる。

【0007】

本発明はさらに、オーバードライブの原理に基づいてスルーレートが改善されたソースドライバであって、より大きな負荷コンデンサの駆動およびLCD表示画質の向上に適したソースドライバを提供することも目的とする。

【課題を解決するための手段】

【0008】

上記またはこれ以外の目的を達成するべく、本発明はオペアンプとオーバードライブ部を備える電圧バッファを提供する。オペアンプは、正入力端子、負入力端子および出力端子を有しており、オペアンプの出力端子は負入力端子と接続され、オペアンプの出力端子が出力電圧を出力する。オーバードライブ部は、入力電圧とオペアンプの間に接続され、入力電圧と出力電圧を比較し、オペアンプの正入力端子にオーバードライブ電圧を出力する。入力電圧が出力電圧より大きい場合、オーバードライブ電圧は入力電圧より大きく、入力電圧が出力電圧より小さい場合、オーバードライブ電圧は入力電圧より小さく、入力電圧と出力電圧が等しい場合、オーバードライブ電圧は入力電圧と等しい。

【0009】

本発明の一実施形態によると、上記のオーバードライブ部は、電圧検出器、制御部および電圧調整回路を有する。電圧検出器は、入力電圧と出力電圧を比較して、電圧増加信号および電圧減少信号を出力する。制御部は、電圧検出器に接続されていて、電圧増加信号および電圧減少信号に従って電圧調整回路の出力を調整する。電圧調整回路は、制御部に接続されていて、制御部の出力に従ってオーバードライブ電圧のレベルを調整する。

【0010】

本発明の別の実施形態によると、上述の電圧調整回路は、第1端子および第2端子を持つコンデンサと、第1スイッチと、第2スイッチと、第3スイッチと、第4スイッチと、第5スイッチと、第6スイッチと、第7スイッチとを含む。第1スイッチは、充電電圧とコンデンサの第1端子の間に接続される。第2スイッチは、コンデンサの第2端子とグラウンド端子の間に接続される。第3スイッチは、コンデンサの第2端子と入力電圧の間に接続される。第4スイッチは、コンデンサの第1端子とオペアンプの正入力端子の間に接続される。第5スイッチは、入力電圧とコンデンサの第1端子の間に接続される。第6スイッチは、コンデンサの第2端子とオペアンプの正入力端子の間に接続される。第7スイッチは、オペアンプの正入力端子と入力電圧の間に接続される。

【0011】

本発明の一実施形態によると、上述の制御部は、電圧増加信号および電圧減少信号に従って、充電信号、第1経路信号、第2経路信号および復元信号を出力する。充電信号が有効化されている場合、第1スイッチと第2スイッチがオンとなり、第1経路信号が有効化

10

20

30

40

50

されている場合、第3スイッチと第4スイッチがオンとなり、第2経路信号が有効化されている場合、第5スイッチと第6スイッチがオンとなり、復元信号が有効化されている場合、第7スイッチがオンとなる。

【0012】

本発明の別の実施形態によると、上記の電圧調整回路は、第1レジスタと、第2レジスタと、第1電流源と、第2電流源と、第1スイッチと、第2スイッチと、第3スイッチとを含む。第1レジスタは、第1電流源と入力電圧の間に接続され、第1電流源の別の端子は第1作動電圧に接続されている。第2レジスタは、入力電圧と第2電流源の間に接続され、第2電流源の別の端子は第2作動電圧に接続されている。第1スイッチの端子は、第1レジスタと第1電流源の共通ノードに接続され、第1スイッチの別の端子はオペアンプの正入力端子に接続される。第2スイッチの端子は、第2レジスタと第2電流源の共通ノードに接続され、第2スイッチの別の端子はオペアンプの正入力端子に接続される。第3スイッチは、オペアンプの正入力端子と入力電圧の間に接続される。

10

【0013】

本発明の別の実施形態によると、制御部は電圧増加信号および電圧減少信号に従って第1経路信号、第2経路信号および復元信号を出力する。第1経路信号が有効化されている場合、第1スイッチがオンであり、第2経路信号が有効化されている場合、第2スイッチがオンであり、復元信号が有効化されている場合、第3スイッチがオンとなる。

【0014】

上述およびこれ以外の目的を達成するべく、本発明はLCDパネル駆動に適したソースドライバを提供する。このようなソースドライバは、上述の電圧バッファを複数と駆動部とを備える。駆動部は、入力表示信号に従って複数の第1駆動電圧を生成する。複数の電圧バッファは、駆動部に接続されており、複数の第1駆動電圧に1対1で対応し、各電圧バッファは対応する第1駆動電圧に従って第2駆動電圧を出力する。

20

【0015】

電圧バッファはそれぞれオペアンプとオーバードライブ部を有し、オーバードライブ部は対応する第1駆動電圧に従ってオペアンプにオーバードライブ電圧を出力する。電圧バッファはそれぞれ、対応するオーバードライブ電圧に従って、対応する第2駆動電圧を安定化するための時間を短縮して、LCDパネルの表示画質を改善する。ここで、第1駆動電圧は上記の電圧バッファの入力電圧を意味し、第2駆動電圧は上記の電圧バッファの出力電圧を意味する。

30

【発明の効果】

【0016】

入力電圧の変化に対して、本発明ではオーバードライブ部を利用して電圧バッファの入力端子と出力端子の間の電圧差を大きくする。つまり、オーバードライブ電圧は入力電圧が変化するとともに変化し、オーバードライブ電圧の変化幅は入力電圧の変化幅より大きい。このため、より大きい電圧によって駆動されるので、電圧バッファの出力端子の電圧レベルがより短時間で変化して、電圧バッファのスルーレートが向上する一因となる。このような電圧バッファを用いたソースドライバを利用すると、このようなソースドライバは負荷容量が大きいLCDパネルを駆動できるので、表示画質を改善するという効果を奏する。

40

【図面の簡単な説明】

【0017】

添付の図面は本発明をさらに説明するためのものであり、本明細書に組み込まれるとともにその一部とする。添付図面は本発明の実施形態を説明するものであって、図面の説明と併せて、本発明の原則を説明する。

【0018】

【図1】従来の電圧バッファを示す概略回路図である。

【0019】

【図2】本発明の一実施形態に係る電圧バッファを示す回路ブロック図である。

50

【0020】

【図3A】本発明の一実施形態に係る電圧調整回路を示す概略回路図である。

【0021】

【図3B】本発明の別の実施形態に係る電圧調整回路を示す概略回路図である。

【0022】

【図4】本発明の一実施形態に係る電圧検出器を示す概略回路図である。

【0023】

【図5】本発明の別の実施形態に係る電圧検出器を示す概略回路図である。

【0024】

【図6A】本発明の別の実施形態に係る電圧検出器を示す概略回路図である。

10

【0025】

【図6B】本発明の別の実施形態に係る電圧検出器を示す概略回路図である。

【0026】

【図7A】本発明の一実施形態に係る制御部を示す概略回路図である。

【0027】

【図7B】図7Aに示した実施形態に係る信号を示す図である。

【0028】

【図8A】本発明の別の実施形態に係る制御部を示す概略回路図である。

【0029】

【図8B】図8Aに示した実施形態に係る信号を示す図である。

20

【0030】

【図9】本発明の別の実施形態に係るソースドライバを示すブロック図である。

【0031】

【図10】図9に示した実施形態に係る信号を示す図である。

【発明を実施するための最良の形態】

【0032】

本発明の好ましい実施形態を以下に詳述する。好ましい実施形態の例は添付図面に図示する。可能であれば、同一もしくは類似の構成部分を指し示す場合に図面とその説明には同一の参照番号を用いる。

【0033】

30

図2は、本発明の一実施形態に係る電圧バッファを示す回路ブロック図である。電圧バッファ200はオペアンプ210およびオーバードライブ部220を備える。オペアンプ210は、正入力端子、負入力端子および出力端子を有し、出力端子はネガティブフィードバックループを形成するべく負入力端子に接続されている。オペアンプ210の出力端子は出力電圧VOUTを出力する。オーバードライブ部220は、入力電圧VINTとオペアンプ210の間に接続され、入力電圧VINTと出力電圧VOUTを比較してオーバードライブ電圧ODVをオペアンプ210の正入力端子に出力する。

【0034】

オーバードライブ部220が行った比較の結果、入力電圧VINTが出力電圧VOUTより大きい場合は、オーバードライブ電圧ODVが入力電圧VINTより大きく、入力電圧VINTが出力電圧VOUTより小さい場合は、オーバードライブ電圧ODVは入力電圧VINTより小さく、入力電圧VINTと出力電圧VOUTが等しい場合は、オーバードライブ電圧ODVは入力電圧VINTに等しくなる。

40

【0035】

つまり、オーバードライブ部220は、入力電圧VINTの変化に従って入力電圧VINTをオーバードライブ電圧ODVに変換して、オーバードライブ電圧ODVと出力電圧VOUTの電圧差を大きくする。その結果、入力電圧VINTの電圧レベルに一致するようにオペアンプ210の出力電圧VOUTの電圧レベルをより短時間で変化させると同時に、電圧バッファ200のスルーレートを向上させる。

【0036】

50

オーバードライブ部 220 は、電圧検出器 222、制御部 224 および電圧調整回路 226 を有する。電圧検出器 222 は、入力電圧 VINT と出力電圧 VOUT を比較して、比較結果に従って制御部 224 に、電圧増加信号 UP および電圧減少信号 DN を出力する。制御部 224 は、電圧検出器 222 に接続され、電圧増加信号 UP および電圧減少信号 DN に従って電圧調整回路 226 の出力を調整する。電圧調整回路 226 は、制御部 224 の出力に従って（本実施形態によると、制御部 224 からの出力は概して制御信号 CS と呼ぶ）オーバードライブ電圧 ODV の電圧レベルを調整する。

【0037】

入力電圧 VINT が変化すると、オーバードライブ電圧 ODV も、より大きい変化幅でそれに応じて変化する。例えば、入力電圧 VINT が X ボルト増加した場合（X は正数）、オーバードライブ電圧 ODV は $X + dV$ ボルト増加する（ dV は正数）。また逆に、入力電圧 VINT が X ボルト減少すると、オーバードライブ電圧 ODV も $X + dV$ ボルト減少する。オーバードライブ電圧 ODV と出力電圧 VOUT の電圧差がより大きくなっているので、オペアンプ 210 の駆動能力が向上する。この結果、出力電圧 VOUT の変化が高速化されるとともに電圧バッファ 200 のスルーレートが高まる。

【0038】

本発明では、主に入力電圧 VINT の変化を検出することによってオーバードライブ電圧 ODV の電圧レベルを変化させ、電圧バッファ 200 のスルーレートを向上させているので、電圧検出器 222、制御部 224 および電圧調整回路 226 の実施例は 1 つに限定されない。オーバードライブ電圧 ODV の調整は、電圧調整回路 226 を制御部 224 とともに利用して行うが、それぞれの構成をさまざまに変更してもよい。以下では、何通りかの回路構成に基づいて、本実施形態に係る電圧検出器 222、制御部 224 および電圧調整回路 226 のさまざまな実施例を説明する。

【0039】

電圧調整回路 226 の実施例を以下に説明する。図 3A は、本発明の実施形態に係る電圧調整回路を示す概略回路図である。図 3A に示す実施形態によると、制御部 224 から出力された制御信号 CS には、充電信号 PH1、第 1 経路信号 PH2P、第 2 経路信号 PH2N および復元信号 PH2 が含まれる。なお、図 3A に示す実施形態に係る制御部 224 の回路構成は、図 7A および図 7B に示す。

【0040】

図 3A の実施形態によると、電圧調整回路 226 は制御部 224 に接続され、第 1 経路信号 PH2P および第 2 経路信号 PH2N に従ってオーバードライブ電圧 ODV の電圧レベルを調整し、復元信号 PH2 に従ってオーバードライブ電圧 ODV を入力電圧 VINT に等しくする。

【0041】

入力電圧 VINT が変化すると、電圧調整回路 226 に前もって所定の電圧を保持させるべく、充電信号 PH1 が有効化期間を生成する。例えばコンデンサを用いて所定の電圧を保持する。続いて、制御部 224 は、入力電圧 VINT および出力電圧 VOUT の比較結果、つまり電圧増加信号 UP および電圧減少信号 DN の電圧レベルに従って、オーバードライブ期間に第 1 経路信号 PH2P または第 2 経路信号 PH2N を有効化する。オーバードライブ期間には、第 1 経路信号 PH2P および第 2 経路信号 PH2N のうちどちらか一方だけが有効化される。

【0042】

入力電圧 VINT が出力電圧 VOUT よりも大きい場合には、第 1 経路信号 PH2P がオーバードライブ期間に有効化される。入力電圧 VINT が出力電圧 VOUT よりも小さい場合には、第 2 経路信号 PH2N がオーバードライブ期間に有効化される。オーバードライブ期間の後には、復元信号 PH2 が有効化され、この結果オーバードライブ電圧 ODV が入力電圧 VINT と等しくなり、出力電圧 VOUT の電圧レベルが過度に変えられないようにする。クロック信号 CLK の期間は、入力電圧 VINT とともに変化するので、次の入力電圧 VINT がオーバードライブ部 220 に入力されると、オーバードライブ制御

10

20

30

40

50

フローが再度実行される。

【0043】

電圧調整回路226はオーバードライブ電圧ODVをオペアンプ210に出力する。図3Aに示すように、電圧調整回路226は7つのスイッチS1～S7およびコンデンサCを有する。コンデンサCは第1端子CP1および第2端子CP2を持ち、スイッチS1は充電電圧dVとコンデンサCの第1端子CP1の間に接続される。スイッチS2はコンデンサCの第2端子CP2とグラウンド端子GNDの間に接続される。スイッチS3はコンデンサCの第2端子CP2と入力電圧VINTの間に接続され、スイッチS4はコンデンサCの第1端子CP1とオペアンプ210の正入力端子の間に接続されている。スイッチS5は入力電圧VINTとコンデンサCの第1端子CP1の間に接続され、スイッチS6のコンデンサCの第2端子CP2とオペアンプ210の正入力端子の間に接続されている。スイッチS7はオペアンプ210の正入力端子と入力電圧VINTの間に接続されている。本実施形態では、充電電圧dVは正の電圧である。

10

【0044】

充電信号PH1が有効化されている場合、スイッチS1とスイッチS2がオンとなっている。このため、充電電圧dVがコンデンサCに対して充電され、正の電圧差がコンデンサCの第1端子CP1と第2端子CP2の間で発生する。続いて、入力電圧VINTが出力電圧VOUTよりも大きい場合、オーバードライブ期間に第1経路信号PH2Pが有効化され、スイッチS3とスイッチS4がオンとなる。このため、オーバードライブ電圧ODVが入力電圧VINTよりも大きくなる。理論上は、オーバードライブ電圧ODVは、コンデンサCに保持されている電圧のために、入力電圧VINTよりも大きくなるはずである。オーバードライブ電圧ODVと入力電圧VINTの電圧差は、利用の目的に応じて異なる値に前もって設定される、充電電圧dVの量によって決まる。

20

【0045】

入力電圧VINTが出力電圧VOUTよりも小さい場合、オーバードライブ期間に第2経路信号PH2Nが有効化され、スイッチS5およびS6がオンとなる。コンデンサCの両端子間の電圧差は負の電圧差となり、入力電圧VINTに影響を与えてオーバードライブ電圧ODVを入力電圧VINTよりも小さくする。このようにすることによって、オペアンプ210は、出力電圧VOUTを入力電圧VINTのレベルにまで下げるプロセスを高速化することができる。上述のオーバードライブ期間の後には、復元信号PH2が第7スイッチをオンとするべく有効化され、オーバードライブ電圧ODVはスイッチS7がオンとなることによって入力電圧VINTと等しくなる。

30

【0046】

上述した図3Aに示す実施形態を要約すると、入力電圧VINTが変化すると、電圧調整回路226はまず電荷を保持し、続いて信号送信経路を制御することによってオーバードライブ電圧ODVを調整する。入力電圧VINTが高くなると、オーバードライブ電圧ODVもそれに応じて高くなる。入力電圧VINTが低くなると、オーバードライブ電圧ODVもそれに応じて低くなり、オーバードライブ電圧ODVの変化幅は入力電圧VINTの変化幅よりも大きい。最後に、オーバードライブ電圧ODVのレベルは入力電圧VINTに調整される。ここで、充電期間においては、オペアンプ210の正入力端子はグラウンドに対して同等の寄生容量を持つので、充電信号PH1の有効化期間中にオーバードライブ電圧ODVが突然降下することはない。充電信号PH1の有効化期間が調整される限り、オーバードライブ電圧ODVの電圧降下という問題を緩和することができる。

40

【0047】

本発明の別の実施形態によると、充電信号PH1または復元信号PH2が有効化されている場合、もしくは第1経路信号PH2Pおよび第2経路信号PH2Nが両方とも無効化されている場合（入力電圧VINTが出力電圧VOUTと等しい場合）、スイッチS1、S2およびS7が同時にオンとなる。図8Aおよび図8Bは、図3Aに示した実施形態に対応する制御部の回路構成を示す。電圧検出器が入力電圧VINTの変化を検出すると（上昇または降下）、第1経路信号PH2Pおよび第2経路信号PH2Nの一方が有効化さ

50

れ、オーバードライブ電圧ODVを調整する。入力電圧VINTが上昇すると、第1経路信号PH2Pが有効化され、オーバードライブ電圧ODVは入力電圧VINTよりも大きい。入力電圧VINTが低下すると、第2経路信号PH2Nが有効化され、オーバードライブ電圧ODVは入力電圧VINTよりも小さい。入力電圧VINTが出力電圧VOUTと等しい場合、復元信号PH2が有効化され、オーバードライブ電圧ODVは、スイッチS7がオンとなることによって、入力電圧VINTと等しくなる。

【0048】

復元信号PH2が有効化されている間は、充電信号PH1も有効化されるので（本発明の別の実施形態によると、充電信号PH1の代わりに、復元信号PH2がスイッチS1およびS2を制御するために利用される）、スイッチS1およびS2がオンとなる。このため、充電電圧dVがコンデンサCに充電され、コンデンサCの第1端子CP1と第2端子CP2の間に正の電圧差が発生する。入力電圧VINTが再度変化すると、前もってコンデンサCを充電することなく、オーバードライブ電圧ODVを調整するべく第1経路信号PH2Pおよび第2経路信号PH2Nのうち一方が即座に有効化される。このようにすることによって、オーバードライブ電圧ODVのレベルが維持されるだけでなく、前述の実施形態で説明したオーバードライブ電圧ODVの電圧降下という問題を防ぐことができる。また、オーバードライブ電圧ODVの変化プロセスを高速化するとともに、電圧バッファ200のスルーレートを上げる。これ以外の利点としては、クロック信号CLKおよび非重複クロック生成回路（図7Aの710）が必要なくなる、という点が挙げられる。このため、図8Aに示す制御回路800は図700に示す制御部700よりもはるかに簡単に実施できる。

【0049】

本実施形態では、主にコンデンサCを用いて電圧差を保持し、信号送信経路を制御することによって入力電圧VINTをオーバードライブ電圧ODVに変換する。オーバードライブ電圧ODVと出力電圧VOUTの電圧差がより大きいので、オペアンプ210は出力電圧VOUTの電圧レベルをより短時間で調整することができる。このため、電圧バッファのスルーレートが上昇する。

【0050】

本発明の別の実施形態によると、電圧調整回路226は別の回路によって実施される。図3Bは、本発明の別の実施形態に係る電圧調整回路の概略回路図である。図3Bの実施形態によると、制御部224から出力される制御信号CSには、第1経路信号PH2P、第2経路信号PH2Nおよび復元信号PH2が含まれる。図3Bの実施形態に対応する制御部224の回路構成は、図8Aおよび図8Bに示す。図3Bの実施形態によると、入力電圧VINTが出力電圧VOUTよりも大きい場合、第1経路信号PH2Pが有効化され、第2経路信号PH2Nおよび復元信号PH2がともに無効化される。入力電圧VINTが出力電圧VOUTよりも小さい場合、第1経路信号PH2Pおよび復元信号PH2がともに無効化され、第2経路信号PH2Nが有効化される。入力電圧VINTと出力電圧VOUTが等しい場合、復元信号PH2が有効化され、第1経路信号PH2Pおよび第2経路信号PH2Nがともに無効化される。

【0051】

電圧調整回路300は、オペアンプ210の正入力端子に接続され、オーバードライブ電圧ODVを調整する。電圧調整回路300は、電流源I₃₁およびI₃₂、レジスタR31およびR32、スイッチS8、S9およびS10を有する。レジスタR31は電流源I₃₁と入力電圧VINTの間に接続されており、電流源I₃₁の別の端子は第1作動電圧V1に接続されている。レジスタR32は電流源I₃₂と入力電圧VINTの間に接続されており、電流源I₃₂の別の端子は第2作動電圧V2に接続されている。スイッチS8の端子は、レジスタR31と電流源I₃₁の共通ノードに接続され、スイッチS8の別の端子はオペアンプ210の正入力端子に接続されている。

【0052】

スイッチS9の端子は、レジスタR32と電流源I₃₂の共通ノードに接続され、スイ

10

20

30

40

50

ッチS 9の別の端子はオペアンプ210の正入力端子に接続されている。スイッチS 10はオペアンプ210の正入力端子と入力電圧VINTの間に接続されている。ここで、第1経路信号PH2Pが有効化されている場合、スイッチS 8がオンとなる。第2経路信号PH2Nが有効化されている場合、スイッチS 9がオンとなる。復元信号PH2が有効化されている場合、スイッチS 10がオンとなる。

【0053】

つまり、入力電圧VINTが出力電圧VOUTよりも大きい場合、スイッチS 8がオンとなり、オーバードライブ電圧ODVは、入力電圧VINTと、電流源I₃₁の電流が流れるレジスタR31における電圧差を足した合計に等しい。入力電圧VINTが出力電圧VOUTよりも小さい場合、スイッチS 9がオンとなり、オーバードライブ電圧ODVは、入力電圧VINTから、電流源I₃₂の電流が流れるレジスタR32における電圧差を引いた結果に等しい。入力電圧VINTと出力電圧VOUTが等しい場合、スイッチS 10がオンとなり、オーバードライブ電圧ODVは入力電圧VINTに等しい。このように、入力電圧VINTが変化すると、入力電圧VINTと出力電圧VOUTの大小関係に応じて、スイッチS 8およびS 9のうち一方がオンとなり、オーバードライブ電圧ODVをVINT + I₃₁ × R31またはVINT - I₃₂ × R32に調整する。出力電圧VOUTが入力電圧VINTと等しくなると、スイッチS 10がオンとなりオーバードライブ電圧ODVが入力電圧VINTと等しくなる。本実施形態では主に、レジスタを流れる電流源の電流に基づいてレジスタの両端間に電圧差を生じさせ、信号送信経路を制御することによって入力電圧VINTをオーバードライブ電圧ODVに変換する。オーバードライブ電圧ODVと出力電圧VOUTのレベル差がより大きくなっているため、オペアンプ210は出力電圧VOUTのレベルをより短時間で調整することができ、このため電圧バッファのスルーレートが高まる。

【0054】

以下では本実施形態の電圧検出器について詳述する。電圧検出器222は主に、入力電圧VINTと出力電圧VOUTを比較して電圧増加信号UPおよび電圧減少信号DNを出力する。制御部224は、比較結果に基づいて、電圧調整回路を制御するための適切な制御信号を生成しオーバードライブ電圧ODVのレベルを調整する。

【0055】

図4は、本発明の実施形態に係る電圧検出器を示す概略回路図である。電圧検出器400はPMOSトランジスタP41~P43、NMOSトランジスタN41~N43および電流源I₁、I₂およびI₃を有する。PMOSトランジスタP41およびNMOSトランジスタN41は互いに直列に接続され、ともに作動電圧VDDおよび電流源I₁の間に接続されている。NMOSトランジスタN41のゲートが入力電圧VINTに接続される。

【0056】

PMOSトランジスタP42およびNMOSトランジスタN42は互いに直列に接続され、ともに作動電圧VDDおよび電流源I₁の間に接続されている。NMOSトランジスタN42のゲートが出力電圧VOUTに接続され、PMOSトランジスタP42のゲートがPMOSトランジスタP41のゲートに接続され、PMOSトランジスタP42のゲートがPMOSトランジスタP42とNMOSトランジスタN42の共通ノードに接続される。電流源I₂とNMOSトランジスタN43は互いに直列に接続され、ともに作動電圧VDDとグラウンド端子GNDの間に接続され、NMOSトランジスタN43のゲートはPMOSトランジスタP41とNMOSトランジスタN41の共通ノードに接続されている。電流源I₂とNMOSトランジスタN43の共通ノードは電圧減少信号DNを出力する。

【0057】

PMOSトランジスタP43と電流源I₃は互いに直列に接続され、ともに作動電圧VDDとグラウンド端子GNDの間に接続されている。PMOSトランジスタP43のゲートはPMOSトランジスタP41とNMOSトランジスタN41の共通ノードに接続され

、PMOSトランジスタP43と電流源I₃の共通ノードは電圧増加信号UPを出力する。

【0058】

PMOSトランジスタP41とPMOSトランジスタP42のゲート電圧が互いに等しく、両トランジスタのソースが作動電圧VDDに接続されているので、PMOSトランジスタP41とP42のドレイン電圧は主に、PMOSトランジスタP41およびP42を流れる電流を変化させることによって調整される。入力電圧VINTが出力電圧VOUTよりも大きい場合、PMOSトランジスタP41を流れる電流は大きくなる(NMOSトランジスタN41を流れる電流と等しくなければならない)。このため、PMOSトランジスタP41のドレイン電圧レベルは回路の均衡を保つべく降下する。本実施形態では、PMOSトランジスタP41のドレインから出力される電圧を、感知電圧VSEと呼ぶ。

10

【0059】

PMOSトランジスタP43の電流をそのまま維持するべく(電流源I₃と同じでなければならない)、PMOSトランジスタP43のドレイン電圧レベルは、感知電圧VSEが降下すると上昇する。つまり、電圧増加信号UPの電圧レベルが上昇する。本実施形態によると、電圧増加信号UPが上昇した時の電圧レベルは論理Highレベルをみなす。一方、感知電圧VSEの降下に応じて、NMOSトランジスタN43を流れる電流を変えないように(電流源I₂と同じでなければならない)、NMOSトランジスタN43のドレイン電圧レベルはそれとともに上昇する。つまり、電圧減少信号DNの電圧レベルが上昇する。本実施形態では、電圧減少信号DNが上昇した時の電圧レベルも同様に論理Highレベルとみなす。

20

【0060】

逆に、入力電圧VINTが出力電圧VOUTよりも小さい場合、感知電圧VSEは上昇する。このため、電圧増加信号UPおよび電圧減少信号DNは、低い方の電圧レベルを維持する。本実施形態では、このように電圧レベルが低い方の電圧増加信号UPおよび電圧減少信号DNは、論理Lowレベルとみなす。

【0061】

入力電圧VINTと出力電圧VOUTが等しい場合には、PMOSトランジスタP41およびP42、NMOSトランジスタN41およびN42がすべてオンとなり、PMOSトランジスタP43のゲート電圧およびNMOSトランジスタN43のゲート電圧は感知電圧VSEとなる。このため、電圧増加信号UPおよび電圧減少信号DNの論理レベルは、電流源I₃およびI₂の電流の量によって決まる。本実施形態によると、入力電圧VINTが出力電圧VOUTに等しい場合、電圧増加信号UPは論理Lowレベルとなり、電圧減少信号DNは論理Highレベルとなる。

30

【0062】

図4に示すように、入力電圧VINTと出力電圧VOUTの大小関係は、電圧増加信号UPおよび電圧減少信号DNの電圧レベルの変化から知り得る。

【0063】

図5は、本発明の別の実施形態に係る電圧検出器を示す概略回路図である。図4と図5の大きな違いは、感知電圧VSEを生成する回路にある。電圧検出器500は、PMOSトランジスタP51~P53、NMOSトランジスタN51~N53および電流源I₁、I₂およびI₃を有する。PMOSトランジスタP51およびNMOSトランジスタN51は互いに直列に接続され、ともに電流源I₁とグラウンド端子GNDの間に接続されている。PMOSトランジスタP51のゲートが入力電圧VINTに接続される。PMOSトランジスタP52およびNMOSトランジスタN52は互いに直列に接続され、ともに電流源I₁とグラウンド端子GNDの間に接続されている。PMOSトランジスタP52のゲートが出力電圧VOUTに接続される。NMOSトランジスタN52およびN51のゲートは、NMOSトランジスタN52のドレインに接続される。PMOSトランジスタP51とNMOSトランジスタN51の共通ノードが感知電圧VSEを出力する。

40

【0064】

50

感知電圧 V_{SE} は NMOS トランジスタ N_{53} および PMOS トランジスタ P_{53} のゲートにそれぞれ接続されている。電流源 I_2 および NMOS トランジスタ N_{53} の共通ノードは電圧減少信号 DN を出力し、電流源 I_3 および PMOS トランジスタ P_{53} の共通ノードは電圧増加信号 UP を出力する。

【0065】

入力電圧 V_{INT} と出力電圧 V_{OUT} が等しい場合、感知電圧 V_{SE} の電圧レベルは電流源 I_1 を流れる電流によって調整でき、電圧増加信号 UP および電圧減少信号 DN は、感知電圧 V_{SE} の影響を受けて両信号とともに変化する。本実施形態によると、入力電圧 V_{INT} と出力電圧 V_{OUT} が等しい場合、電圧増加信号 UP は論理 Low で、電圧減少信号 DN は論理 $High$ で、これは図4に示した上述の実施形態と同じである。

10

【0066】

入力電圧 V_{INT} が出力電圧 V_{OUT} よりも大きい場合、感知電圧 V_{SE} は降下する。このため、電圧増加信号 UP および電圧減少信号 DN がともに論理 $High$ となる。入力電圧 V_{INT} が出力電圧 V_{OUT} よりも小さい場合、感知電圧 V_{SE} は上昇する。このため、電圧増加信号 UP および電圧減少信号 DN がともに論理 Low となる。

【0067】

図6Aは、本発明の別の実施形態に係る電圧検出器を示す概略回路図である。電圧検出器600は、NMOS トランジスタ $N_{61} \sim N_{67}$ 、PMOS トランジスタ $P_{61} \sim P_{67}$ および電流源 $I_{61} \sim I_{62}$ および $I_2 \sim I_3$ を有する。

【0068】

20

NMOS トランジスタ N_{61} のゲートと PMOS トランジスタ P_{61} のゲートがともに出力電圧 V_{OUT} に接続され、NMOS トランジスタ N_{62} のゲートと PMOS トランジスタ P_{62} のゲートがともに入力電圧 INT に接続されている。電流源 I_{61} は、PMOS トランジスタ P_{61} のソースおよび PMOS トランジスタ P_{62} のソースに接続されている。電流源 I_{62} は、NMOS トランジスタ N_{61} のソースおよび NMOS トランジスタ N_{62} のソースに接続されている。

【0069】

PMOS トランジスタ P_{63} は、作動電圧 V_{DD} と NMOS トランジスタ N_{61} のドレインの間に接続されている。PMOS トランジスタ P_{64} は作動電圧 V_{DD} と NMOS トランジスタ N_{62} のドレインの間に接続されている。PMOS トランジスタ P_{64} のゲートおよび PMOS トランジスタ P_{63} のゲートはバイアス電圧 V_{b0} に接続されている。PMOS トランジスタ P_{65} のソースは、PMOS トランジスタ P_{63} のドレインに接続され、PMOS トランジスタ P_{66} のソースは PMOS トランジスタ P_{64} のドレインに接続され、PMOS トランジスタ P_{66} のゲートと PMOS トランジスタ P_{65} のゲートはともにバイアス電圧 V_{b1} に接続されている。

30

【0070】

NMOS トランジスタ N_{63} のドレインは PMOS トランジスタ P_{65} のドレインに接続され、NMOS トランジスタ N_{63} のソースは PMOS トランジスタ P_{61} のドレインに接続されている。NMOS トランジスタ N_{64} のドレインは PMOS トランジスタ P_{66} のドレインに接続され、NMOS トランジスタ N_{64} のソースは PMOS トランジスタ P_{62} のドレインに接続され、NMOS トランジスタ N_{64} のゲートと NMOS トランジスタ N_{63} のゲートはともにバイアス電圧 V_{b2} に接続されている。

40

【0071】

NMOS トランジスタ N_{65} は、NMOS トランジスタ N_{63} のソースとグラウンド端子 GND の間に接続され、NMOS トランジスタ N_{65} のゲートは NMOS トランジスタ N_{63} のドレインに接続される。NMOS トランジスタ N_{66} は NMOS トランジスタ N_{64} のソースとグラウンド端子 GND の間に接続され、NMOS トランジスタ N_{66} のゲートは NMOS トランジスタ N_{65} のゲートに接続される。NMOS トランジスタ N_{67} は電流源 I_2 とグラウンド端子 GND の間に接続され、NMOS トランジスタ N_{67} のゲートは PMOS トランジスタ P_{66} と NMOS トランジスタ N_{64} の共通ノードに接続さ

50

れている。

【0072】

P MOSトランジスタP 67は作動電圧V D Dと電流源I₃の間に接続される。P MOSトランジスタP 67のゲートはP MOSトランジスタP 66とN MOSトランジスタN 64の共通ノードに接続される。ここで、N MOSトランジスタN 67と電流源I₂の共通ノードは電圧減少信号D Nを出力し、P MOSトランジスタP 67と電流源I₃の共通ノードは電圧増加信号U Pを出力する。

【0073】

P MOSトランジスタP 66とN MOSトランジスタN 64の共通ノードは感知電圧V S Eを出力し、感知電圧V S Eの電圧レベルは入力電圧V I N Tおよび出力電圧V O U Tの変化によって決まる。また、電圧増加信号U Pと電圧減少信号D Nの電圧レベルは感知電圧V S Eの変化によって決まる。

10

【0074】

本実施形態によると、入力電圧V I N Tと出力電圧V O U Tが等しい場合、電圧増加信号U Pが論理L o wで、電圧減少信号D Nが論理H i g hである。入力電圧V I N Tが出力電圧V O U Tよりも大きい場合、感知電圧V S Eが降下し、このため電圧増加信号U Pと電圧減少信号D Nがともに論理H i g hとなる。入力電圧V I N Tが出力電圧V O U Tよりも小さい場合、感知電圧V S Eが上昇し、このため電圧増加信号U Pと電圧減少信号D Nがともに論理L o wとなる。これらはすべて、図4および図5に示した実施形態と同じである。

20

【0075】

当業者であれば、本発明の開示に基づき容易に、上述の図4から図6Aに示した実施形態の回路動作の詳細を知り得るはずである。このため、回路動作の詳細は説明を簡略化すべく省略する。また、電圧増加信号U Pおよび電圧減少信号D Nを生成する原理は、上述の図4から図6Aに示した回路に限定されない。ここで鍵となるのは、入力電圧V I N Tと出力電圧V O U Tの比較結果を取得する必要があるということである。

【0076】

図6Bは、本発明の別の実施形態に係る電圧検出器を示す概略回路図である。電圧検出器610は、主にオペアンプ210内の差動増幅信号D A Sに基づいて、入力電圧V I N Tの変化を検出して、電圧増加信号U Pおよび電圧減少信号D Nを出力する。本実施形態によると、オペアンプ210は差動増幅器212および出力段回路214を有する。差動増幅器212は、正入力端子と負入力端子で受信した信号に従って、差動増幅信号D A Sを出力段回路214に出力する。従来技術によると、オペアンプは通常、差動入力信号の受信、受信信号の増幅、出力段回路を介した2度目の信号増幅および出力信号の生成を目的として、差動回路構造を有する。当業者であれば、本発明の開示に基づき容易に、上述のオペアンプの内部構造を知り得るはずである。このため、内部構造は説明を簡略化すべく省略する。

30

【0077】

図6Bに示すように、電圧検出器610は、オペアンプ210内で生成される差動増幅信号D A Sに基づいて、入力電圧V I N Tの変化を検出する。オーバードライブ電圧O D Vはまず、入力電圧V I N Tの変化に応じて調整されるので(図3Aおよび図3Bの説明を参照のこと)、入力電圧V I N Tが変化すると、オーバードライブ電圧O D Vは入力電圧V I N Tに一致するように調整される。従ってそれに合わせて同時に、差動増幅信号D A Sが変化し、その電圧レベルの変化の仕方は上述した感知電圧V S Eに似ている。さらに、電圧検出器400および500もまた、入力電圧V I N Tと出力電圧V O U Tを比較するためのコンパレータの入力段として、差動増幅器に類似した回路構造を用いる。このため本実施形態に係る電圧検出器610は、オペアンプ210内で生成された差動増幅信号D A Sをそのまま用いて、対応する電圧増加信号U Pおよび電圧減少信号D Nを生成する。このため、電圧検出器610の回路構成は簡潔なものとなり、回路設計コストが削減される。

40

50

【 0 0 7 8 】

電圧検出器 6 1 0 には、NMOS トランジスタ N 6 8、PMOS トランジスタ P 6 8 および電流源 I_2 および I_3 が含まれる。電流源 I_2 および NMOS トランジスタ N 6 8 は作動電圧 VDD およびグラウンド端子 GND の間に接続される。PMOS トランジスタ P 6 8 および電流源 I_3 は作動電圧 VDD とグラウンド端子 GND の間に接続されている。NMOS トランジスタ N 6 8 のゲートおよび PMOS トランジスタ P 6 8 のゲートは差動増幅信号 D A S に接続される。ここで、PMOS トランジスタ P 6 8 と電流源 I_3 の共通ノードは電圧増加信号 U P を出力し、NMOS トランジスタ N 6 8 と電流源 I_2 の共通ノードは電圧減少信号 D N を出力する。

【 0 0 7 9 】

図 2 に示す制御部 2 2 4 を以下に詳述する。制御部 2 2 4 は、電圧検出器 2 2 2 から出力された電圧増加信号 U P および電圧減少信号 D N に従って、オーバードライブ電圧 O D V を生成する電圧調整回路 2 2 6 を制御するべく、充電信号 P H 1、第 1 経路信号 P H 2 P、第 2 経路信号 P H 2 N および復元信号 P H 2 を出力する。

【 0 0 8 0 】

図 7 A は、本発明の実施形態に係る制御部を示す概略回路図である。制御部 7 0 0 は、クロック調整回路 7 1 0、第 1 制御回路 7 2 0、第 2 制御回路 7 3 0 および復元回路 7 4 0 を有する。クロック調整回路 7 1 0 は、クロック信号 C L K に従って、充電信号 P H 1 および参照信号 P H 2 0 を出力する。第 1 制御回路 7 2 0 は、電圧増加信号 U P および参照信号 P H 2 0 に従って第 1 経路信号 P H 2 P を出力する。第 2 制御回路 7 3 0 は、電圧減少信号 D N および参照信号 P H 2 0 に従って第 2 経路信号 P H 2 N を出力する。復元回路 7 4 0 は、電圧増加信号 U P、電圧減少信号 D N および参照信号 P H 2 0 に従って復元信号 P H 2 を出力する。

【 0 0 8 1 】

クロック調整回路 7 1 0 には、遅延回路 7 1 2、NOR (NOT OR) ゲート 7 1 4、NAND (NOT AND) ゲート 7 1 6 およびインバータ 7 1 8 が含まれる。遅延部 7 1 2 はクロック信号 C L K を受け取り、受信した信号を遅延した後、遅延クロック信号 D C L K を出力する。遅延部 7 1 2 は遅延構成要素 (例えば、インバータ) を複数持つ。本実施形態によると、遅延部 7 1 2 は 4 つのインバータから成る。

【 0 0 8 2 】

NOR ゲート 7 1 4 の入力端子は、遅延部 7 1 2 の出力端子およびクロック信号 C L K と接続され、遅延クロック信号 D C L K およびクロック信号 C L K に従って参照信号 P H 2 0 を出力する。NAND ゲート 7 1 6 は、遅延クロック信号 D C L K およびクロック信号 C L K に対して NAND 論理演算を行い、インバータ 7 1 8 を介して充電信号 P H 1 を出力する。

【 0 0 8 3 】

第 1 制御回路 7 2 0 は NAND ゲート 7 2 2 およびインバータ 7 2 4 を持つ。NAND ゲート 7 2 2 は、電圧増加信号 U P および参照信号 P H 2 0 に対して NAND 論理演算を行った後、インバータ 7 2 4 を介して第 1 経路信号 P H 2 P を出力する。

【 0 0 8 4 】

第 2 制御回路 7 3 0 は、インバータ 7 3 2、NAND ゲート 7 3 4 およびインバータ 7 3 6 を持つ。電圧減少信号 D N がインバータ 7 3 2 を介して NAND ゲート 7 3 4 に接続され、NAND ゲート 7 3 4 は反転された電圧減少信号 D N および参照信号 P H 2 0 に対して NAND 論理演算を行い、インバータ 7 3 6 を介して第 2 経路信号 P H 2 N を出力する。

【 0 0 8 5 】

復元回路 7 4 0 はインバータ 7 4 2、NAND ゲート 7 4 4、インバータ 7 4 6 を持つ。ここで、NAND ゲートは 3 つの入力端子を持つ。電圧増加信号 U P はインバータ 7 4 2 を介して NAND ゲート 7 4 4 に接続され、NAND ゲート 7 4 4 は反転された電圧増加信号 U P、電圧減少信号 D N および参照信号 P H 2 0 に対して NAND 論理演算を行い

10

20

30

40

50

、インバータ746を介して復元信号PH2を出力する。

【0086】

ここで、有効化期間において、充電信号PH1、第1経路信号PH2P、第2経路信号PH2Nは重複しない。毎期間において、第1経路信号PH2Pと第2経路信号PH2Nのどちらか一方だけが有効化される。

【0087】

図2に関連する、本発明の実施形態における信号の波形を以下で説明する。図7Bは、図7Aに示す実施形態に係る信号を示す図である。図7Bの実施形態によると、信号に関して、論理Highは例えば、有効化期間を示す。しかし、本発明の別の実施形態によると、論理Lowもまた有効化期間を示すこともあり、例えば出力端子にインバータを設けることによって図7Aを適切に変形することができる。当業者であれば、本発明の開示に基づき容易に、適切な変形例を考案できるはずである。このため、そのような変形例は説明を簡単にするべく省略される。

10

【0088】

図7Bに示すように、クロック信号CLKが有効化された後、(遅延部712が生成した)遅延時間において、充電信号PH1の有効化が開始される。充電信号PH1の有効化期間は充電期間T1と呼ばれる。参照信号PH20の有効化期間と充電信号PH1の有効化期間は重複しない(これはクロック調整回路710によって実現することができる)。

【0089】

充電期間T1中は、スイッチS1およびS2がオンとなり、充電電圧dVがコンデンサCの充電を開始する。続いて、オーバードライブ期間T2中に、第1経路信号PH2Pと第2経路信号PH2Nのいずれか一方を、入力電圧VINTと出力電圧VOUTの比較結果に従って、有効化する。入力電圧VINTが出力電圧VOUTよりも大きい場合、第1経路信号PH2Pが期間T2中に有効化され、スイッチS3およびS4がオンとなり、オーバードライブ電圧ODVは入力電圧VINTよりも大きくなる(つまりオーバードライブ電圧ODVは、入力電圧VINTにコンデンサCの両端子間の電圧差を加えた合計に等しくなる)。入力電圧VINTが出力電圧VOUTよりも小さい場合、第2経路信号PH2Nが期間T2中に有効化され、スイッチS5およびS6がオンとなり、オーバードライブ電圧ODVは入力電圧VINTよりも小さくなる(つまりオーバードライブ電圧ODVは、入力電圧VINTからコンデンサCの両端子間の電圧差を引いた結果に等しくなる)。

20

30

【0090】

オーバードライブ期間の後には、復元信号PH2が有効化される。復元信号PH2の有効化期間は復元期間T3と呼ぶ。復元期間T3中は、スイッチS7がオンとなり、オーバードライブ電圧ODVは入力電圧VINTに等しくなる。復元信号PH2の有効化期間中は、設計の要件に応じてスイッチS1およびS2はオンであってもよいし、オフとしてもよい。この間、電圧バッファは通常通りの動作を継続して行う。

【0091】

一方、入力電圧VINTと出力電圧VOUTが等しい場合、第1経路信号PH2Pと第2経路信号PH2Nがともに無効化される(本実施形態では、第1経路信号PH2Pと第2経路信号PH2Nがともに論理Lowであることを意味する)。

40

【0092】

要約すると、本発明に係る電圧バッファは、入力電圧をそれよりも大きいオーバードライブ電圧に変換するオーバードライブの原理を利用するので、駆動能力が高まり、電圧バッファのスルーレートも上昇する。

【0093】

上述の電圧バッファは駆動能力およびスルーレートが高いので、LCDのソースドライバに利用することができる。このようなソースドライバは、サイズまたは容量負荷が大きいLCDパネルを駆動するのに適しており、そのようなパネルの表示画質がさらに改善される。

50

【 0 0 9 4 】

図 8 A は、本発明の別の実施形態に係る制御部を示す概略回路図である。制御部 8 0 0 は、電圧検出器 2 2 2 から出力される電圧増加信号 U P および電圧減少信号 D N に従って第 1 経路信号 P H 2 P、第 2 経路信号 P H 2 N および復元信号 P H 2 を出力する。制御部 8 0 0 は、図 3 A に示した実施形態に係る電圧調整回路 2 2 6 または、図 3 B に示した実施形態に係る電圧調整回路 3 0 0 に対応し、オーバードライブ電圧 O D V のレベルを調整する。制御部 8 0 0 は、インバータ 8 1 0 および 8 2 0、ならびに A N D ゲート 8 3 0 を有する。図 8 A に示すように、インバータ 8 1 0 は、電圧増加信号 U P を受信し、受信信号を反転し、反転電圧増加信号 U P B を A N D ゲート 8 3 0 に出力する。A N D ゲート 8 3 0 は、反転電圧増加信号 U P B および電圧減少信号 D N に従って復元信号 P H 2 を出力する。インバータ 8 2 0 は、電圧減少信号 D N を受信し、受信信号を反転し、反転信号を第 2 経路信号 P H 2 N として出力する。一方、電圧増加信号 U P はそのまま、第 1 経路信号 P H 2 P として提供されることができる。本実施形態によると、論理 H i g h (論理「 1 」) は有効化状態を示し、上述した信号同士の関係を表 1 に示す(表中において、「 1 」および「 0 」はそれぞれ論理 H i g h 状態と論理 L o w 状態を示し、信号を表す記号はすべて上述したものと同一である。)

10

【 0 0 9 5 】

【表 1】

状態	D N	U P	P H 2 P	P H 2 N	P H 2
V I N T = V O U T	1	0	0	0	1
V I N T > V O U T	1	1	1	0	0
V I N T < V O U T	0	0	0	1	0

20

【 0 0 9 6 】

以下の説明については図 3 A および図 3 B を参照されたい。表 1 に示す通り、V I N T と V O U T が等しい状態においては(図 3 A)、復元信号 P H 2 が有効化され、スイッチ S 1、S 2 および S 7 がオンとなり(ここでは、復元信号 P H 2 が充電信号 P H 1 の代わりにスイッチ S 1 および S 2 を制御するために用いられる)、充電電圧 d V がコンデンサ C を充電し、コンデンサ C の第 1 端子 C P 1 および第 2 端子 C P 2 の間に正の電圧差が発生し、オーバードライブ電圧 O D V はこの時点では入力電圧 V I N T に等しい。V I N T > V O U T の状態においては、第 1 経路信号 P H 2 P が有効化され、スイッチ S 3 および S 4 がオンとなり、オーバードライブ電圧 O D V を入力電圧 V I N T よりも大きくする。V I N T < V O U T の状態においては、第 2 経路信号 P H 2 N が有効化され、スイッチ S 5 および S 6 がオンとなり、オーバードライブ電圧 O D V を入力電圧 V I N T よりも小さくする。以上の説明から分かるように、上記の状態それぞれについて、第 1 経路信号 P H 2 P、第 2 経路信号 P H 2 N および復元信号 P H 2 のうち一度に有効化状態となるのは、1 つの信号だけである。

30

40

【 0 0 9 7 】

図 8 B は、図 8 A の実施形態に係る信号を示す図である。図 8 B に示すように、オーバードライブ期間 T 8 1 において、V I N T と V O U T が等しくない場合、第 1 経路信号 P H 2 P と第 2 経路信号 P H 2 N のうちいずれかが、有効化状態を示す論理 H i g h である。図 8 B に関して、V I N T > V O U T であれば、第 1 経路信号 P H 2 P が有効化される。V I N T < V O U T であれば、第 2 経路信号 P H 2 N が有効化される。復元期間 T 8 2 中は、V I N T と V O U T が等しく、復元信号 P H 2 が有効化状態を示す論理 H i g h となっている。また、図 3 B において、V I N T と V O U T が等しければ、復元信号 P H 2

50

が有効化されスイッチ S_{10} がオンとなり、オーバードライブ電圧 ODV が入力電圧 V_{INT} と等しくなる。 $V_{INT} > V_{OUT}$ であれば、第 1 経路信号 $PH2P$ が有効化され、スイッチ S_8 がオンとなり、オーバードライブ電圧 ODV が入力電圧 V_{INT} よりも大きくなる。 $V_{INT} > V_{OUT}$ であれば、第 2 経路信号 $PH2N$ が有効化され、スイッチ S_9 がオンとなり、オーバードライブ電圧 ODV が入力電圧 V_{INT} よりも小さくなる。

【0098】

図 9 は、本発明の別の実施形態に係るソースドライバを示すブロック図である。ソースドライバ 900 はバッファ部 910 と駆動部 920 を備える。駆動部 920 は、表示信号に従って複数の第 1 駆動信号 $FV_1 \sim FV_N$ を生成する。バッファ部 910 は、駆動部 920 に接続され、複数の電圧バッファ $BUF_1 \sim BUF_N$ を有する。電圧バッファ $BUF_1 \sim BUF_N$ は 1 対 1 で第 1 駆動信号 $FV_1 \sim FV_N$ に対応しており、それぞれ第 1 駆動信号に従って LCD パネルを駆動するための第 2 駆動信号 $SV_1 \sim SV_N$ を出力する。

10

【0099】

本実施形態によると、電圧バッファ $BUF_1 \sim BUF_N$ はそれぞれ、図 2 に示した構造と同じ構造を持つ。このため、上述した第 1 駆動信号 $FV_1 \sim FV_N$ はそれぞれ、図 2 に示した電圧バッファ 200 の入力電圧 V_{INT} に対応し、上述の第 2 駆動信号 $SV_1 \sim SV_N$ はそれぞれ、電圧バッファ 200 の出力電圧 V_{OUT} に対応する。電圧バッファ $BUF_1 \sim BUF_N$ の動作の詳細は、図 2 から図 8 B に示した実施形態の説明を参照されたい。説明を簡略するべくそれらの説明は省略する。

【0100】

駆動部 920 は、シフトレジスタ 925、第 1 ラッチ 935、第 2 ラッチ 945、レベルシフタ 955、およびデジタル/アナログコンバータ (DAC) 965 を有する。本実施形態によると、シフトレジスタ 925、第 1 ラッチ 935 および第 2 ラッチ 945 はまとめてシフトラッチ部と呼ぶ。このシフトラッチ部は主に、クロック信号 CK 、第 1 制御信号 CT_1 、第 2 制御信号 CT_2 に従って、表示信号をラッチして出力したり、表示信号 (例えば、RGB 表示信号) をラッチする。シフトレジスタ 925 は、クロック信号 CK および第 1 制御信号 CT_1 に従ってシフト信号を出力する。ラッチ部の第 1 ラッチ 935 は、シフトレジスタ 925 に接続され、シフト信号に従って表示信号を順次ラッチする。シフトラッチ部の第 2 ラッチ 945 は、第 1 ラッチ 935 に接続され、第 2 制御信号 CT_2 に従って第 1 ラッチ 935 のラッチ結果をラッチして出力する。

20

30

【0101】

第 2 ラッチ 945 からの出力の電圧レベルがレベルシフタ 955 によって調整された後、DAC 965 は調整された信号をアナログ信号 (例えば、電圧信号)、つまり、第 1 駆動信号 $FV_1 \sim FV_N$ に変換する。第 1 駆動信号 $FV_1 \sim FV_N$ は、対応する電圧バッファ $BUF_1 \sim BUF_N$ を通り、第 2 駆動信号 $SV_1 \sim SV_N$ が出力される。

【0102】

電圧バッファ BUF_1 を例にとると、受信した入力電圧は第 1 駆動信号 FV_1 で、出力電圧は第 2 駆動信号 SV_1 である。第 1 駆動信号 FV_1 が変化すると、電圧バッファ BUF_1 の内部にある電圧検出器が第 1 駆動信号 FV_1 と対応する第 2 駆動信号 SV_1 を比較する。第 1 駆動信号 FV_1 が第 2 駆動信号 SV_1 よりも大きい場合、電圧バッファ BUF_1 は第 1 駆動信号 FV_1 よりも大きいオーバードライブ電圧を生成する。逆に、第 1 駆動信号 FV_1 が第 2 駆動信号 SV_1 よりも小さい場合、電圧バッファ BUF_1 は第 1 駆動信号 FV_1 よりも小さいオーバードライブ電圧を生成する。

40

【0103】

オーバードライブ電圧を利用することによって、電圧バッファ BUF_1 の駆動能力がより強力なものとなり、その結果電圧バッファ BUF_1 のスルーレートが改善する。つまり、第 2 駆動信号 SV_1 を変化させる速度が速くなり、より短時間で、第 1 駆動信号 FV_1 と等しくなるように第 2 駆動信号 SV_1 を変えることができる。電圧バッファ $BUF_1 \sim BUF_N$ の動作の詳細は図 2 から図 8 B に示した実施形態の説明を参照されたい。説明を簡略化するべくそれらの実施形態の説明は省略してある。

50

【 0 1 0 4 】

以下では、本実施形態に係る技術内容をさらに説明するべく、ソースドライバと電圧バッファを調整するためのタイミング信号を説明する。図 3 A、図 8 A および図 8 B を参照されたい。図 1 0 は、図 9 に示した実施形態に係る信号を示す図である。第 1 / 第 2 経路信号 P H 2 P / P H 2 N および復元信号 P H 2 については、図 8 B の説明を参照されたい。本実施形態によると、図 3 A に示した充電信号 P H 1 は復元信号 P H 2 のタイミングで制御される。

【 0 1 0 5 】

クロック信号 C K は、周期的なインパルス波形で、シフトレジスタ 9 2 5 の動作の基準となる。水平同期信号 H S C の期間は、ソースドライバ 9 0 0 がゲートラインを駆動するための期間を表す。第 1 制御信号 C T 1 がトリガされると、シフトラッチ部は表示信号に対するシフトおよびラッチ動作の実行を開始する。第 2 制御信号 C T 2 がトリガされると、シフトラッチ部に含まれる第 2 ラッチ 9 4 5 は、第 1 ラッチ 9 3 5 のラッチ結果をラッチして出力する。この結果、デジタル駆動信号が生成される。

10

【 0 1 0 6 】

上述の説明から分かるように、第 2 制御信号 C T 2 の期間は第 1 駆動信号 F V ₁ ~ F V _N を変化させるための期間に対応する。つまり、デジタル駆動信号が変化すると、第 1 駆動信号 F V ₁ ~ F V _N もそれにともなって変化する。このため、第 2 制御信号 C T 2 の各期間中は、電圧バッファ B U F ₁ ~ B U F _N がそれぞれ、第 1 / 第 2 経路信号 P H 2 P / P H 2 N および復元信号 P H 2 に従って、対応する第 2 駆動信号 S V ₁ ~ S V _N を調整する。

20

【 0 1 0 7 】

図 1 0 に示す信号波形は、電圧バッファ B U F ₁ ~ B U F _N の電圧調整回路が図 3 A に示す回路構成を採用した場合に対応する。しかし、電圧バッファ B U F ₁ ~ B U F _N に含まれる電圧調整回路には、図 3 B の回路構成も適している。当業者であれば、本発明の開示に基づき容易に、その場合の調整方法に想到できるはずである。このため、その場合についての説明は、本発明の説明を簡略化するべく省略する。

【 0 1 0 8 】

電圧バッファ B U F ₁ ~ B U F _N のスルーレートが改善されているので、ソースドライバ 9 0 0 はサイズまたは容量負荷が大きい L C D パネルに適している。パネルサイズが大きくなるとともに負荷容量が大きくなる場合、または 1 つの同じ電圧バッファ 2 0 0 でデータライン負荷を 2 以上駆動する必要がある場合、または 1 つの同じ電圧バッファ 2 0 0 が、水平同期信号 H S C のある同じ期間中に複数の異なるデータライン負荷を何度も駆動する必要がある場合（例えば、低温ポリシリコンのソース駆動モードの場合）でも、ソースドライバ 9 0 0 はオーバードライブの原理に基づき駆動能力を向上させ、改善されたスルーレートを維持することができる。

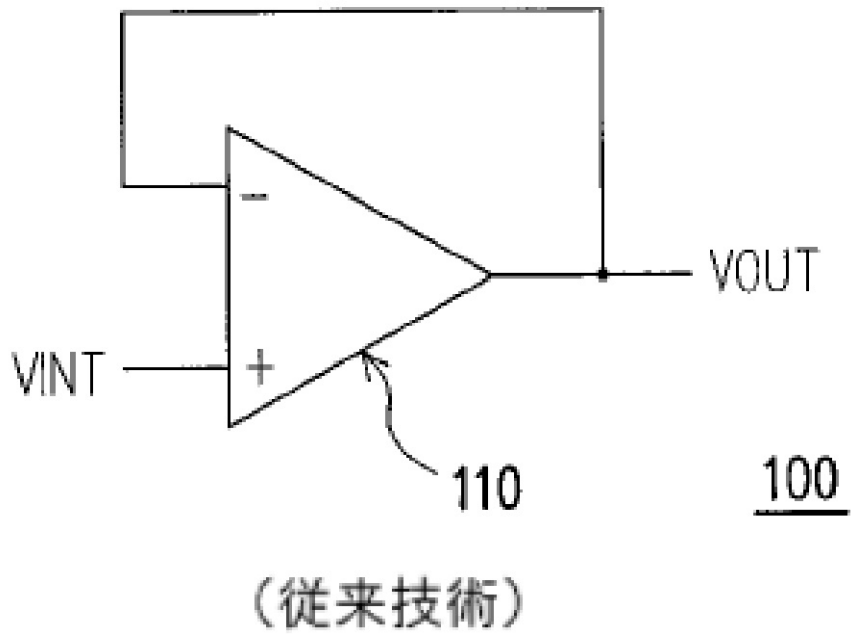
30

【 0 1 0 9 】

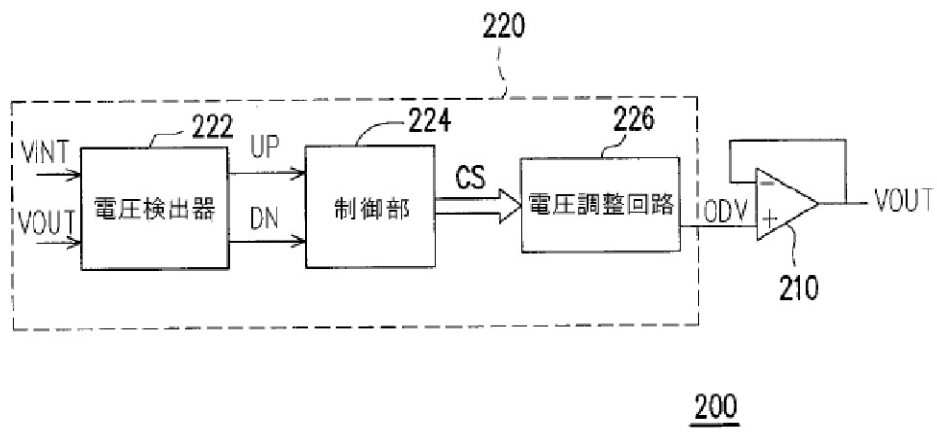
本発明の構造を、本発明の範囲または目的から離れることなく、さまざまに変形および変更することができるのは、当業者には明らかである。前述の内容に基づき、本願請求項およびそれに類するものの範囲にある限り、本発明の変形および変更も本発明に含めるものとする。

40

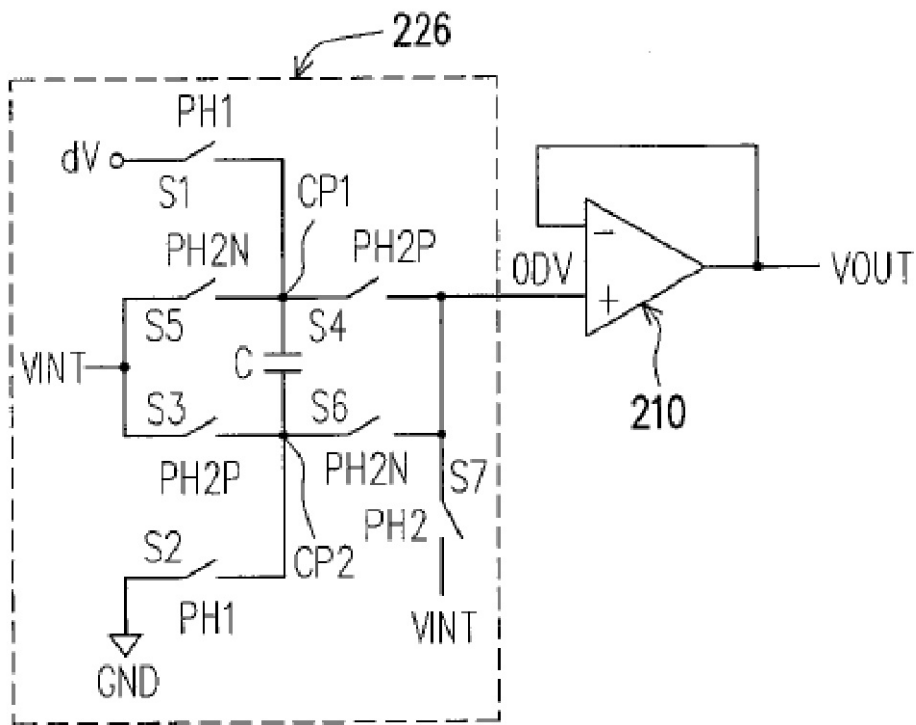
【図1】



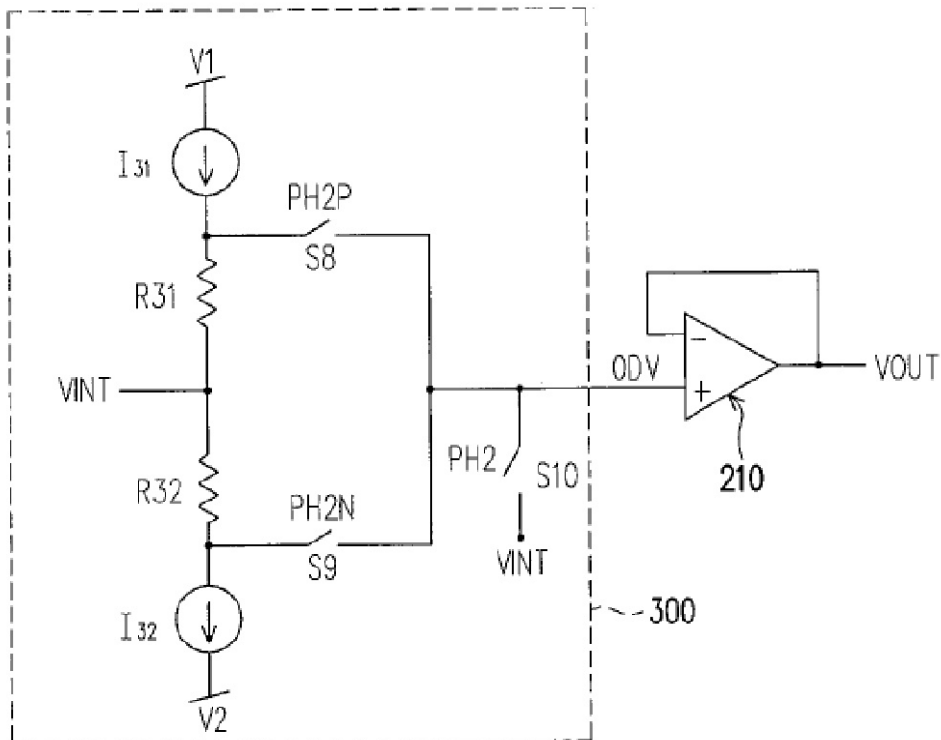
【図2】



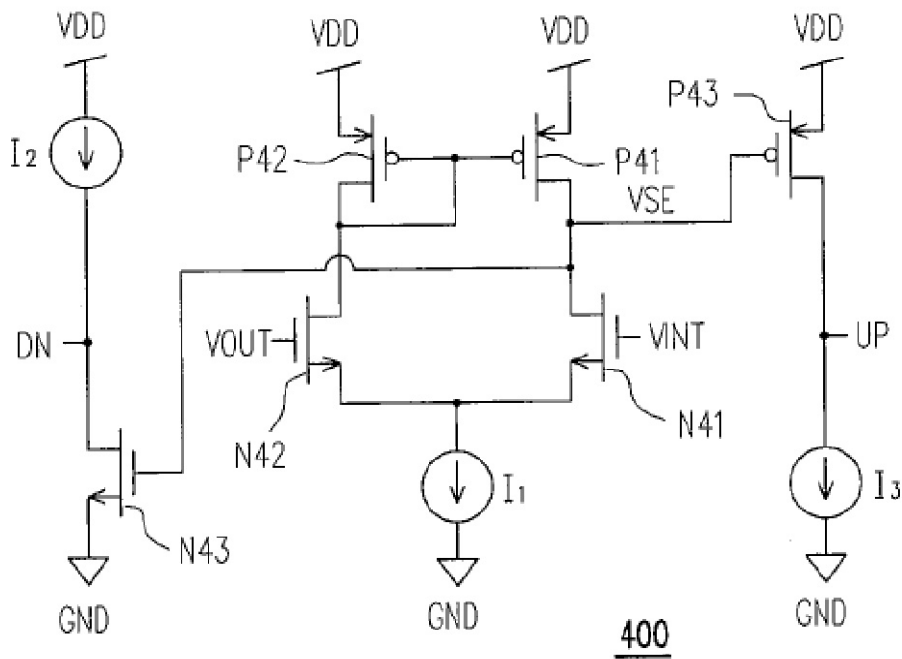
【 図 3 A 】



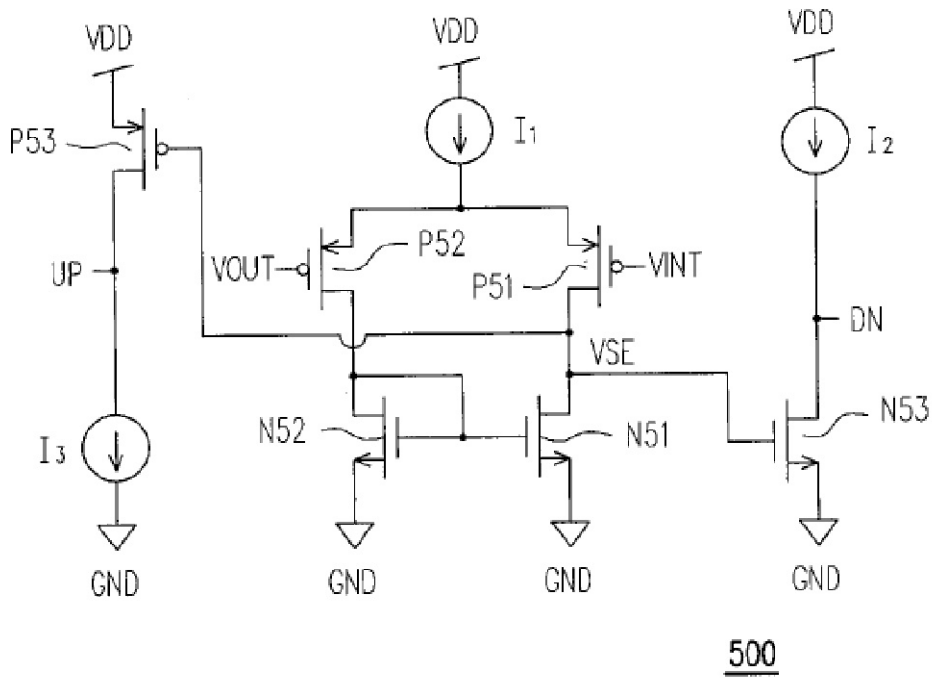
【 図 3 B 】



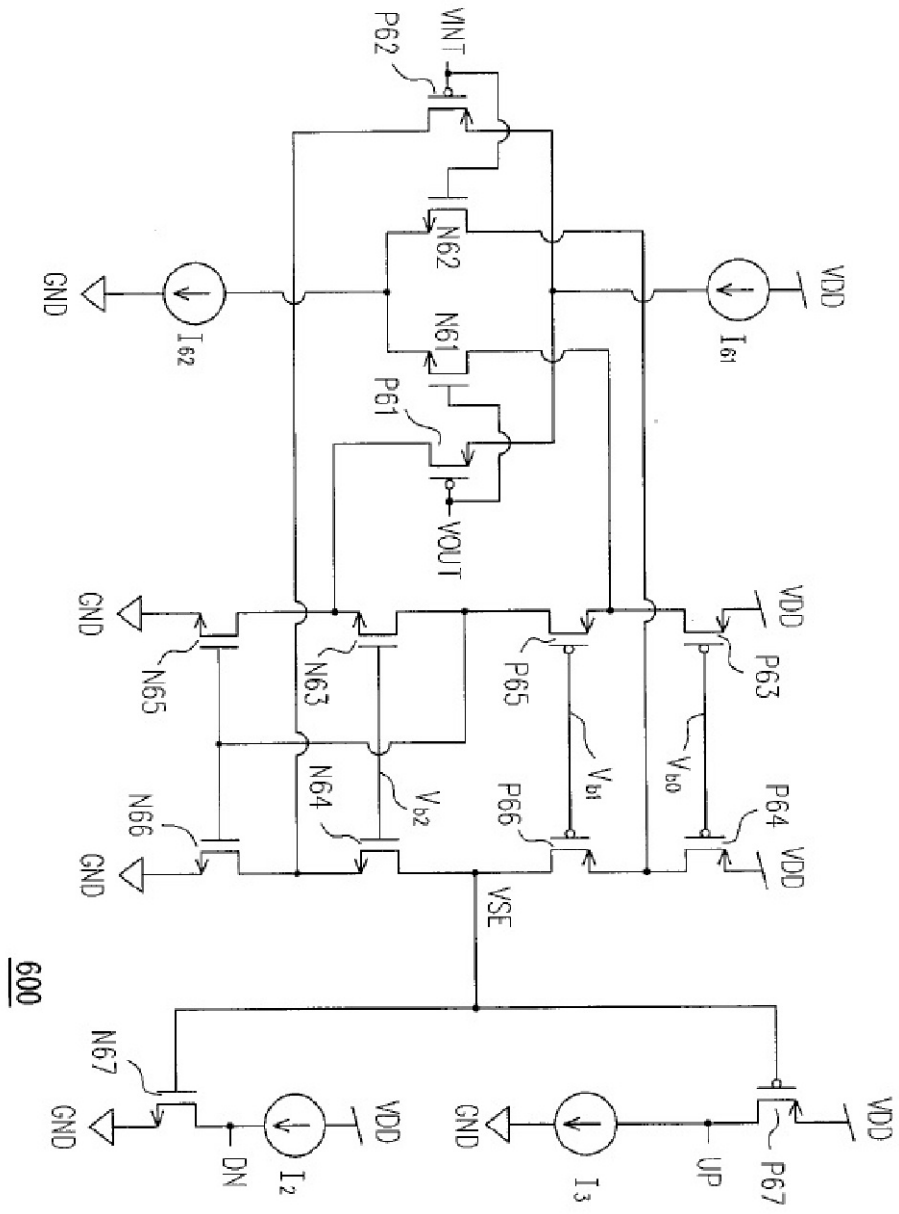
【 図 4 】



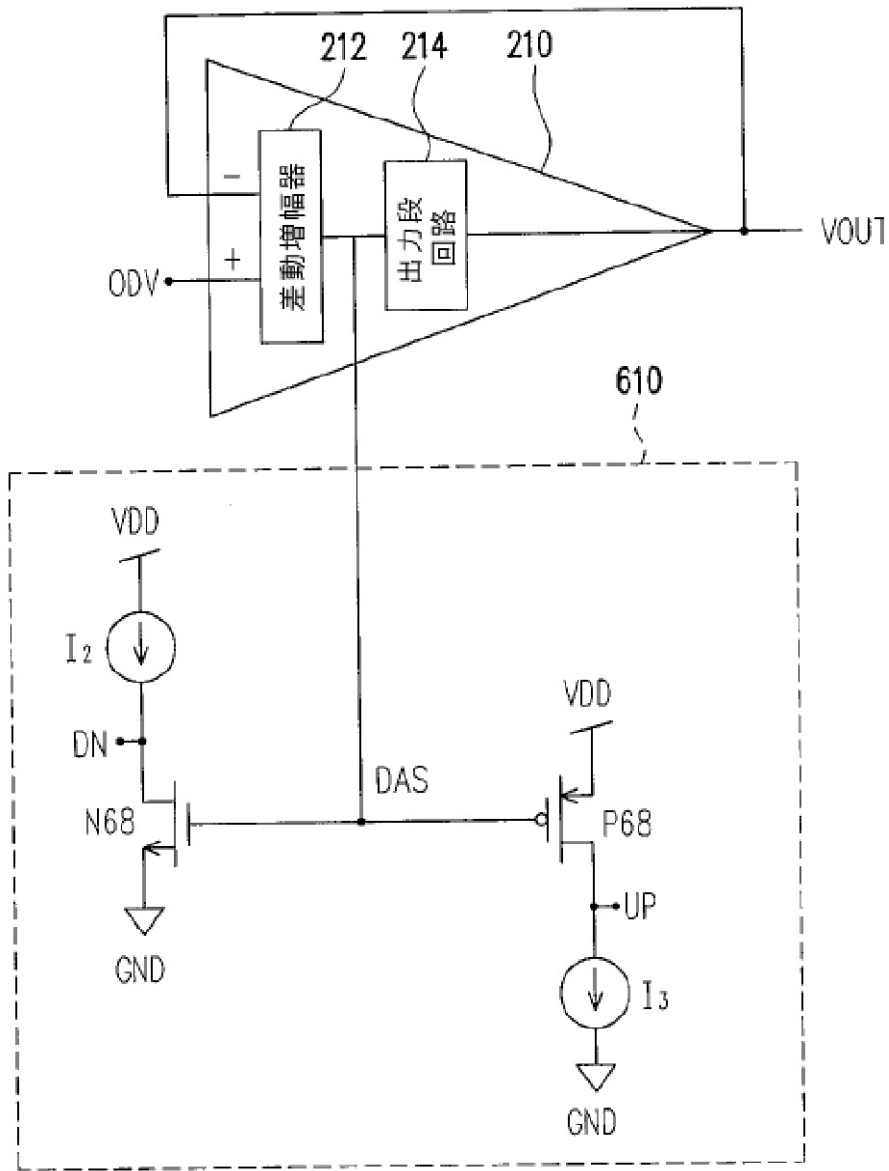
【 図 5 】



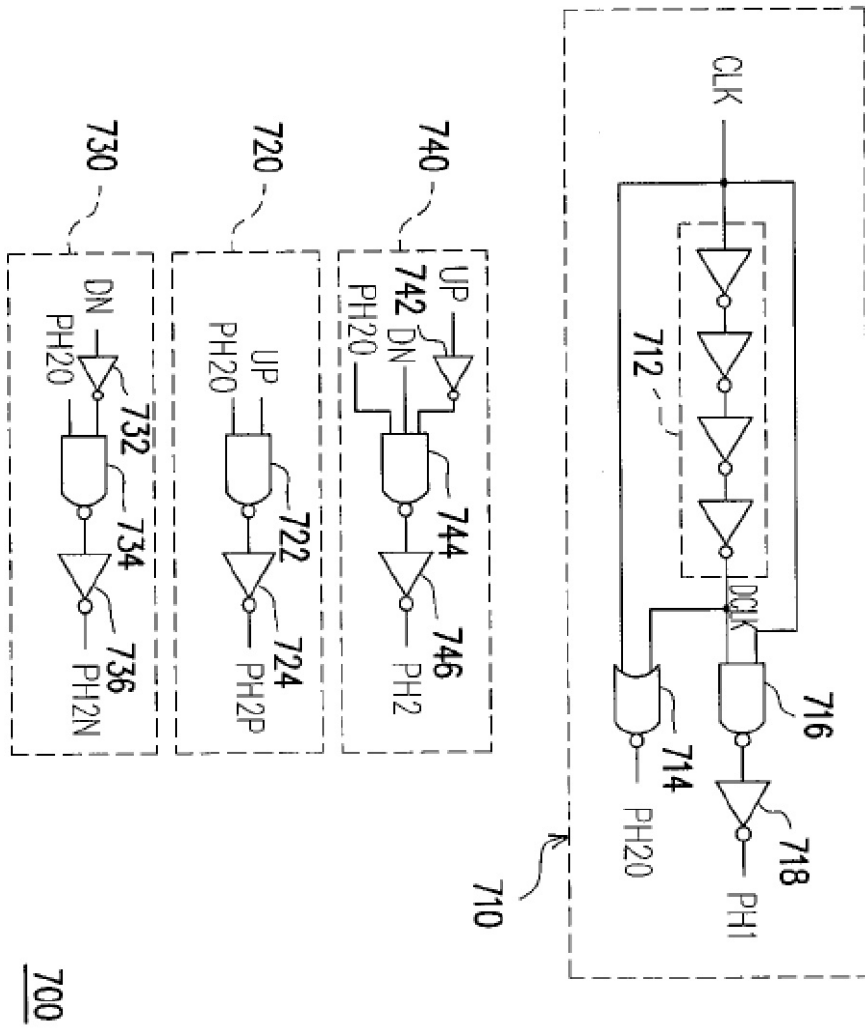
【図6A】



【図6B】

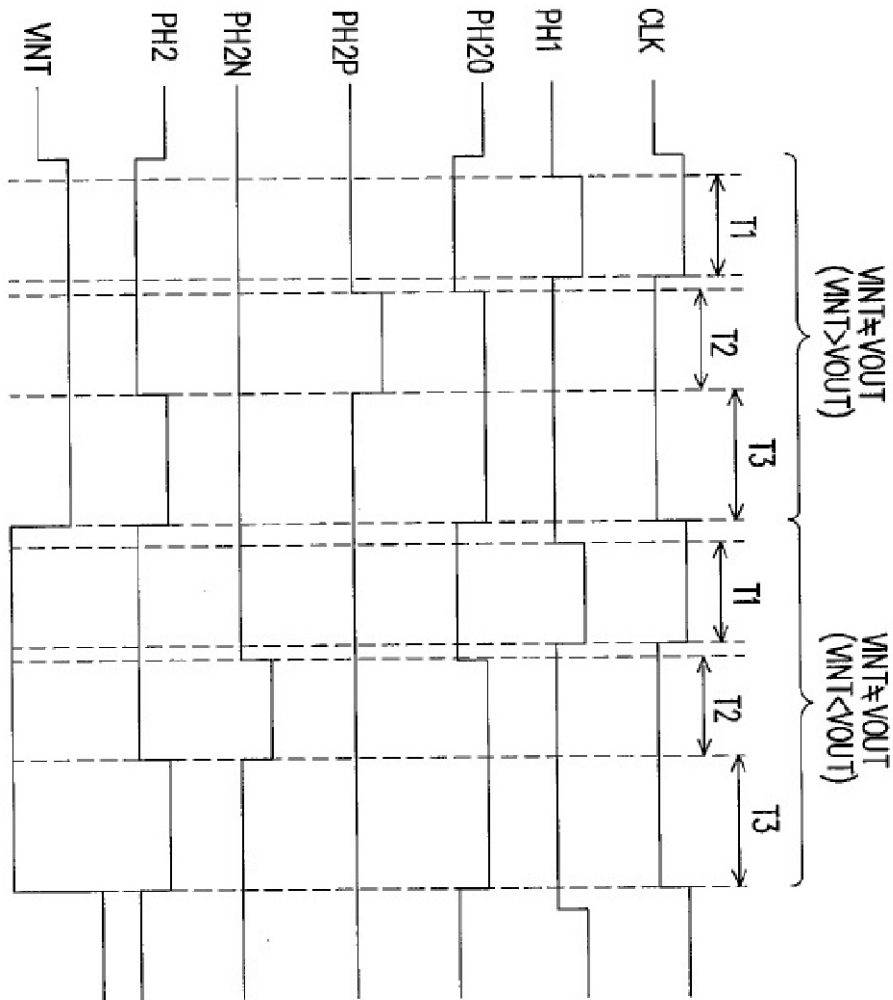


【図7A】

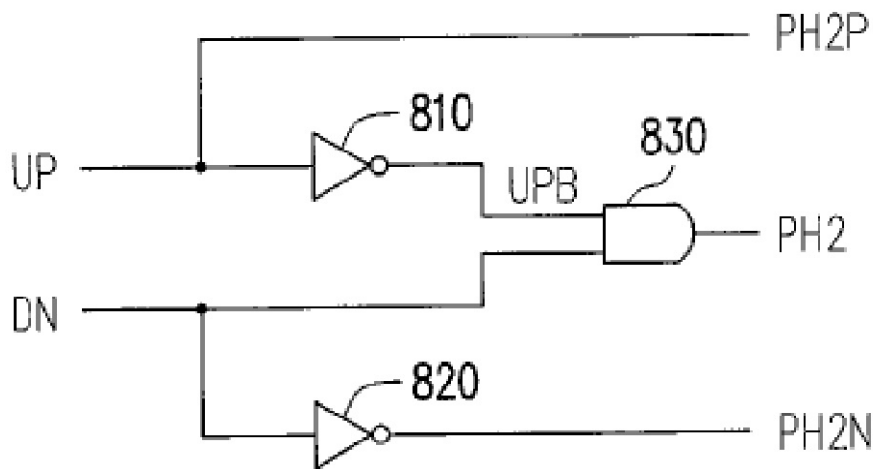


700

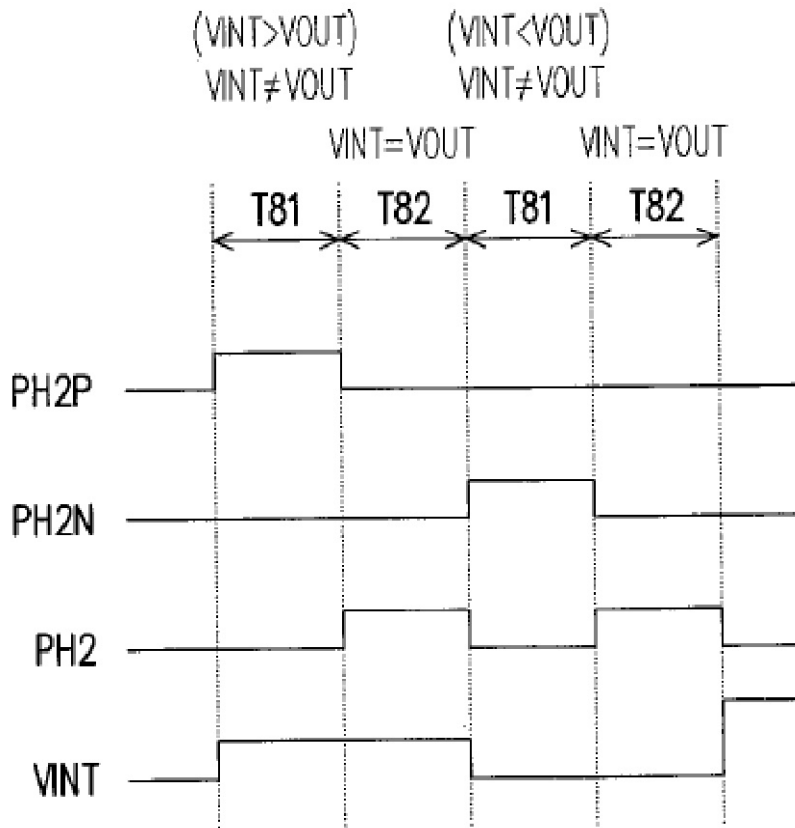
【 図 7 B 】



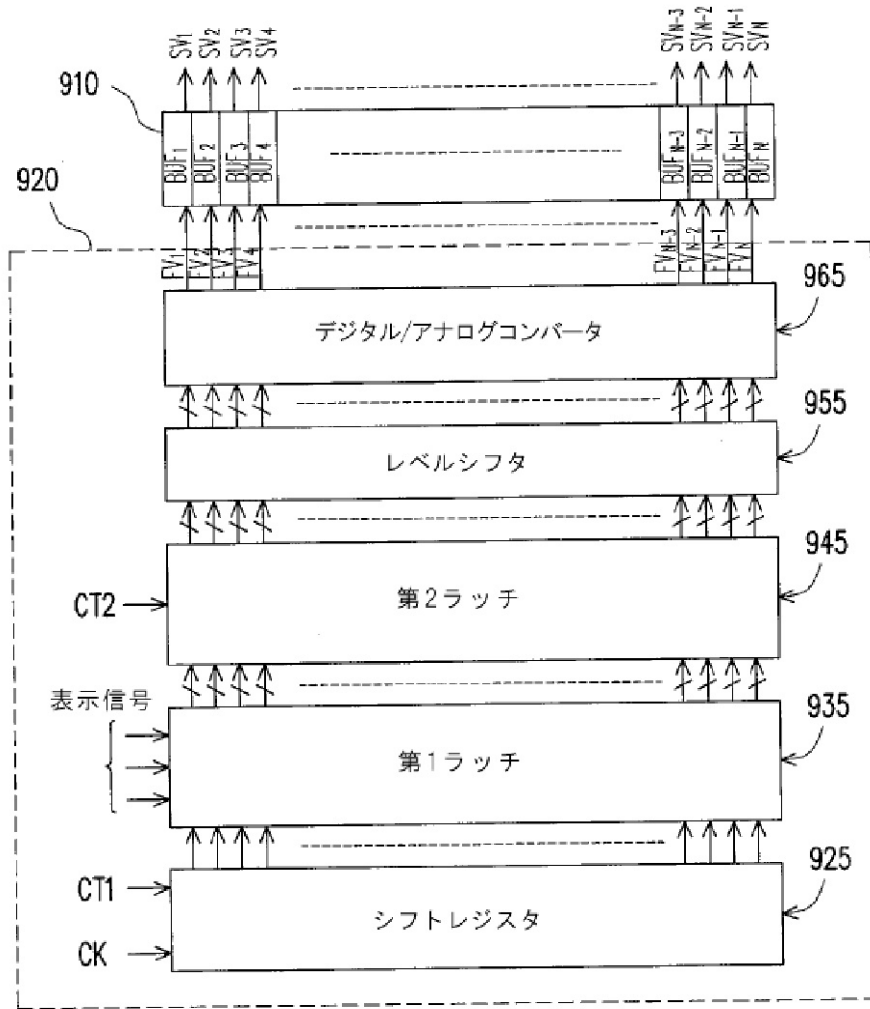
【 図 8 A 】



【 8 B 】

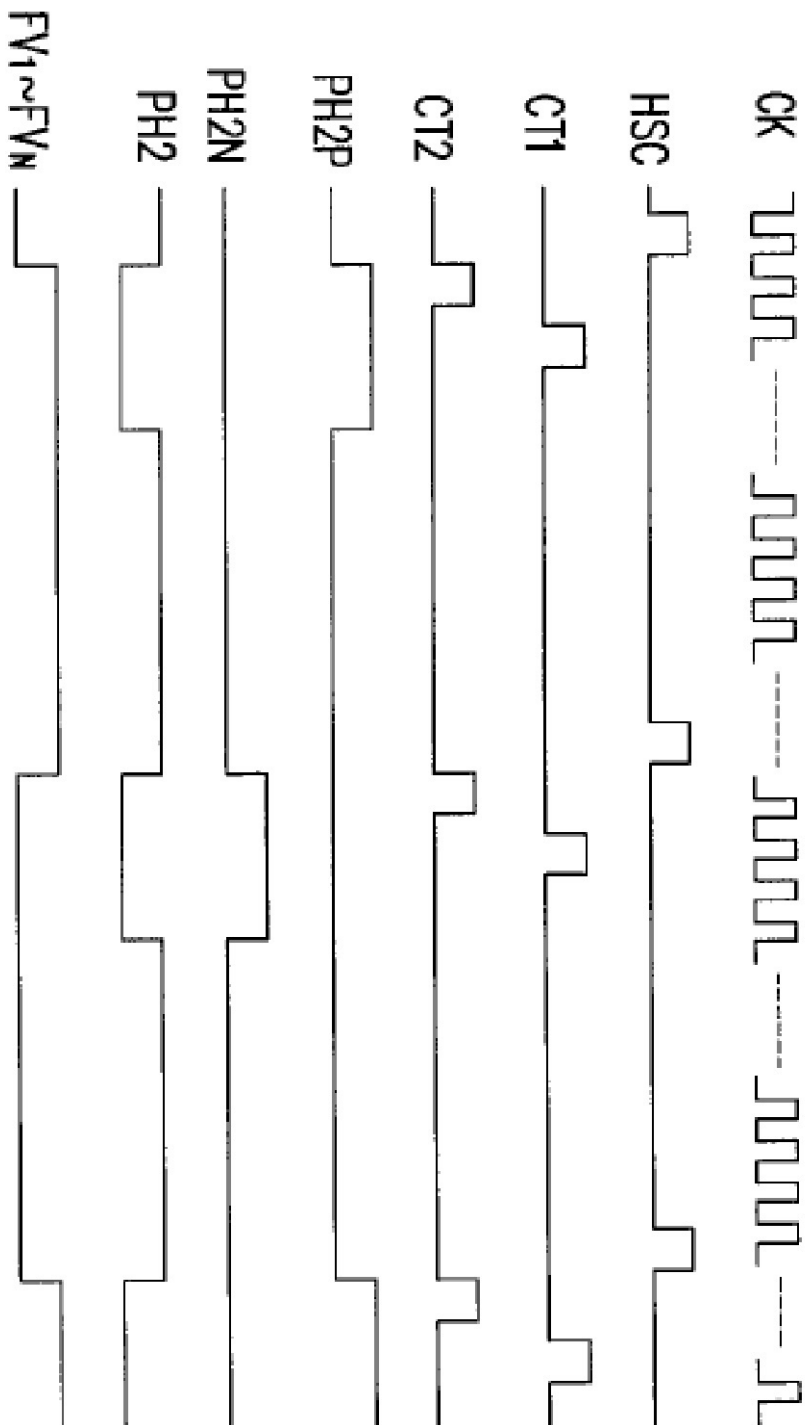


【図9】



900

【 図 1 0 】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 3 G

G 0 2 F 1/133 5 2 0

G 0 2 F 1/133 5 5 0

(56)参考文献 特開平03 - 155523 (JP, A)
特開2006 - 157607 (JP, A)
特開2003 - 233355 (JP, A)
特開2001 - 209359 (JP, A)
特開2006 - 099850 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3 5 0 5 - 5 8 0