



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년10월11일
(11) 등록번호 10-1072456
(24) 등록일자 2011년10월05일

(51) Int. Cl.

G11C 15/00 (2006.01) G11C 15/04 (2006.01)

G11C 16/02 (2006.01) G11C 16/30 (2006.01)

(21) 출원번호 10-2009-0133899

(22) 출원일자 2009년12월30일

심사청구일자 2009년12월30일

(65) 공개번호 10-2011-0077349

(43) 공개일자 2011년07월07일

(56) 선행기술조사문헌

US06515884 B1*

US07408797 B2*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

충북대학교 산학협력단

충청북도 청주시 흥덕구 개신동 12

(72) 발명자

양병도

충청북도 청주시 흥덕구 개신동 410

(74) 대리인

김정현

전체 청구항 수 : 총 5 항

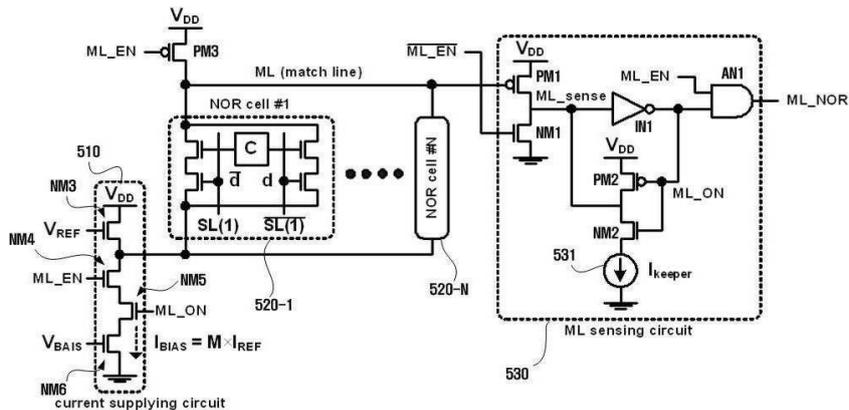
심사관 : 손윤식

(54) 저전력 내용 주소화 메모리 구동 회로

(57) 요약

본 발명은 저전력 내용 주소화 메모리 구동 회로에 관한 것으로, 특히, 캠(CAM : Contents addressable Memory)의 서치라인을 로우스윙으로 동작시켜 그 서치라인에서 소모되는 전력을 줄일 수 있도록 하는데 목적이 있다. 본 발명은 상기 목적을 달성하기 위하여, 바이어스 전류 패스를 형성하는 전류공급회로(510)와, 매치라인(ML)과 상기 전류공급회로(510)의 사이에 병렬접속되어 데이터를 저장하는 N개의 NOR 셀(520-1~520-N)과, 매치라인 인에이블신호(ML_EN)가 액티브되면 전원전압을 상기 매치라인에 공급하는 피모스 트랜지스터(PM3)와, 매치라인 인에이블신호(ML_EN)(/ML_EN)에 의해 상기 매치라인(ML)의 데이터를 센싱하여 출력하는 센스앰프 회로(530)를 포함하여 구성함을 특징으로 한다.

대표도



이 발명을 지원한 국가연구개발사업

과제고유번호 .

부처명 .

연구관리전문기관

연구사업명 .

연구과제명 초소형 생체정보저장 칩 및 시스템 개발

기여율

주관기관 충북BIT연구중심대학육성사업단

연구기간 2009년 04월 01일 ~ 2010년 03월 30일

특허청구의 범위

청구항 1

매치라인에 병렬접속되어 데이터를 저장하는 N개의 NOR 셀과,
 상기 N개의 NOR 셀에 바이어스 전류(I_{BIAS})를 공급하는 전류공급 수단과,
 매치라인 인에이블신호에 따라 전원전압을 상기 매치라인에 공급하는 스위칭 수단과,
 매치라인 인에이블신호(ML_EN)(/ML_EN)에 의해 상기 매치라인의 데이터를 센싱하여 출력하는 센스앰프 수단을 포함하되,
 상기 전류공급 수단은 기준전류(I_{REF})보다 M배 큰 바이어스 전류(I_{BIAS})를 공급하도록 구성함을 특징으로 하는 저전력 내용 주소화 메모리 구동 회로.

청구항 2

삭제

청구항 3

제1항에 있어서, 전류공급 수단은
 전원전압(Vdd)와 접지전압 사이에 4개의 엔모스 트랜지스터(NM3~NM6)를 순차 직렬접속하여, 상기 엔모스 트랜지스터(NM3)의 게이트 단자에 기준전압(Vref)을 인가하고 상기 엔모스 트랜지스터(NM4)의 게이트 단자에 매치라인 인에이블신호(ML_EN)를 인가하며 상기 엔모스 트랜지스터(NM5)의 게이트 단자에 매치라인 온 신호(ML_ON)를 인가하고 상기 엔모스 트랜지스터(NM6)의 게이트 단자에 바이어스 전압(Vbias)을 인가하며 상기 엔모스 트랜지스터(NM3)(NM4)의 접속점을 N개의 NOR 셀(520-1~520-N)에 공통 접속하여, 바이어스 전류(I_{BIAS}) 패스를 제공하도록 구성함을 특징으로 하는 저전력 내용 주소화 메모리 구동 회로.

청구항 4

제1항에 있어서, 상기 스위칭 수단은 모스 트랜지스터로 구성함을 특징으로 하는 저전력 내용 주소화 메모리 구동 회로.

청구항 5

제1항에 있어서, 상기 센스앰프 수단은
 매치라인이 게이트 단자에 연결된 피모스 트랜지스터(PM1)와 매치 인에이블신호(/ML_EN)가 게이트 단자에 인가된 엔모스 트랜지스터(NM1)를 전원전압(Vdd)과 접지전압 사이에 직렬접속하고, 상기 모스 트랜지스터(PM1)(NM1)의 접속점이 입력단자에 연결된 인버터(IN1)의 출력단자를 일측단자에 매치라인 인에이블신호(ML_EN)가 인가된 앤드게이트(AN1)의 타측단자에 연결하며, 상기 앤드게이트(AN1)에서 센싱신호(ML_NOR)이 출력되도록 구성함을 특징으로 하는 저전력 내용 주소화 메모리 구동 회로.

청구항 6

제5항에 있어서, 상기 센스앰프 수단은
 전원전압(Vdd)과 전류원 사이에 직렬접속되고 게이트단자가 상기 앤드게이트의 타측단자에 공통접속되는 피모스 트랜지스터(PM2) 및 엔모스 트랜지스터(NM2)를 더 포함하여 상기 모스 트랜지스터(PM2)(NM2)의 접속점을 상기 인버터(IN1)의 입력단자에 접속하도록 구성함을 특징으로 하는 저전력 내용 주소화 메모리 구동 회로.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 메모리 셀에 관한 것으로, 특히, 저전력 내용 주소화 메모리 구동 회로에 관한 것이다.

배경기술

[0002] 내용 주소화 메모리(content addressable memory : CAM)는 다수의 CAM 셀을 구비하여 데이터를 저장하는 장치로서, 패턴(pattern), 리스트, 이미지 데이터 등을 빨리 검색할 필요가 있는 응용분야에 많이 이용된다.

[0003] 캠(CAM)은 바이너리 캠(binary CAM)과 터캠(TCAM : Ternary CAM)으로 구분된다.

[0004] 상기 바이너리 캠은 2가지 상태 정보 즉, 로직 '1' 상태와 로직 '0' 상태를 저장하며, 상기 터너리 캠은 3가지 상태 정보 즉, 로직 '0' 상태, 로직 '1' 상태 및 돈 케어(don't care) 상태 중 어느 하나를 저장할 수 있도록 구성되었다.

[0005] 도 1(a)는 종래의 바이너리 캠 메모리 셀의 구성도이고, 도 1(b)는 종래의 터캠 메모리 셀의 구성도이다.

[0006] 상기 종래 바이너리 캠 메모리 셀은 는 1쌍의 인버터와, 1쌍의 엔모스 트랜지스터로 구성되며, 상기 1쌍의 엔모스 트랜지스터의 게이트 단자에 워드라인(WL)이 연결되고, 상기 1쌍의 엔모스 트랜지스터의 양단에 비트라인(BL)(/BL)이 각기 연결되어 구성된다.

[0007] 상기 종래 터캠 메모리 셀은 2쌍의 인버터와, 1쌍의 엔모스 트랜지스터로 구성되며, 상기 1쌍의 엔모스 트랜지스터의 게이트 단자에 워드라인(WL)이 연결되고, 상기 1쌍의 엔모스 트랜지스터의 양단에 비트라인(BL)(/BL)이 각기 연결되어 구성된다.

[0008] 상기 도 1(a)(b)의 캠 셀 메모리에는 비교로직이 구비되어, 외부 데이터를 수신하여 내부에 저장된 데이터와 매치(match)되는지 여부를 판단하기 위하여 비교하며, 그 비교 결과에 대응되는 어드레스를 출력한다.

[0009] 또한, 도 2는 기존의 NOR 타입 캠 메모리 셀의 구성도로서, 도 2(a)는 미스매치(mismatch) 상태, 도 2(b)는 매치(match) 상태를 도시한 것이다.

[0010] 기존의 NOR 타입 캠 메모리 셀은 매치라인(ML)과 접지단자 사이에 2쌍의 엔모스 트랜지스터가 각각 직렬 접속되고 상기 대응된 1쌍의 엔모스 트랜지스터의 게이트단자에 서치라인(SL)(/SL)이 각기 연결되며 상기 대응된 다른 1쌍의 엔모스 트랜지스터의 게이트 단자 사이에 메모리 셀(C)이 연결되어 구성된다.

[0011] 도 2 구조의 기존 NOR 타입 캠 메모리 셀은 먼저, 서치(search) 동작이 시작되기 전에 매치라인(ML)이 전원전압(V_{DD})으로 충전된다.

[0012] 이후, 서치동작이 시작되면 메모리 셀(C)에 저장된 데이터와 서치라인(SL)(/SL)의 데이터가 다를 경우 즉, 미스매치 상태인 경우 도 2(a)와 같이 서치라인(SL)에 접속된 측의 1쌍의 엔모스 트랜지스터를 통한 전류 패스(path)가 형성되어 매치라인(ML)이 접지전압으로 방전된다.

[0013] 반대로, 서치동작 시에 메모리 셀(C)에 저장된 데이터와 서치라인(SL)(/SL)의 데이터가 같을 경우 즉, 매치 상태인 경우 도 2(b)와 같이 엔모스 트랜지스터를 통한 전류 패스가 형성되지 않으므로 매치라인(ML)은 이전 값인 전원전압(V_{DD})값을 유지하게 된다.

[0014] 그러나, 기존의 캠(CAM) 메모리 셀은 서치(Search) 동작시에 매 클럭 주기마다 서치라인과 매치라인의 충,방전을 하여야 하기 때문에 전력소모가 매우 크다는 문제점이 있다. 특히, 그 중 서치라인의 캐패시턴스가 매우 크기 때문에 입력 데이터에 따라 변화하는 서치라인을 충전 및 방전하기 위하여 많은 전력이 소모된다는 문제점이 있다.

[0015] 또한, 기존의 NOR 타입 캠 메모리 셀은 속도는 매우 빠르나, 직렬로 연결된 트랜지스터를 강하게 켜기 위해서 서치 데이터가 접지전압으로부터 전원전압(V_{DD})까지 플스윙으로 동작해야 하기 때문에 서치라인의 전력소모가 매우 크다는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0016] 따라서, 본 발명은 캠(CAM : Contents addressable Memory)의 서치라인을 로우스윙으로 동작시켜 그 서치라인에서 소모되는 전력을 줄일 수 있도록 창안한 저전력 내용 주소화 메모리 셀 구동회로를 제공하는데 그 목적이 있다.

과제 해결수단

[0017] 본 발명은 상기 목적을 달성하기 위하여, NOR 타입 캠 메모리 셀의 서치라인이 연결된 1쌍의 엔모스 트랜지스터의 소스 단자를 접속하여 그 접속점을 전류원에 연결하고, 기준전압에 따라 전원전압을 상기 접속점에 인가하기 위한 엔모스 트랜지스터를 포함하여, 센스앰프 타입(sense amplifier type)의 캠 셀을 구성함으로써 서치라인의 전력소모를 효과적으로 줄일 있도록 하는데 특징이 있다.

[0018] 즉, 캠(CAM)은 서치동작 시에 매치라인과 서치라인을 매 클럭 주기마다 충방전해야 하기 때문에 전력소모가 매우 크다. 특히, 서치라인의 전력소모가 CAM의 서치동작에서 대부분의 전력소모라 할 수 있기 때문에 서치라인의 전력소모를 줄이는 것은 전체 전력소모를 줄이는데 매우 큰 이점으로 작용할 것임으로, 본 발명에서는 센스앰프 타입의 캠 셀을 구성함과 아울러 그 캠 셀의 서치라인을 로우 스윙으로 동작시킴으로써 전력소모를 줄일 수 있는 것이다.

[0019] 또한, 본 발명은 상기 목적을 달성하기 위해, 바이어스 전류 패스를 형성하는 전류공급회로와, 매치라인과 상기 바이어스 전류 패스 사이에 병렬접속되는 N개의 NOR 셀과, 매치라인 인에이블신호가 액티브되면 전원전압을 상기 매치라인에 공급하는 모스트랜지스터와, 매치라인 인에이블신호에 의해 상기 매치라인의 데이터를 센싱하여 출력하는 센스앰프 회로를 포함하여 구성함을 특징으로 한다.

효과

[0020] 상기 구성의 본 발명은 서치라인의 데이터를 로우스윙으로 동작시킴으로써 매 클럭 주기마다 큰 캐패시턴스를 갖는 서치라인과 매치라인의 충방전으로 인한 전력소모를 줄일 수 있는 효과가 있다.

[0021] 즉, 본 발명은 센스앰프 타입의 캠 셀을 구성하고 서치동작 시에 서치라인의 데이터를 로우스윙으로 동작시킴으로써 전력소모를 줄이는 효과를 달성할 수 있다.

발명의 실시를 위한 구체적인 내용

[0022] 이하, 본 발명의 바람직한 실시 예를 첨부한 도면을 참조하여 상세히 설명한다. 본 발명의 보다 전반적인 이해를 돕기 위해 하기 설명 및 도면에서 구체적으로 처리 흐름과 같은 특정 상세들이 나타나 있다. 이들 특정 상세들 없이 본 발명이 실시될 수 있다는 것은 이 기술분야에서 통상의 지식을 가진 자에게 자명할 것이다. 그리고, 본 발명의 요지를 불필요하게 흐릴 수 있는 공지 기능 및 구성에 대한 상세한 설명은 생략하기로 한다.

[0023] 우선, 본 발명의 실시 예로서 제안된 센스앰프 타입의 캠 셀은 도3에 도시한 바와 같이, 매치라인(ML)에 제1, 제2 엔모스 트랜지스터와 제3, 제4 엔모스 트랜지스터를 각각 직렬 접속하고, 상기 제2, 제4 엔모스 트랜지스터의 게이트단자에 서치라인(SL)(/SL)를 각기 연결하며, 상기 제1, 제3 엔모스 트랜지스터의 게이트 단자 사이에 메모리 셀(C)을 연결하고, 상기 제2, 제4 엔모스 트랜지스터의 소스단자를 바이어스 전류 패스를 형성하는 전류공급회로에 연결하여, 서치라인(SL)(/SL)을 로우스윙으로 동작시키도록 구성한다.

[0024] 상기 전류공급회로는 기준전압(Vref)에 의해 전원전압(VDD)을 상기 제2, 제4 엔모스 트랜지스터의 소스단자에 공급하는 제5 엔모스 트랜지스터와, 상기 소스단자에 연결되어 바이어스 전류 패스를 형성하는 전류원으로 구성한다.

[0025] 상기 구성의 본 발명의 실시 예로서 제안된 센스앰프 타입의 캠 셀에 대한 동작을 설명하면 다음과 같다.

[0026] 먼저, 로우스윙으로 동작하는 서치라인(SL)(/SL)의 전압 차에 따라 서치데이터와 메모리 셀(C)에 저장된 데이터가 같을 경우 즉, 매치상태인 경우 도 3(b)와 같은 바이어스 전류 패스가 형성되고 매치라인(ML)은 전원전압(VDD) 상태를 유지하게 된다.

[0027] 반대로 서치데이터와 저장데이터가 다를 경우 즉, 미스매치 상태인 경우 도 3(a)와 같은 바이어스 전류 패스가 형성되어 매치라인(ML)은 접지전원으로 방전된다.

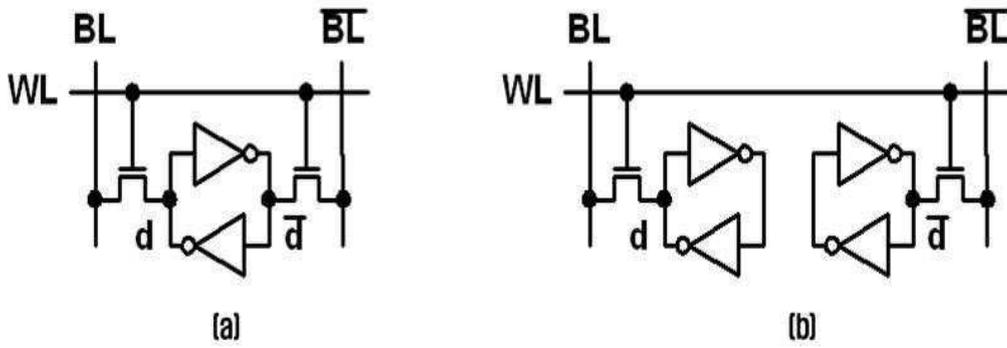
[0028] 또한, 서치데이터가 '1'일 경우, 서치라인(SL)은 $V_H(=V_{REF}+\Delta V)$ 로 충전되고, 서치라인(/SL)은 $V_L(=V_{REF}-\Delta V)$ 로 방

전된다.

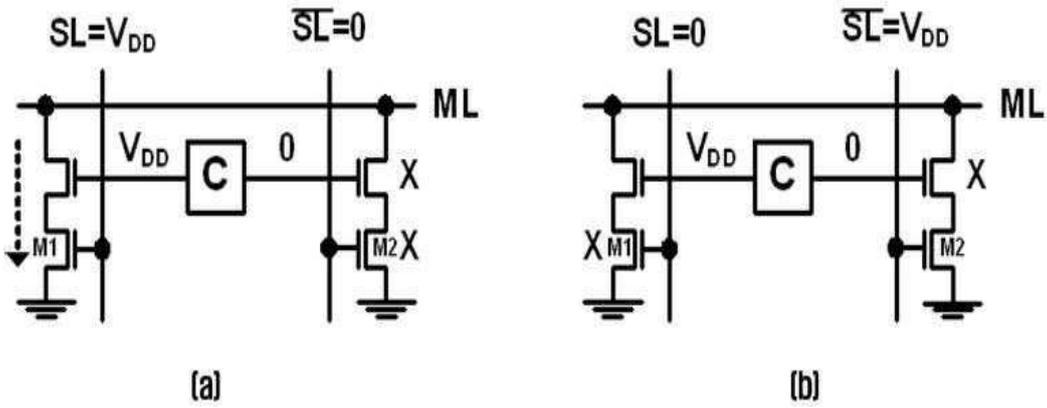
- [0029] 이때, 미스매치 상태인 경우, 제2 엔모스 트랜지스터의 게이트 전압은 V_H , 제5 엔모스 트랜지스터의 게이트 전압은 V_{REF} , 제4 엔모스 트랜지스터의 게이트 전압은 V_L 이 됨으로 상기 제2 엔모스 트랜지스터의 게이트 전압이 제4 엔모스 트랜지스터의 게이트 전압보다 크게 된다.
- [0030] 따라서, 바이어스 전류(I_{BIAS})는 대부분 제2 엔모스 트랜지스터를 통해 흐르게 되고, 제5 엔모스 트랜지스터는 오프되므로 매치라인(ML)은 접지전압으로 방정된다.
- [0031] 그리고, 서치데이터가 '0'인 경우, 서치라인(SL)은 $V_L(=V_{REF}-\Delta V)$ 로 방전되고, 서치라인(/SL)은 $V_H(=V_{REF}+\Delta V)$ 로 충전된다.
- [0032] 이때, 제2 엔모스 트랜지스터의 게이트 전압은 V_L , 제5 엔모스 트랜지스터의 게이트 전압은 V_{REF} 로, 제4 엔모스 트랜지스터의 게이트 전압은 V_H 로 되는데, 제5 엔모스 트랜지스터의 게이트 전압이 제2 엔모스 트랜지스터의 게이트 전압보다 크기 때문에 바이어스 전류(I_{BIAS})는 제5 엔모스 트랜지스터를 통해 흐르게 된다.
- [0033] 따라서, 매치 라인(ML)은 전원전압(V_{DD})값을 유지하게 된다.
- [0034] 한편, 상기 동작에 있어서 본 발명의 실시 예로 제안된 캠 셀에서의 전류변화는 도 4의 파형도와 같다.
- [0035] 도 4의 파형도를 살펴보면, 제5 엔모스 트랜지스터를 통해 흐르는 전류(I_{M0})와 제2 엔모스 트랜지스터를 통해 흐르는 전류(I_{M1})는 서치라인(SL)의 전압(V_{SL})에 따라서 변화하는 것을 알 수 있다.
- [0036] 즉, 서치라인(SL)의 전압(V_{SL})이 $V_H(=V_{REF}+\Delta V)$ 와 같을 경우 제4, 제5 엔모스 트랜지스터는 턴오프되므로 제5 엔모스 트랜지스터를 통해 흐르는 전류(I_{M0})는 '0'이 되고, 바이어스 전류(I_{BIAS})는 제2 엔모스 트랜지스터를 통해 흐르게 되어 상기 제2 엔모스 트랜지스터에 흐르는 전류(I_{M1})와 바이어스전류(I_{BIAS})가 같아진다.
- [0037] 반대로, 서치라인(SL)의 전압(V_{SL})이 $V_L(=V_{REF}-\Delta V)$ 일 경우 제2 엔모스 트랜지스터는 턴오프되어 그 제2 엔모스 트랜지스터를 통해 흐르는 전류(I_{M1})는 '0'이 되고, 제5 엔모스 트랜지스터는 턴온되어 그 제5 엔모스 트랜지스터를 통해 흐르는 전류(I_{M0})가 바이어스전류(I_{BIAS})와 같아진다.
- [0038] 또한, 서치라인(SL)의 스윙전압은 $V_L(=V_{REF}-\Delta V)$ 부터 $V_H(V_{REF}+\Delta V)$ 까지 $2 \times \Delta V$ 가 된다. 따라서, 서치라인(SL)의 스윙전압은 기존의 캠 셀에서의 서치라인(SL)의 스윙전압보다 매우 작음을 알 수 있다. 이는 서치라인(SL)의 전력 소모를 크게 줄일 수 있음을 의미한다.
- [0039] 도 5는 본 발명의 실시 예로서 제안된 저전력 내용 주소화 메모리 구동회로도로서 이에 도시한 바와 같이, 바이어스 전류 패스를 형성하는 전류공급회로(510)와, 매치라인(ML)과 상기 전류공급회로(510)의 사이에 병렬접속되어 데이터를 저장하는 N개의 NOR 셀(520-1~520-N)과, 매치라인 인에이블신호(ML_EN)가 액티브되면 전원전압을 상기 매치라인에 공급하는 피모스 트랜지스터(PM3)와, 매치라인 인에이블신호(ML_EN)/(/ML_EN)에 의해 상기 매치라인(ML)의 데이터를 센싱하여 출력하는 센스앰프 회로(530)를 포함하여 구성한다.
- [0040] 상기 전류공급회로(510)는 기준전류(I_{REF})보다 M배 큰 바이어스 전류(I_{BIAS})를 생성하도록 전류미러를 포함하여 구성한다.
- [0041] 즉, 전류공급회로(510)는 전원전압(Vdd)와 접지전압 사이에 4개의 엔모스 트랜지스터(NM3~NM6)를 순차 직렬접속하여, 상기 엔모스 트랜지스터(NM3)의 게이트 단자에 기준전압(Vref)을 인가하고 상기 엔모스 트랜지스터(NM4)의 게이트 단자에 매치라인 인에이블신호(ML_EN)를 인가하며 상기 엔모스 트랜지스터(NM5)의 게이트 단자에 매치라인 온 신호(ML_ON)를 인가하고 상기 엔모스 트랜지스터(NM6)의 게이트 단자에 바이어스 전압(Vbias)을 인가하며 상기 엔모스 트랜지스터(NM3)(NM4)의 접속점을 N개의 NOR 셀(520-1~520-N)에 공통 접속하여, 바이어스 전류 패스를 제공하도록 구성한다.
- [0042] 상기 센스앰프 회로(530)는 매치라인이 게이트 단자에 연결된 피모스 트랜지스터(PM1)와 매치 인에이블신호(/ML_EN)가 게이트 단자에 인가된 엔모스 트랜지스터(NM1)를 전원전압(Vdd)과 접지전압 사이에 직렬접속하고, 상기 모스 트랜지스터(PM1)(NM1)의 접속점이 입력단자에 연결된 인버터(IN1)의 출력단자를 일측단자에 매치라인

도면

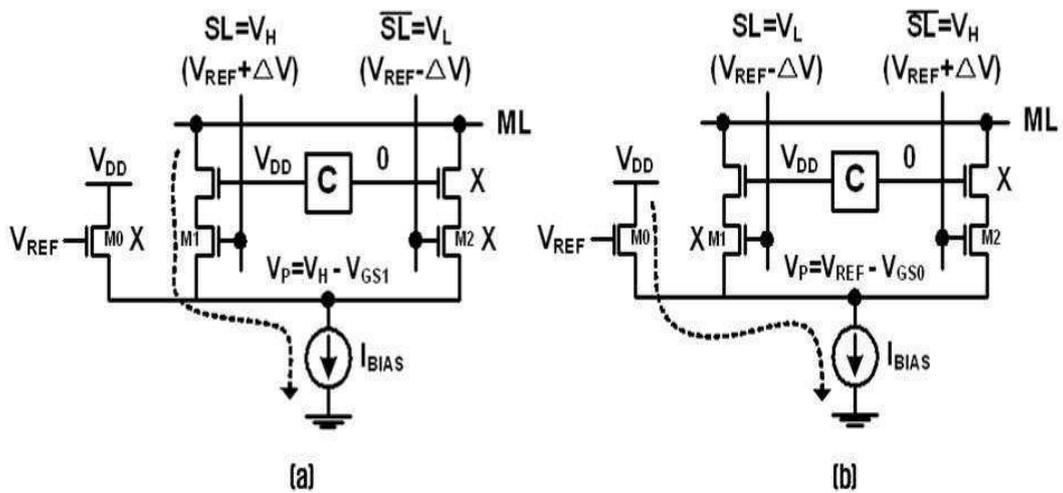
도면1



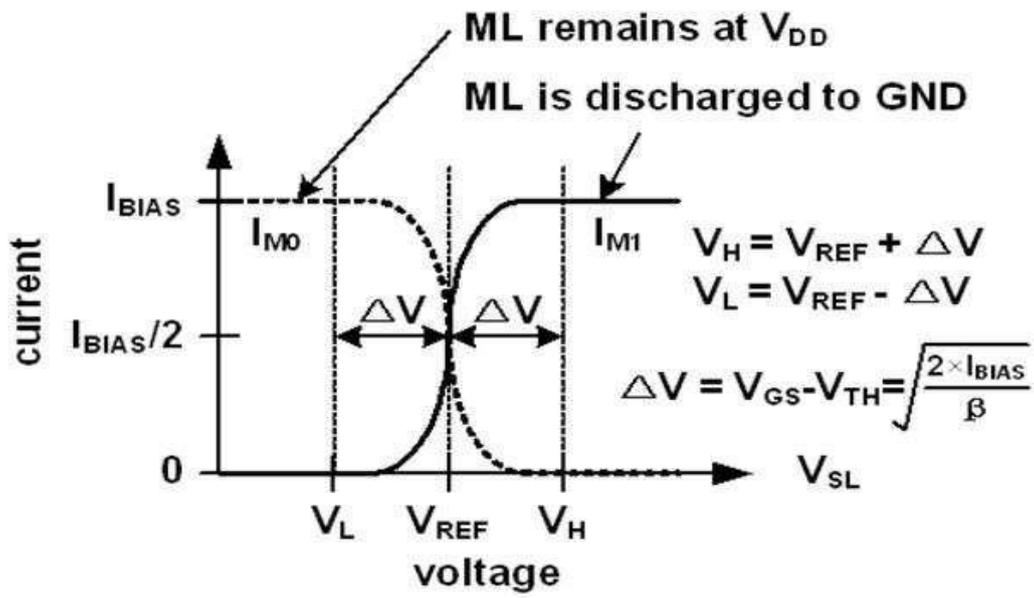
도면2



도면3



도면4



도면5

