

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4652726号
(P4652726)

(45) 発行日 平成23年3月16日(2011.3.16)

(24) 登録日 平成22年12月24日(2010.12.24)

(51) Int.Cl. F I
HO2M 3/155 (2006.01)
 HO2M 3/155 C
 HO2M 3/155 B

請求項の数 4 (全 24 頁)

(21) 出願番号	特願2004-174675 (P2004-174675)	(73) 特許権者	308014341
(22) 出願日	平成16年6月11日(2004.6.11)		富士通セミコンダクター株式会社
(65) 公開番号	特開2005-354845 (P2005-354845A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成17年12月22日(2005.12.22)		23
審査請求日	平成19年5月18日(2007.5.18)	(74) 代理人	100068755
			弁理士 恩田 博宣
		(74) 代理人	100105957
			弁理士 恩田 誠
		(72) 発明者	滝本 久市
			愛知県春日井市高蔵寺町二丁目1844番
			2 富士通ヴィエルエスアイ株式会社内
		(72) 発明者	堂込 浩文
			愛知県春日井市高蔵寺町二丁目1844番
			2 富士通ヴィエルエスアイ株式会社内

最終頁に続く

(54) 【発明の名称】 DC-DCコンバータの制御回路、DC-DCコンバータ及び電子機器

(57) 【特許請求の範囲】

【請求項1】

複数の制御信号によりDC-DCコンバータの出力を制御するDC-DCコンバータの制御回路において、

前記DC-DCコンバータの起動時に所定の基準電圧よりも低電位のソフトスタート信号を生成するソフトスタート回路と、

前記ソフトスタート信号が共通に入力されて、各々制御すべき出力値をフィードバックして得られた電圧と、前記所定の基準電圧及び前記ソフトスタート信号の電圧のうちの低い方との誤差に基づいて前記複数の制御信号を生成する複数の誤差増幅回路と、

前記複数の誤差増幅回路の出力を、前記複数の制御信号のうちの最も低い電圧と略同じ電圧にクランプするクランプ回路と、

三角波信号を出力する三角波発振回路と、

前記複数の制御信号のうち最も低電位の信号と前記三角波信号とに基づいてパルス幅変調による電圧制御を行うPWM比較回路と

を備え、

前記DC-DCコンバータは、該DC-DCコンバータの出力電圧を一定電圧に制御するための一又は複数の電圧制御信号と、該DC-DCコンバータの出力電流を一定電流に制御するための一又は複数の電流制御信号と、を前記複数の制御信号として有する定電圧定電流制御型のDC-DCコンバータであり、前記PWM比較回路から出力されるパルスによりメインスイッチング用トランジスタのオン/オフ比を制御して前記DC-DCコン

バータの出力を制御するスイッチング方式のDC-DCコンバータである

ことを特徴とするDC-DCコンバータの制御回路。

【請求項2】

前記クランプ回路は、前記複数の誤差増幅回路の出力を互いに接続する複数のクランプ素子よりなる、

請求項1記載のDC-DCコンバータの制御回路。

【請求項3】

請求項1又は2記載のDC-DCコンバータの制御回路を備えたDC-DCコンバータ。

【請求項4】

請求項3記載のDC-DCコンバータを搭載した電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、DC-DCコンバータの制御回路、DC-DCコンバータ及び電子機器に関するものである。

一般にノート型パソコン等の携帯型電子機器には、装置用の電源として電池が搭載されるとともに、該機器に接続されたACアダプタ等の外部電源により電池を充電するための充電器回路としてDC-DCコンバータが内蔵されている。このような充電器回路に用いられるDC-DCコンバータは、その多くが例えば定電圧定電流制御型DC-DCコンバータ等のようにDC-DCコンバータの出力を複数の制御信号（この場合は定電圧制御/定電流制御のための2つの制御信号）によって制御する形態が採られる。本発明は、こうした複数の制御信号により出力が制御されるDC-DCコンバータに適用して好適な構成に関するものである。

【背景技術】

【0002】

従来、この種のDC-DCコンバータとしては、例えば特許文献1に記載された構成が知られている。図12は、この特許文献1に記載されている従来の定電圧定電流制御型のDC-DCコンバータを説明するための回路図である。

【0003】

DC-DCコンバータ（以下「DC-DC」）1は、該DC-DC1全体の制御を行う制御回路2を有している。この制御回路2には、DC-DC1の動作の開始/停止を指示するための動作信号ONが入力され、DC-DC1は、動作信号ONがHigh状態のとき動作し、Low状態のとき動作を停止するようになっている。

【0004】

トランジスタTr1は、メインスイッチング用トランジスタとして設けられ、制御回路2からの駆動信号SG1によってオン/オフ制御される。コイルL1は、電圧を変換するためのチョークコイルである。トランジスタTr2は、トランジスタTr1がオフである期間にオンしてコイルL1に蓄えられたエネルギーを放出するための同期整流用スイッチであり、制御回路2からの駆動信号SG2によってオン/オフ制御される。ダイオードD1は、フライホイールダイオードにて構成され、上記トランジスタTr2と同様、トランジスタTr1がオフである期間にオンしてコイルL1に蓄えられたエネルギーを放出させる。

【0005】

コンデンサC1は、DC-DC1の出力を平滑化するための平滑用コンデンサである。抵抗Rsは、DC-DC1の出力電流Ioを検出するための電流センス抵抗であって、この抵抗Rsの一端側におけるDC-DC1の出力端子1aには二次電池よりなるバッテリーBTが接続されている。コンデンサC2は、DC-DC1の動作開始時に入力（入力電圧Vi）からの突入電流を防止するソフトスタート制御用のコンデンサである。なお、入力電圧Viは、DC-DC1に接続された図示しないACアダプタから供給される直流電圧

10

20

30

40

50

である。

【 0 0 0 6 】

制御回路 2 は、電圧増幅回路 3、第 1 及び第 2 誤差増幅回路 4、5、P W M 比較回路 6、三角波発振回路 7、第 1 及び第 2 出力回路 8、9 (図中、D r v 1、D r v 2)、電源回路 1 0 等から構成されている。

【 0 0 0 7 】

電源回路 1 0 は、外部からの動作信号 O N に基づき制御回路 2 全体の電源の供給のオン/オフを制御し、これにより D C - D C 1 全体のオン/オフ制御を行うものである。抵抗 R 1、R 2 は、D C - D C 1 の出力電圧 V o を分圧するための電圧分割抵抗であり、これらによって出力電圧 V o を分圧した結果 (分圧電圧) は第 1 誤差増幅回路 4 の反転入力として与えられる。

10

【 0 0 0 8 】

第 1 誤差増幅回路 4 は、この出力電圧 V o の分圧電圧と、非反転入力端子に入力される基準電圧 e 1 との差電圧を増幅して出力する。なお、上記した抵抗 R 1、R 2 は、D C - D C 1 の出力電圧 V o の値が定電圧動作で規定する値 (例えば 1 2 . 6 V) となっているときに、それらによる分圧結果が基準電圧 e 1 と同じになるよう各々の抵抗値が設定されている。

【 0 0 0 9 】

電圧増幅回路 3 は、電流センス抵抗 R s に流れる電流 (即ち、D C - D C 1 の出力電流 I o) により発生する該抵抗 R s の両端間の電圧を増幅して出力する。第 2 誤差増幅回路 5 は、この電圧増幅回路 3 の出力電圧と、非反転入力端子に入力される基準電圧 e 2 との差電圧を増幅して出力する。なお、基準電圧 e 2 は、定電流動作で規定する出力電流 I o の値 (例えば 3 A) に対応して設定されている。

20

【 0 0 1 0 】

トランジスタ T r 3 は、D C - D C 1 の停止時にコンデンサ C 2 の電荷を放電させてその電位を 0 V に設定するためのスイッチ回路であり、動作信号 O N に基づいて例えば電源回路 1 0 によりオン/オフ制御される。定電流回路 1 1 は、トランジスタ T r 3 がオフである期間にコンデンサ C 2 を充電して該コンデンサ C 2 の電位を上昇させる充電回路として機能する。

【 0 0 1 1 】

30

P W M 比較回路 6 は、1 つの反転入力端子と 3 つの非反転入力端子を有している。この P W M 比較回路 6 は、各非反転入力端子に入力される電圧のうち最も低電位の電圧と反転入力端子に入力される電圧とを比較し、該比較の結果に基づいて、非反転入力端子に入力される電圧が反転入力端子に入力される電圧よりも高いときにパルスを出力するパルス幅変調回路である。ここで、P W M 比較回路 6 の反転入力端子には、三角波発振回路 7 から一定の周波数で発振される三角波信号 O S C 1 が入力される。また、P W M 比較回路 6 の各非反転入力端子には、それぞれ第 1 及び第 2 誤差増幅回路 4、5 の出力信号 E R A 1、E R A 2 と、定電流回路 1 1 による充電に伴って電位上昇されるコンデンサ C 2 の両端間の電圧 (ソフトスタート信号 S S) が入力されるようになっている。

【 0 0 1 2 】

40

第 1 出力回路 8 は、トランジスタ T r 1 を駆動する回路であって、P W M 比較回路 6 からパルスが出力されている期間、トランジスタ T r 1 をオンさせる。又、第 2 出力回路 9 は、トランジスタ T r 2 を駆動する回路であって、P W M 比較回路 6 の出力によって制御され、トランジスタ T r 1 がオフである期間、トランジスタ T r 2 をオンさせる。

【 0 0 1 3 】

このような D C - D C 1 では、出力電圧 V o や出力電流 I o の検出結果をフィードバックして P W M 比較回路 6 の出力パルス幅を制御 (P W M 制御) し、これにより、トランジスタ T r 1 のオン時間 T o n とオフ時間 T o f f の比 (オン/オフ比) を制御することで出力電圧 V o や出力電流 I o をそれぞれ制御するようになっている。

【 0 0 1 4 】

50

次に、このDC - DC 1の定電圧動作 / 定電流動作について説明する。

まず、DC - DC 1の定電圧動作を図13に従って説明する。なお、定電圧動作とは、DC - DC 1の出力電圧 V_o を一定電圧（ここでは例えば12.6V）とするよう該DC - DCを制御する動作モードをいう。

【0015】

DC - DC 1の定電圧動作時、その出力電圧 V_o を抵抗 R_1 、 R_2 により分圧した値（分圧電圧）は基準電圧 e_1 に近い値となっている。一方、こうした定電圧動作時において、出力電流 I_o は、後述する定電流動作で規定される値よりも小さな値となっている。このため、電流センス抵抗 R_s に流れる電流 I_o により発生する電圧を電圧増幅回路3により増幅した値は基準電圧 e_2 よりも十分に小さな値となっており、その結果、第2誤差増幅回路5の出力電圧は最大値付近まで高くなっている。即ち、図13に示すように、このとき第2誤差増幅回路5の出力信号 E_{RA2} は第1誤差増幅回路4の出力信号 E_{RA1} よりも高い電圧となっている。従って、定電圧動作時には、PWM比較回路6の出力パルスは第1誤差増幅回路4の出力信号 E_{RA1} によって制御される。

10

【0016】

次いで、DC - DC 1の定電流動作を図14に従って説明する。なお、定電流動作とは、DC - DC 1の出力電流 I_o を一定電流（ここでは例えば3A）とするよう該DC - DC 1を制御する動作モードをいう。

【0017】

DC - DC 1の定電流動作時、電流センス抵抗 R_s に流れる電流（出力電流 I_o ）により発生する電圧を電圧増幅回路3により増幅した値は基準電圧 e_2 に近い値となっている。一方、こうした定電流動作時において、出力電圧 V_o は、上述した定電圧動作で規定される電圧よりも小さな値となっている。このため、出力電圧 V_o を抵抗 R_1 、 R_2 により分圧した値（分圧電圧）は基準電圧 e_1 よりも十分に小さな値となっており、その結果、第1誤差増幅回路4の出力電圧は最大値付近まで高くなっている。即ち、図14に示すように、このとき第1誤差増幅回路4の出力信号 E_{RA1} は第2誤差増幅回路5の出力信号 E_{RA2} よりも高い電圧となっている。従って、定電流動作時には、PWM比較回路6の出力パルスは第2誤差増幅回路5の出力信号 E_{RA2} によって制御される。

20

【0018】

次に、このDC - DC 1の起動時の動作について説明する。

30

DC - DC 1が起動されると、トランジスタ T_r3 は電源回路10によってオフされ、コンデンサ C_2 は定電流回路11により充電される。これにより、ソフトスタート信号 SS は、コンデンサ C_2 の充電に従って0Vから徐々に電圧上昇する。一方、こうした起動時において、DC - DC 1の出力電圧 V_o 及び出力電流 I_o は基準電圧 e_1 、 e_2 で規定される値よりもそれぞれ十分低い値となっている。このため、抵抗 R_1 、 R_2 により出力電圧 V_o を分圧した結果（分圧電圧）と基準電圧 e_1 との電圧差、及び電流センス抵抗 R_s の両端間の電圧を増幅して出力する電圧増幅回路3の出力電圧と基準電圧 e_2 との電圧差はそれぞれほぼ最大となっている。即ち、起動時には、第1及び第2誤差増幅回路4、5の出力信号 E_{RA1} 、 E_{RA2} はそれぞれほぼ最大電圧となっている。

【0019】

40

PWM比較回路6は、これらの各信号（ SS 、 E_{RA1} 、 E_{RA2} ）のうち最も低電位の信号に基づいて出力パルス幅を制御する。即ち、PWM比較回路6は、こうした起動時には、ソフトスタート信号 SS の電圧に比例したパルス幅のパルスを出力する。

【0020】

このように、起動時におけるPWM比較回路6の出力パルス幅をソフトスタート信号 SS によって制御することで、該起動時に最大電圧となっている第1及び第2誤差増幅回路4、5の出力電圧により出力パルス幅が最大（即ちトランジスタ T_r1 のオン時間 T_{on} が最大）となって、その結果、DC - DC 1に入力からの過大な電流（突入電流）が流れることを抑制している。

【0021】

50

言い換えれば、起動時にはソフトスタート信号SSを用いることでPWM比較回路6の出力パルス幅を制限してトランジスタTr1のオン時間Tonを強制的に短くし、これにより突入電流の発生を抑制するようにしている。そして、ソフトスタート信号SSの電圧がコンデンサC2の充電に伴って上昇し、DC-DC1の出力電圧Vo或いは出力電流Ioがそれぞれ規定の値に達すると、それ以降は、上述した定電圧モードによる定電圧制御若しくは定電流モードによる定電流制御が行われるようになっている。

【特許文献1】特許第3405871号公報

【発明の開示】

【発明が解決しようとする課題】

【0022】

ところが、上記のような従来のDC-DC1では、該DC-DC1の出力(PWM制御)をソフトスタート信号SSによる制御から第1誤差増幅回路4の出力信号ERA1による制御(定電圧制御)、若しくは第2誤差増幅回路5の出力信号ERA2による制御(定電流制御)に切り替える際に突入電流が発生するという問題があった。

【0023】

これを図15に従って説明する。

同図は、DC-DC1の起動時の動作波形を示しており、時刻t1においてDC-DC1が起動されると、第1及び第2誤差増幅回路4,5の出力信号ERA1,ERA2はそれぞれほぼ最大電圧Vmaxとなる。

【0024】

一方、このときソフトスタート信号SSの電圧はコンデンサC2の上昇に伴って0Vから徐々に上昇されていき、時刻t2においてソフトスタート信号SSが三角波信号OSC1の電圧以上となると、PWM比較回路6からは同ソフトスタート信号SSの電圧に応じたパルス幅のパルスが出力されるようになる。これにより、この出力パルスによりオン/オフ制御されるトランジスタTr1のオン時間Tonに比例してDC-DC1の出力電圧Vo及び出力電流Ioが徐々に上昇される。

【0025】

そして、時刻t3において出力電流Ioが定電流動作で規定される値(ここでは例えば3A)に達すると(具体的には電圧増幅回路3の出力電圧が基準電圧e2に達する)、第2誤差増幅回路5の出力信号ERA2は、同出力電流Ioを当該3Aの一定電流に制御する制御電圧Vctまで降下されるようになる。

【0026】

しかしながら、このとき出力信号ERA2は直ぐには制御電圧Vctとはならず、上記最大電圧Vmaxから制御電圧Vctに達するには、第2誤差増幅回路5に設定されているRC時定数に基づく応答遅延(図において、t4-t3で示す時間)が発生することとなる。

【0027】

ところで、こうして出力信号ERA2が降下し制御電圧Vctに達するまでの間において、ソフトスタート信号SSの電圧は上昇を続けており、これによりトランジスタTr1のオン時間Tonも長くなることから、出力電圧Voはさらに上昇を続ける。その結果、出力信号ERA2がソフトスタート信号SSの電圧より低くなり、DC-DC1が定電流制御に移行するまでの間において突入電流が発生する(制御電圧Vctによる規定値(3A)以上の電流が出力電流Ioとして発生する)という問題があった。

【0028】

なお、こうした突入電流は、DC-DC1の出力(PWM制御)をソフトスタート信号SSによる制御から定電流制御へ切り替える場合のみならず、ソフトスタート信号SSから定電圧制御へ切り替える場合にも同様に発生する。従って、こうした点においてなお、従来の構成では起動時に突入電流が発生するものとなっていた。

【0029】

本発明は、上記のような問題点を解決するためになされたものであって、その目的は、

10

20

30

40

50

複数の制御信号により出力が制御されるDC - DCコンバータの起動時の突入電流の発生を好適に抑制し得るDC - DCコンバータの制御回路、DC - DCコンバータ、及びそれを搭載した電子機器を提供することにある。

【課題を解決するための手段】

【0030】

上記の目的を達成するため、請求項1に記載の発明によれば、ソフトスタート信号が共通に入力されて、各々制御すべき出力値をフィードバックして得られた電圧と、所定の基準電圧及びソフトスタート信号の電圧のうちの低い方との誤差に基づき複数の制御信号を生成するための複数の誤差増幅回路の出力は、複数の制御信号のうちの最も低い電圧と略同じ電圧にクランプ回路によってクランプされる。これにより、DC - DCコンバータの起動時に突入電流が発生することを好適に抑制することができる。

10

このDC - DCコンバータの制御回路は、スイッチング方式のDC - DCコンバータの構成に適用される。制御回路には、三角波信号を出力する三角波発振回路と、前記複数の制御信号のうち最も低電位の信号と前記三角波信号とに基づいてパルス幅変調による電圧制御を行うPWM比較回路とが備えられる。そして、このPWM比較回路から出力されるパルスによりメインスイッチング用トランジスタのオン/オフ比が制御され、これによりDC - DCコンバータの出力が制御される。

また、DC - DCコンバータの制御回路は、定電圧定電流制御型DC - DCコンバータの構成に適用される。前記複数の制御信号は、DC - DCコンバータの出力電圧を一定電圧に制御するための一又は複数の電圧制御信号と、DC - DCコンバータの出力電流を一定電流に制御するための一又は複数の電流制御信号とを有する。即ち、DC - DCコンバータの出力制御をソフトスタート信号による制御から定電圧制御或いは定電流制御に切り替える際に、その切り替えを時間の遅延なく速やかに行ってDC - DCコンバータの起動時に突入電流が発生することを好適に抑制することができる。

20

【0032】

請求項2に記載の発明によれば、前記クランプ回路は、前記複数の誤差増幅回路の出力を互いに接続する複数のクランプ素子よりなる。

【0037】

請求項3に記載の発明によれば、DC - DCコンバータは、上記請求項1又は2記載のDC - DCコンバータの制御回路を備えて構成される。このDC - DCコンバータでは、起動時の突入電流の発生は好適に抑制される。

30

【0038】

請求項4に記載の発明によれば、電子機器は、上記請求項3に記載のDC - DCコンバータを搭載して構成される。従って、この電子機器のDC - DCコンバータにおいて、起動時の突入電流の発生は好適に抑制される。

【発明の効果】

【0039】

本発明によれば、複数の制御信号により出力が制御されるDC - DCコンバータの起動時の突入電流の発生を好適に抑制し得るDC - DCコンバータの制御回路、DC - DCコンバータ及びそれを搭載した電子機器を提供することができる。

40

【発明を実施するための最良の形態】

【0040】

(第1の実施の形態)

以下、本発明を具体化した第1の実施の形態を図1～図3に従って説明する。

図3は、電子機器の概略ブロック図である。電子機器12は、例えばノートパソコン等の携帯型電子機器であって、ACアダプタ13を接続する接続端子14を有し、これにはACアダプタ13からの直流電圧が入力電圧Viとして供給される。

【0041】

電子機器12には、内部回路15、バッテリーBT及びDC - DCコンバータ(以下「DC - DC」という)21が備えている。バッテリーBTは、複数の二次電池よりなり、AC

50

アダプタ 13 の未接続時に内部回路 15 へ動作電源電圧を供給するために設けられている。内部回路 15 は、電子機器 12 の使用者に各種機能を提供するために設けられ、これには AC アダプタ 13 からの入力電圧 V_i が動作電源電圧として供給されている。DC - DC 21 は、AC アダプタ 13 からの入力電圧 V_i に基づいてバッテリー BT を充電する充電器回路として機能する。

【0042】

接続端子 14 はダイオード D2 のアノードに接続され、該ダイオード D2 のカソードは内部回路 15 に接続されている。この内部回路 15 の接続端子はダイオード D3 のカソードに接続され、該ダイオード D3 のアノードはバッテリー BT に接続されている。2つのダイオード D2, D3 は、それぞれ逆流防止回路として機能する。そして、内部回路 15 には、AC アダプタ 13 からの入力電圧 V_i 、又はバッテリー BT の出力電圧が動作電源電圧として供給される。

10

【0043】

DC - DC 21 には、AC アダプタ 13 から入力電圧 V_i が供給されている。DC - DC 21 は、入力電圧 V_i を降圧又は昇圧した出力電圧 V_o を生成する電圧変換回路であって、該出力電圧 V_o によりバッテリー BT が充電される。なお、このような DC - DC 21 は、電子機器 12 に内蔵、若しくはバッテリー BT とともに一体に構成される電池パックとして同電子機器 12 に脱着可能に搭載される。

【0044】

図 1 は、上記 DC - DC 21 を説明するための回路図である。なお、同図において、図 12 に示す従来例と同様な構成部分については同一符号を付して説明する。

20

本実施の形態の DC - DC 21 は、降圧方式の定電圧定電流制御型 DC - DC コンバータであって、その出力端子 21a には上記バッテリー BT が負荷として接続されている。

【0045】

DC - DC 21 は、該 DC - DC 21 の出力値（本実施の形態においては後述する出力電圧 V_o 及び出力電流 I_o ）をフィードバック制御することで、該 DC - DC 21 全体の制御を行う制御回路 22 を有している。この制御回路 22 には、DC - DC 21 の動作の開始 / 停止を指示するための動作信号 ON が入力され、DC - DC 21 は、この動作信号 ON が High 状態のとき動作し、Low 状態のとき動作を停止するようになっている。

【0046】

30

トランジスタ Tr1 は、負荷（バッテリー BT）を駆動するためのメインスイッチング用トランジスタとして設けられている。このトランジスタ Tr1 は、本実施の形態においては P 型 MOS - FET で構成され、そのゲート端子には該トランジスタ Tr1 をオン / オフ制御する制御回路 22 からの駆動信号 SG1 が供給され、ソース端子には AC アダプタ 13（図 4）からの入力電圧 V_i が供給される。このトランジスタ Tr1 のドレイン端子は電圧変換用のチョークコイル L1 に接続されている。

【0047】

トランジスタ Tr2 は、トランジスタ Tr1 がオフである期間にオンしてチョークコイル L1 に蓄えられたエネルギーを放出させるための同期整流用スイッチとして設けられている。このトランジスタ Tr2 は、本実施の形態においては N 型 MOS - FET で構成され、そのゲート端子には該トランジスタ Tr2 をオン / オフ制御する制御回路 22 からの駆動信号 SG2 が供給される。このトランジスタ Tr2 のソース端子はグランド GND に接続され、ドレイン端子はトランジスタ Tr1 のドレイン端子に接続されている。

40

【0048】

トランジスタ Tr1 のドレイン端子は、チョークコイル L1 及び電流センス抵抗 R_s を介して出力端子 21a に接続されている。電流センス抵抗 R_s は、DC - DC 21 の出力電流 I_o を検出するために設けられている。又、トランジスタ Tr1 のドレイン端子は、ダイオード（フライホイールダイオード）D1 のカソードに接続されており、該ダイオード D1 のアノードはグランド GND に接続されている。フライホイールダイオード D1 は、トランジスタ Tr1 がオフである期間にオンして上記チョークコイル L1 に蓄えられた

50

エネルギーを放出させる。

【0049】

チョークコイル L_1 と電流センス抵抗 R_s との接続ノードは、DC-DC21の出力を平滑化する平滑用コンデンサ C_1 を介してグランドGNDに接続されている。コンデンサ C_2 は、制御回路22に対し外付け接続された素子であり、DC-DC21の動作開始時（起動時）に入力電圧 V_i からの突入電流を防止するべく設けられるソフトスタート制御用のコンデンサである。

【0050】

制御回路22は、電圧増幅回路3、第1及び第2誤差増幅回路4、5、PWM比較回路6、三角波発振回路7、第1及び第2出力回路8、9(Drv1, Drv2)、電源回路10、及びそれぞれクランプ素子としてのトランジスタTr4, Tr5を有し、1チップの半導体装置として構成されている。

10

【0051】

電源回路10は、動作信号ONに基づいて制御回路22全体の電源の供給のオン/オフを制御し、これによりDC-DC21全体のオン/オフを制御する。抵抗 R_1 , R_2 は、DC-DC1の出力電圧 V_o を分圧するための電圧分割抵抗であって、これらの抵抗 R_1 , R_2 により出力電圧 V_o を分圧した結果（分圧電圧）は第1誤差増幅回路4の反転入力として与えられる。

【0052】

第1誤差増幅回路4は、抵抗 R_1 , R_2 により出力電圧 V_o を分圧した結果（分圧電圧）と、非反転入力端子に入力される基準電圧 e_1 との差電圧を増幅して出力する。なお、上述した抵抗 R_1 , R_2 は、出力電圧 V_o の値が定電圧動作で規定する値（本実施の形態では例えば12.6V）となっているときに、その分圧結果（分圧電圧）が第1誤差増幅回路4の非反転入力端子に与えられる基準電圧 e_1 と同じになるように各々抵抗値が設定されている。

20

【0053】

電圧増幅回路3は、電流センス抵抗 R_s に流れる電流（即ちDC-DC21の出力電流 I_o ）により発生する該抵抗 R_s の両端間の電圧を増幅して出力する。第2誤差増幅回路5は、この電圧増幅回路3の出力電圧と、非反転入力端子に入力される基準電圧 e_2 との差電圧を増幅して出力する。なお、基準電圧 e_2 は、定電流動作で規定する出力電流 I_o の値（本実施の形態では例えば3A）に対応して設定されている。

30

【0054】

トランジスタTr3は、DC-DC21の停止時にコンデンサ C_2 の電荷を放電させてその電位を0Vに設定する一方、DC-DC21の動作時にコンデンサ C_2 の電荷を充電させてその電位を上昇させるスイッチ回路として機能する。このトランジスタTr3は、本実施の形態においてはN型MOS-FETで構成され、そのゲート端子は電源回路10に接続され、ソース端子はグランドGNDに接続され、ドレイン端子は定電流回路11に接続されている。このトランジスタTr3のドレイン端子と定電流回路11との接続ノードNsはコンデンサ C_2 を介してグランドGNDに接続されている。

【0055】

本実施の形態において、トランジスタTr3は、動作信号ONに基づいて電源回路10によりオン/オフ制御される。詳しくは、動作信号ONによりDC-DC21が起動されるとトランジスタTr3はオフされ、該動作信号ONによりDC-DC21が停止されるとトランジスタTr3はオンされるようになっている。これにより、コンデンサ C_2 は、トランジスタTr3がオンされるDC-DC21の停止時に電荷が放電され、トランジスタTr3がオフされるDC-DC21の動作時に定電流回路11により充電される。そして、こうしたコンデンサ C_2 の充電に伴って上昇する接続ノードNsの電位（即ちコンデンサ C_2 の両端間の電圧）がソフトスタート信号SSとして用いられるようになっている。なお、本実施の形態においては、外付け容量であるコンデンサ C_2 と、定電流回路11と、トランジスタTr3とによってソフトスタート回路が構成されている。

40

50

【 0 0 5 6 】

クランプ素子としてのトランジスタ $T r 4$ は、本実施の形態においては P N P 型バイポーラトランジスタで構成されている。このトランジスタ $T r 4$ のベース端子は接続ノード $N s$ に接続され、コレクタ端子はグランド $G N D$ に接続され、エミッタ端子は第 1 誤差増幅回路 4 の出力端子に接続されている。従って、このトランジスタ $T r 4$ のエミッタ電圧 $V e 1$ は、ベース端子に供給されるソフトスタート信号 $S S$ の電圧に同トランジスタ $T r 4$ のベース - エミッタ間電圧 $V b e 1$ を加えた電圧となる。

【 0 0 5 7 】

また、同じくクランプ素子としてのトランジスタ $T r 5$ は、本実施の形態においては P N P 型バイポーラトランジスタで構成されている。このトランジスタ $T r 5$ のベース端子は接続ノード $N s$ に接続され、コレクタ端子はグランド $G N D$ に接続され、エミッタ端子は第 2 誤差増幅回路 5 の出力端子に接続されている。従って、このトランジスタ $T r 5$ のエミッタ電圧 $V e 2$ は、ベース端子に供給されるソフトスタート信号 $S S$ の電圧に同トランジスタ $T r 5$ のベース - エミッタ間電圧 $V b e 2$ を加えた電圧となる。なお、本実施の形態においては、これら 2 つのクランプ素子 (トランジスタ $T r 4$ とトランジスタ $T r 5$) によってクランプ回路が構成されている。

【 0 0 5 8 】

P W M 比較回路 6 は、1 つの反転入力端子と 2 つの非反転入力端子を有する電圧パルス幅変調回路である。この P W M 比較回路 6 は、反転入力端子に入力される信号と、2 つの非反転入力端子に入力される信号のうち電圧の低いほうの信号とを比較 (電圧比較) し、この比較の結果、非反転入力端子に入力される信号が反転入力端子に入力される信号よりも電圧が高いときにパルスを出力する。

【 0 0 5 9 】

詳しくは、P W M 比較回路 6 の反転入力端子には、三角波発振回路 7 から一定の周波数で発振出力される三角波信号 $O S C 1$ が入力される。また、2 つの非反転入力端子には、それぞれ制御信号として、第 1 誤差増幅回路 4 の出力信号 $E R A 1$ と第 2 誤差増幅回路 5 の出力信号 $E R A 2$ とが入力される。

【 0 0 6 0 】

そして、P W M 比較回路 6 は、各出力信号 $E R A 1$, $E R A 2$ のうち出力信号 $E R A 1$ の電圧が低いときには、該出力信号 $E R A 1$ の電圧と三角波信号 $O S C 1$ の電圧とを比較して、出力信号 $E R A 1$ の電圧が三角波信号 $O S C 1$ の電圧よりも高いときに同出力信号 $E R A 1$ の電圧に応じたパルス幅のパルスを出力する。また、これとは逆に、各出力信号 $E R A 1$, $E R A 2$ のうち出力信号 $E R A 2$ の電圧が低いときには、該出力信号 $E R A 2$ の電圧と三角波信号 $O S C 1$ の電圧とを比較して、出力信号 $E R A 2$ の電圧が三角波信号 $O S C 1$ の電圧よりも高いときに同出力信号 $E R A 2$ の電圧に応じたパルス幅のパルスを出力する。

【 0 0 6 1 】

第 1 出力回路 8 は、トランジスタ $T r 1$ を駆動する回路であって、P W M 比較回路 6 からパルスが出力されている期間、トランジスタ $T r 1$ をオンさせる。また、第 2 出力回路 9 は、トランジスタ $T r 2$ を駆動する回路であって、P W M 比較回路 6 の出力により制御され、トランジスタ $T r 1$ がオフである期間、トランジスタ $T r 2$ をオンさせる。

【 0 0 6 2 】

次に、上記のように構成された D C - D C 2 1 の動作を説明する。

図 2 は、D C - D C 2 1 の起動時の動作を示す波形図である。今、時刻 $t 1$ において、D C - D C 2 1 が起動されると、ソフトスタート信号 $S S$ の電圧は定電流回路 1 1 によるコンデンサ $C 2$ の充電に伴って 0 V から徐々に上昇される。

【 0 0 6 3 】

一方、こうした起動時において、D C - D C 2 1 の出力電圧 $V o$ は定電圧動作で規定される値 (ここでは 1 2 . 6 V) よりも十分に小さくなっており、各抵抗 $R 1$, $R 2$ により出力電圧 $V o$ を分圧した結果 (分圧電圧) と基準電圧 $e 1$ との電圧差はほぼ最大まで大き

10

20

30

40

50

くなっている。しかしながら、このとき本構成によるDC - DC 2 1において、第1誤差増幅回路4の出力電圧(ERA 1)は、こうした電圧差のときに出力される電圧(最大電圧Vmax付近の電圧)とはならず、ソフトスタート信号SSの電圧をもとに出力されるトランジスタTr 4のエミッタ電圧Ve 1の値にそれぞれクランプされる。つまり、第1誤差増幅回路4の出力信号ERA 1は、トランジスタTr 4のベース端子に供給されるソフトスタート信号SSの電圧に同トランジスタTr 4のベース - エミッタ間電圧Vbe 1を加えた電圧に制御される。

【0064】

また同様に、こうした起動時において、DC - DC 2 1の出力電流Ioは定電流動作で規定される値(ここでは3A)よりも十分に小さくなっており、電流センス抵抗Rsの両端間の電圧を増幅して出力する電圧増幅回路3の出力電圧と基準電圧e 2との電圧差はほぼ最大まで大きくなっている。しかしながら、このとき本構成によるDC - DC 2 1において、第2誤差増幅回路5の出力電圧は、こうした電圧差のときに出力される電圧(最大電圧Vmax付近の電圧)とはならず、ソフトスタート信号SSの電圧をもとに出力されるトランジスタTr 5のエミッタ電圧Ve 2の値にそれぞれクランプされる。つまり、第2誤差増幅回路5の出力信号ERA 2は、トランジスタTr 5のベース端子に供給されるソフトスタート信号SSの電圧に同トランジスタTr 5のベース - エミッタ間電圧Vbe 2を加えた電圧に制御される。

10

【0065】

従って、DC - DC 2 1の起動時、各誤差増幅回路4, 5の出力信号ERA 1, ERA 2は、ソフトスタート信号SSの電圧に基づいてそれぞれ0V(正確にはそれぞれベース - エミッタ間電圧Vbe 1, Vbe 2分上昇した電圧)から徐々に上昇する電圧となる。

20

【0066】

こうしてソフトスタート信号SSにより各トランジスタTr 4, Tr 5のエミッタ電圧Vbe 1, Vbe 2にクランプされた第1及び第2誤差増幅回路4, 5の出力信号ERA 1, ERA 2が、その後、時刻t 2において三角波信号OSC 1の電圧よりも高くなると、PWM比較回路6からはパルスが出力されるようになる。なお、このとき具体的には、各誤差増幅回路4, 5の出力信号ERA 1, ERA 2のうち電圧の低いほうの出力信号によって出力パルスのパルス幅が制御される。そして、この出力パルスによってトランジスタTr 1がオン/オフ制御され、これによりトランジスタTr 1のオン時間Ton(オン/オフ比)に比例して出力電圧Vo及び出力電流Ioが上昇するようになる。

30

【0067】

その後、時刻t 3において、出力電流Ioが定電流動作で規定される値(ここでは3A)に達すると(即ち電圧増幅回路3の出力電圧が基準電圧e 2に達すると)、第2誤差増幅回路5の出力信号ERA 2は、該出力電流Ioを一定電流値(3A)に制御するための制御電圧Vctに移行される。ここで、本実施の形態において、出力信号ERA 2の電圧は、ソフトスタート信号SSの電圧と略同電位の電圧にクランプされていることから、同出力信号ERA 2は、上記制御電圧Vctに速やかに移行されるものとなる。即ち、出力信号ERA 2の電圧が上記制御電圧Vctに移行するまでの間の遅延(図中、t 4 - t 3)は僅かなものとなる。したがって、この期間(起動時)に発生する突入電流は極力抑えられる(実際には突入電流は殆ど発生しない)。

40

【0068】

なお、本実施の形態では、起動時のDC - DC 2 1の出力制御(具体的にはPWM比較回路6の出力パルス幅の制御)をソフトスタート信号SSによる制御から定電流制御へ切り替える場合について説明したが、ソフトスタート信号SSによる制御から定電圧制御へ切り替える場合についても同様に突入電流の発生を抑えることが可能である。

【0069】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) DC - DC 2 1の起動時に、第1及び第2誤差増幅回路4, 5の出力信号ERA 1, ERA 2をソフトスタート信号SSの電圧と略同じ電圧にクランプするトランジスタ

50

Tr4, Tr5 (クランプ素子) を制御回路22に備えた。これにより、起動時においてDC-DC21の出力制御(PWM制御)をソフトスタート信号SSによる制御から出力信号ERA2による定電流制御(若しくは、出力信号ERA1による定電圧制御)に切り替える際に突入電流が発生することを抑制することができる。

【0070】

(2) 本実施の形態では、DC-DC21の起動時の出力制御をソフトスタート信号SSによる制御から定電流制御に移行させる際には、時間の遅延を招くことなく速やかに移行させることができる。

【0071】

(3) 本実施の形態では、クランプ素子として機能する2つのトランジスタTr4, Tr5にて構成されるクランプ回路を従来の構成に対し追加する構成である。従って、起動時の突入電流を抑制することのできる制御性に優れたDC-DC21の制御回路22をコストの上昇を極力抑えて簡素な構成で実現することができる。

10

【0072】

(4) 本実施の形態では、電子機器12等に搭載されるバッテリーBTを充電するための充電器回路を、起動時の突入電流の発生を抑制することのできるDC-DC21によって構成することができる。

【0073】

(第2の実施の形態)

以下、本発明を具体化した第2の実施の形態を上記第1の実施の形態との相違点を中心に図4に従って説明する。なお、第1の実施の形態と同様な構成部分については同一符号を付して説明する。

20

【0074】

同図に示すこの第2の実施の形態のDC-DCコンバータ(DC-DC)31は、制御回路32に備えられるクランプ回路(具体的にはそれを構成するクランプ素子)をそれぞれトランジスタTr4, Tr5(図1)に替えてダイオードD4, D5で構成した点が第1の実施の形態と異なり、その他の構成は第1の実施の形態と同じである。

【0075】

各ダイオードD4, D5は、本実施の形態においてはショットキーバリアダイオードで構成されており、それらのカソードは定電流回路11とトランジスタTr3との接続ノードNsに接続されている。また、ダイオードD4のアノードは第1誤差増幅回路4の出力端子に接続され、ダイオードD5のアノードは第2誤差増幅回路5の出力端子に接続されている。

30

【0076】

この構成では、DC-DC31の起動時、第1及び第2誤差増幅回路4, 5の出力信号ERA1, ERA2は、ソフトスタート信号SSの電圧からそれぞれ各ダイオードD4, D5の閾値電圧分上昇した電圧にクランプされる。従って、このようにクランプ回路(クランプ素子)をそれぞれダイオードD4, D5で構成しても、第1の実施の形態と同様の効果を奏するものとなる。

【0077】

(第3の実施の形態)

以下、本発明を具体化した第3の実施の形態を上記第2の実施の形態との相違点を中心に図5に従って説明する。なお、第2の実施の形態と同様な構成部分については同一符号を付して説明する。

40

【0078】

同図に示すこの第3の実施の形態のDC-DCコンバータ(DC-DC)41は、第2の実施の形態における降圧方式のDC-DC31(図4)を昇降圧方式の構成に変更したものであり、その他の構成は第2の実施の形態と同じである。

【0079】

詳しくは、本実施の形態のDC-DC41は、第2の実施の形態のDC-DC31に、

50

トランジスタ $T r 6$, $T r 7$ と、これら各トランジスタ $T r 6$, $T r 7$ を PWM 比較回路 6 からの出力パルスに基づいて駆動（オン / オフ制御）する第 3 及び第 4 出力回路 4 3 , 4 4 ($D r v 3$, $D r v 4$) を新たな構成要素として追加したものである。なお、本実施の形態の制御回路 4 2 は、第 3 及び第 4 出力回路 4 3 , 4 4 を新たに備える他は、第 2 の実施の形態の制御回路 3 2 と同様に構成されている。

【 0 0 8 0 】

トランジスタ $T r 6$, $T r 7$ は、それぞれ N 型 MOS - F E T 、 P 型 MOS - F E T で構成されている。トランジスタ $T r 7$ はチョークコイル $L 1$ と電流センス抵抗 $R s$ との間に直列に設けられ、トランジスタ $T r 6$ はドレイン端子がトランジスタ $T r 7$ とチョークコイル $L 1$ との接続点に接続され、ソース端子がグランド $G N D$ に接続されて設けられている。トランジスタ $T r 7$ は、第 4 出力回路 4 4 からの駆動信号 $S G 4$ によってオン / オフ制御され、トランジスタ $T r 6$ は、第 3 出力回路 4 3 からの駆動信号 $S G 3$ によって、トランジスタ $T r 7$ がオフである期間にオンとなるようにオン / オフ制御される。このような構成とすれば、昇降圧方式の DC - DC 4 1 において上記第 2 の実施の形態で奏する効果と同様の効果を奏するものとなる。

10

【 0 0 8 1 】

（第 4 の実施の形態）

以下、本発明を具体化した第 4 の実施の形態を上記第 1 の実施の形態との相違点を中心に図 6 に従って説明する。なお、第 1 の実施の形態と同様な構成部分については同一符号を付して説明する。

20

【 0 0 8 2 】

同図に示すこの第 4 の実施の形態の DC - DC コンバータ (DC - DC) 5 1 は、第 1 の実施の形態における第 1 及び第 2 誤差増幅回路 4 , 5 (図 1) をそれぞれ 3 入力構成の誤差増幅回路 (第 1 及び第 2 誤差増幅回路 5 3 , 5 4) に変更し、それらにソフトスタート信号 $S S$ を入力する構成としたものである。

【 0 0 8 3 】

第 1 及び第 2 誤差増幅回路 5 3 , 5 4 は、1 つの反転入力端子と 2 つの非反転入力端子とを有する電圧増幅回路であり、各非反転入力端子に入力される信号のうち電圧の低いほうの信号と反転入力端子に入力される信号との差電圧を増幅して出力するものである。

【 0 0 8 4 】

具体的には、第 1 誤差増幅回路 5 3 の反転入力端子には抵抗 $R 1$, $R 2$ により出力電圧 $V o$ を分圧した分圧電圧が入力され、2 つの非反転入力端子のうち一方には基準電圧 $e 1$ が入力され、他方にはソフトスタート信号 $S S$ が入力されるようになっている。また、第 2 誤差増幅回路 5 4 の反転入力端子には電流センス抵抗 $R s$ の両端間の電圧を増幅して出力する電圧増幅回路 3 の出力電圧が入力され、2 つの非反転入力端子のうち一方には基準電圧 $e 2$ が入力され、他方にはソフトスタート信号 $S S$ が入力されるようになっている。

30

【 0 0 8 5 】

これらの各誤差増幅回路 5 3 , 5 4 の出力端子の間には、それぞれクランプ素子としてのダイオード $D 6$ とダイオード $D 7$ とが設けられている。各ダイオード $D 6$, $D 7$ は、本実施の形態においてはショットキーバリアダイオードで構成され、ダイオード $D 6$ のカソードは第 1 誤差増幅回路 5 3 の出力端子に接続され、該ダイオード $D 6$ のアノードは第 2 誤差増幅回路 5 4 の出力端子に接続されている。また、ダイオード $D 7$ のカソードは第 2 誤差増幅回路 5 4 の出力端子に接続され、該ダイオード $D 7$ のアノードは第 1 誤差増幅回路 5 3 の出力端子に接続されている。

40

【 0 0 8 6 】

このように構成された DC - DC 5 1 の制御回路 5 2 において、第 1 誤差増幅回路 5 3 に入力されるソフトスタート信号 $S S$ の電圧が基準電圧 $e 1$ より低い間は、DC - DC 5 1 の出力電圧 $V o$ はソフトスタート信号 $S S$ の電圧に基づいて制御される。同様に、第 2 誤差増幅回路 5 4 に入力されるソフトスタート信号 $S S$ の電圧が基準電圧 $e 2$ より低い間は、DC - DC 5 1 の出力電流 $I o$ はソフトスタート信号 $S S$ の電圧に基づいて制御され

50

る。

【0087】

従って、本実施の形態において、DC-DC51の出力電圧 V_o 及び出力電流 I_o はそれぞれ0V及び0Aから徐々に上昇するように制御される。そして、ソフトスタート信号SSの電圧が基準電圧 e_1 よりも高くなると、第1誤差増幅回路53は、抵抗 R_1 、 R_2 により出力電圧 V_o を分圧した分圧電圧と基準電圧 e_1 との差電圧を増幅するように動作する。また、ソフトスタート信号SSの電圧が基準電圧 e_2 よりも高くなると、第2誤差増幅回路54は、電圧増幅回路3の出力電圧と基準電圧 e_2 との差電圧を増幅するように動作する。

【0088】

ところで、このようなDC-DC51をバッテリーBTの充電器回路として用いた場合、ソフトスタート信号SSの電圧上昇に伴って出力電圧 V_o は徐々に増加していくが、出力電流 I_o は上記出力電圧 V_o がバッテリーBTの電池電圧を超えるまでは略0Aのままとなる。従って、出力電圧 V_o がバッテリーBTの電池電圧を超えて電流センス抵抗 R_s に充電電流（即ち出力電流 I_o ）が流れ始め、該出力電流 I_o が基準電圧 e_2 で規定される値（例えば3A）となるまでは、第2誤差増幅回路54の出力信号ERA12は最大電圧値となっている。

【0089】

しかしながら、本実施の形態では、このとき第2誤差増幅回路54の出力信号ERA12は、ダイオードD7（クランプ素子）によって第1誤差増幅回路53の出力信号ERA11から同ダイオードD7の閾値電圧分上昇した電圧にクランプされる。ここで、この第1誤差増幅回路53の出力信号ERA11は、ソフトスタート信号SSの電圧が基準電圧 e_1 に達するまでは最小電圧値となり、該ソフトスタート信号SSの電圧が基準電圧 e_1 よりも高くなると、上記したように出力電圧 V_o の分圧電圧と基準電圧 e_1 との差電圧を増幅して得られる電圧値となる。このため、DC-DC51の起動時において定電流制御に移行する際に第2誤差増幅回路54の出力信号ERA12が最大電圧値となることはない。従って、本実施の形態によれば、第1の実施の形態と同様、定電流制御への切り替えを極力時間の遅延なく速やかに行って、突入電流の発生を抑制することができる。

【0090】

（第5の実施の形態）

以下、本発明を具体化した第5の実施の形態を上記第1の実施の形態との相違点を中心に図7に従って説明する。なお、第1の実施の形態と同様な構成部分については同一符号を付して説明する。

【0091】

同図に示すこの第5の実施の形態のDC-DCコンバータ（DC-DC）61は、第1の実施の形態におけるスイッチング方式のDC-DC21（図1）をリニアレギュレータ方式（降圧式）の構成としたものである。

【0092】

このDC-DC61の制御回路62において、定電流回路11とトランジスタTr3との接続ノードNsにはダイオードD8のカソードが接続され、該ダイオードD8のアノードは定電流回路63に接続されている。また、第1誤差増幅回路4の出力端子にはダイオードD9のカソードが接続され、該ダイオードD9のアノードは定電流回路63に接続されている。また、第2誤差増幅回路5の出力端子にはダイオードD10のカソードが接続され、該ダイオードD10のアノードは定電流回路63に接続されている。これらの各ダイオードD8～D10は、本実施の形態においてはショットキーバリアダイオードで構成されている。なお、この制御回路62において、トランジスタTr3は、図示しない外部信号によって、上記第1の実施の形態と同様、DC-DC61の起動時にオフ、DC-DC61の停止時にオンとなるようオン/オフ制御される。

【0093】

トランジスタTr8は、NPN型バイポーラトランジスタにより構成される制御トラン

10

20

30

40

50

ジスタであって、そのベース端子は上記定電流回路63と各ダイオードD8～D10との接続ノードNcに接続され、エミッタ端子はグランドGNDに接続され、コレクタ端子はトランジスタTr1のゲート端子に接続されている。このトランジスタTr8は、接続ノードNcの電圧レベルに応じてトランジスタTr1を駆動することによりDC-DC61の出力を連続的に制御する。

【0094】

このようなDC-DC61において、ダイオードD8はクランプ素子として動作し、DC-DC61の起動時、接続ノードNcの電圧はソフトスタート信号SSの電圧からダイオードD8の閾値電圧分上昇した値にクランプされる。従って、こうしたリニアレギュレータ方式のDC-DC61としても、第1の実施の形態と同様の効果を奏する。

10

【0095】

(第6の実施の形態)

以下、本発明を具体化した第6の実施の形態を上記第2の実施の形態との相違点を中心に図8に従って説明する。なお、第2の実施の形態と同様な構成部分については同一符号を付して説明する。

【0096】

この第6の実施の形態のDC-DCコンバータ(DC-DC)71は、バッテリーBT(二次電池)の負極側電位を制御する構成としたものである。即ち、図8において、DC-DC71の出力端子71aはバッテリーBT(図8では省略)の負極側端子に接続されており、第1誤差増幅回路4は、同バッテリーBTの負極電圧を検出してその負極電圧(具体的にはその分圧電圧)と基準電圧e1との差電圧を増幅して出力するものとなっている。

20

【0097】

なお、本実施の形態において、第1及び第2誤差増幅回路4,5の出力信号ERA1,ERA2をソフトスタート信号SSの電圧でクランプするクランプ回路(クランプ素子)は、上記第2の実施の形態と同様、ダイオードD4,D5で構成されている。このように負極充電制御方式のDC-DC71としても、第2の実施の形態と同様の効果を奏するものとなる。

【0098】

(第7の実施の形態)

以下、本発明を具体化した第7の実施の形態を図9及び図10に従って説明する。この第7の実施の形態は、上記各実施の形態で説明したクランプ回路(具体的にはそれを構成するクランプ素子)を、ACアダプタ13(図3)に設けられる定電圧定電流制御型のAC-DCコンバータに備えた例について説明するものである。なお、上記各実施の形態と同様な構成部分については同一符号を付して説明する。

30

【0099】

図9に示すように、AC-DCコンバータ(以下「AC-DC」)81は、第1整流回路82、電圧変換回路83、第2整流回路84及び出力制御回路85を備えて構成されている。

【0100】

第1整流回路82は、ダイオードD11～D14からなるブリッジダイオードとコンデンサC11とから構成されており、交流電源ACからの交流電圧はこの第1整流回路82によって直流電圧に変換される。電圧変換回路83は、トランス(変圧器)TSとドライブ回路86とから構成され、ドライブ回路86は、出力制御回路85からのフィードバック制御に基づいてメインスイッチング用トランジスタTr11をオン/オフ制御する。なお、このトランジスタTr11はN型MOS-FETで構成されている。第2整流回路84は、整流用のダイオードD15とコンデンサC12とから構成されており、トランスTSを介して伝達された電圧を平滑化して出力制御回路85へ伝達する。

40

【0101】

出力制御回路85は、制御回路87と電流センス抵抗Rsとから構成されている。制御回路87は、AC-DC81の出力電圧Vo及び電流センス抵抗Rsに流れる電流(出力

50

電流 I_o) により発生する該抵抗 R_s の両端間の電圧を検出し、これらの検出結果に基づいて生成した各制御信号を上記電圧変換回路 83 のドライブ回路 86 に出力する。なお、出力制御回路 85 と電圧変換回路 83 との間（具体的には制御回路 87 とドライブ回路 86 との間）は、フォトカプラ 88（フォトダイオードとフォトトランジスタとから構成される）を介して接続されている。

【0102】

図 10 は、ドライブ回路 86 及び制御回路 87 の詳細構成を示す回路図である。

制御回路 87 は、電圧増幅回路 91 と、第 1 及び第 2 誤差増幅回路 92, 93 とを有して構成されている。第 1 誤差増幅回路 92 は、AC-DC 81 の出力電圧 V_o と基準電圧 e_{11} との差電圧を増幅して出力し、第 2 誤差増幅回路 93 は、上記電流センス抵抗 R_s の両端間の電圧を増幅して出力する電圧増幅回路 91 の出力電圧と基準電圧 e_{12} との差電圧を増幅して出力する。なお、基準電圧 e_{11} , e_{12} は、定電圧動作及び定電流動作で規定される出力電圧 V_o の値及び出力電流 I_o の値に対応してそれぞれ設定される。これら各誤差増幅回路 92, 93 の出力信号 $ERA1$, $ERA2$ は、それぞれフォトカプラ 88a, 88b を介して複数の制御信号としてドライブ回路 86 に入力される。

10

【0103】

ドライブ回路 86 は、PWM 比較回路 6 と、三角波発振回路 7 と、出力回路 94 と、クランプ回路を構成するそれぞれクランプ素子としてのトランジスタ Tr_{12} , Tr_{13} と、ソフトスタート回路を構成する定電流回路 11, トランジスタ Tr_3 , コンデンサ C_2 とを有して構成されている。なお、コンデンサ C_2 は外付け素子として設けられる。このようなドライブ回路 86 は 1 チップの半導体装置として構成される。

20

【0104】

このドライブ回路 86 において、トランジスタ Tr_{12} , Tr_{13} は、それぞれ NPN 型バイポーラトランジスタにより共通エミッタ接続して設けられており、それらの各ベース端子にはソフトスタート信号 SS が入力され、各エミッタ端子はグランド GND に接続されている。そして、トランジスタ Tr_{12} のコレクタ端子はフォトカプラ 88b を介して第 1 誤差増幅回路 92 の出力端子と接続され、トランジスタ Tr_{13} のコレクタ端子はフォトカプラ 88a を介して第 2 誤差増幅回路 93 の出力端子と接続されている。なお、これらトランジスタ Tr_{12} , Tr_{13} は、第 1 の実施の形態と同様、PNP 型バイポーラトランジスタによりエミッタフォロワ接続して設けられるものであってもよい。このドライブ回路 86 のその他の構成については、上記第 1 の実施の形態における制御回路 22（図 1）とほぼ同様な構成であるため、ここでは詳細な説明については省略する。

30

【0105】

即ち、PWM 比較回路 6 は、2 つの非反転入力端子に入力される上記各出力信号 $ERA1$, $ERA2$ のうち電圧の低いほうの信号と、反転入力端子に入力される三角波信号 $OSC1$ とに基づいて電圧パルス幅変調を行い、それにより生成したパルスを出力回路 94 に出力する。出力回路 94 は、この PWM 比較回路 6 から出力されるパルスに基づいてメインスイッチング用トランジスタ Tr_{11} （図 9）をオン/オフ駆動する。

【0106】

このように構成された AC-DC 81 では、上記第 1 の実施の形態の DC-DC 21（図 1）と同様、その起動時に、各誤差増幅回路 92, 93 の出力信号 $ERA1$, $ERA2$ がそれぞれクランプ素子として機能するトランジスタ Tr_{12} , Tr_{13} によってソフトスタート信号 SS の電圧と略同じ電圧にクランプされる。これにより、AC-DC 81 の起動時の突入電流を抑制することができる。

40

【0107】

（第 8 の実施の形態）

以下、本発明を具体化した第 8 の実施の形態を上記第 7 の実施の形態との相違点を中心に図 11 に従って説明する。なお、第 7 の実施の形態と同様な構成部分については同一符号を付して説明する。

【0108】

50

同図に示すこの第 8 の実施の形態の AC - DC 101 は、上記第 7 の実施の形態で説明した AC - DC 91 (図 10 参照) の制御回路 87 及びドライブ回路 86 をそれぞれ制御回路 102 及びドライブ回路 103 に変更し、それらを 1 つのフォトカプラ 104 によって接続したものである。その他の構成は第 7 の実施の形態と同じである。

【0109】

図 11 に示すように、制御回路 102 は、上記制御回路 87 (図 10) に定電流回路 105 とトランジスタ Tr14, Tr15 (それぞれ PNP 型バイポーラトランジスタ) を新たな構成要素として追加した構成であり、第 1 及び第 2 誤差増幅回路 92, 93 の出力信号 ERA1, ERA2 を合成した値がフォトカプラ 104 を介してドライブ回路 103 に入力されるようになっている。

10

【0110】

ドライブ回路 103 は、1 チップの半導体装置として構成され、上記ドライブ回路 86 (図 10) とほぼ同様な構成となっている。変更点は、クランプ回路を 1 つのトランジスタ Tr16 によって構成した点であり、このトランジスタ Tr16 は、上記第 7 の実施の形態と同様、NPN 型バイポーラトランジスタによって構成されている。このような構成とすれば、第 7 の実施の形態と同様な効果を奏するとともに、フォトカプラを 1 つにするができるためクランプ回路を 1 つのトランジスタ Tr16 (クランプ素子) により構成することができ、回路規模を削減することができる。

【0111】

尚、上記各実施の形態は、以下の態様 (変形例) で実施してもよい。

20

・第 1 の実施の形態では、トランジスタ Tr4, Tr5 (クランプ素子) を制御回路 22 内に設けたが、この制御回路 22 に外付け素子として設けてもよい。この構成では、既存の回路を利用することができる。また同様に、他の実施の形態においても、クランプ素子をそれぞれの制御回路に外付け素子として設けてもよい。

【0112】

・各実施の形態では、それぞれ制御回路に設けられているクランプ素子としてのバイポーラトランジスタをダイオードに替えてもよい。また、この反対に、それぞれ制御回路に設けられているクランプ素子としてのダイオードをバイポーラトランジスタに替えてもよい。このようにしても同様な機能を果たすことは言うまでもない。

【0113】

・各実施の形態では、定電圧定電流制御型の DC - DC コンバータ或いは AC - DC コンバータについて説明したが、この制御形態に限られるものではない。即ち、本発明は、2 入力以上の制御信号 (電圧制御信号又は電流制御信号) によってその出力が制御される DC - DC コンバータ或いは AC - DC コンバータに広く適用することができる。

30

【0114】

・第 1 ~ 第 3、第 6 及び第 7 の実施の形態において、それぞれ第 1 誤差増幅回路の出力端子及び第 2 誤差増幅回路の出力に個別に接続されているクランプ素子 (バイポーラトランジスタ又はダイオード) を、各誤差増幅回路の出力に共通に設けられる 1 つのクランプ素子としてもよい。この構成とするには、第 8 の実施の形態と同様にして、各誤差増幅回路の出力を 1 つの定電流回路によって合成し、その出力電圧を 1 つのクランプ素子によってソフトスタート信号 SS の電圧にクランプするようによればよい。

40

【0115】

上記各実施の形態及び上記各変形例から把握できる本発明の技術的思想を以下に記載する。

(付記 1) 複数の制御信号により DC - DC コンバータの出力を制御する DC - DC コンバータの制御回路において、

前記 DC - DC コンバータの出力をフィードバックして得られた電圧と所定の基準電圧との誤差に基づいて前記複数の制御信号を各々制御すべき出力値に対応して生成する複数の誤差増幅回路と、

前記 DC - DC コンバータの起動時の出力を前記複数の制御信号よりも低電位の電圧で

50

制御するためのソフトスタート信号を生成するソフトスタート回路と、

前記DC - DCコンバータの起動時に、前記複数の制御信号を前記ソフトスタート信号の電圧と略同じ電圧にクランプするクランプ回路と、

を備えることを特徴とするDC - DCコンバータの制御回路。

(付記2) 前記クランプ回路は、前記DC - DCコンバータの起動後、該DC - DCコンバータの出力が前記複数の制御信号のうちの何れかによって制御されるまで、前記複数の制御信号を前記ソフトスタート信号の電圧と略同じ電圧にクランプする、付記1記載のDC - DCコンバータの制御回路。

(付記3) 前記クランプ回路は、前記複数の誤差増幅回路の出力に個別に接続される複数のクランプ素子よりなる、付記1又は2記載のDC - DCコンバータの制御回路。

10

(付記4) 前記クランプ回路は、前記複数の誤差増幅回路の出力に共通に接続される1つのクランプ素子よりなる、付記1又は2記載のDC - DCコンバータの制御回路。

(付記5) 前記クランプ素子は、エミッタフォロワ接続されるPNP型バイポーラトランジスタにより構成され、前記ソフトスタート信号をベース端子に入力し、コレクタ端子を接地電位に接続し、エミッタ端子を前記誤差増幅回路の出力端子に接続してなる、付記3又は4記載のDC - DCコンバータの制御回路。

(付記6) 前記クランプ素子は、共通エミッタ接続されるNPN型バイポーラトランジスタにより構成され、前記ソフトスタート信号をベース端子に入力し、エミッタ端子を接地電位に接続し、コレクタ端子を前記誤差増幅回路の出力端子に接続してなる、付記3又は4記載のDC - DCコンバータの制御回路。

20

(付記7) 前記クランプ素子は、ダイオードにより構成され、アノードを前記誤差増幅回路の出力端子に接続し、カソードを前記ソフトスタート信号の電圧電位に接続してなる、付記3又は4記載のDC - DCコンバータの制御回路。

(付記8) 三角波信号を出力する三角波発振回路と、前記複数の制御信号及び前記ソフトスタート信号のうち最も低電位の信号と前記三角波信号とに基づいてパルス幅変調による電圧制御を行うPWM比較回路とを備えており、

前記DC - DCコンバータは、前記PWM比較回路から出力されるパルスによりメインスイッチング用トランジスタのオン/オフ比を制御して前記DC - DCコンバータの出力を制御するスイッチング方式のDC - DCコンバータである、付記1乃至7のいずれか一記載のDC - DCコンバータの制御回路。

30

(付記9) 前記DC - DCコンバータは、前記複数の制御信号及び前記ソフトスタート信号に基づいて制御トランジスタを駆動し出力を連続的に制御するリニアレギュレータ方式のDC - DCコンバータである、付記1乃至7のいずれか一記載のDC - DCコンバータの制御回路。

(付記10) 前記DC - DCコンバータは、前記複数の制御信号及び前記ソフトスタート信号に基づいて、入力電圧を降圧した出力電圧を生成する降圧方式のDC - DCコンバータである、付記1乃至9のいずれか一記載のDC - DCコンバータの制御回路。

(付記11) 前記DC - DCコンバータは、前記複数の制御信号及び前記ソフトスタート信号に基づいて、入力電圧を降圧又は昇圧した出力電圧を生成する昇降圧方式のDC - DCコンバータである、付記1乃至8のいずれか一記載のDC - DCコンバータの制御回路。

40

(付記12) 前記DC - DCコンバータは、該DC - DCコンバータの出力電圧を一定電圧に制御するための一又は複数の電圧制御信号と、該DC - DCコンバータの出力電流を一定電流に制御するための一又は複数の電流制御信号と、を前記複数の制御信号として有する定電圧定電流制御型のDC - DCコンバータである、付記1乃至11のいずれか一記載のDC - DCコンバータの制御回路。

(付記13) 前記DC - DCコンバータは、前記複数の制御信号により制御された出力に基づいて二次電池の正極側電位又は負極側電位を制御する充電器である、付記1乃至12のいずれか一記載のDC - DCコンバータの制御回路。

(付記14) 複数の制御信号により出力が制御されるDC - DCコンバータ又はAC - D

50

Cコンバータを構成するために用いられる半導体装置であって、

前記DC - DCコンバータ又は前記AC - DCコンバータの出力をフィードバックして得られた電圧と所定の基準電圧との誤差に基づいて、前記複数の制御信号を各々制御すべき出力値に対応して生成する複数の誤差増幅回路と、

外付け素子として接続されたコンデンサの電荷を前記DC - DCコンバータ又は前記AC - DCコンバータの動作時に充電させて同コンデンサの両端間の電圧を持つソフトスタート信号を生成し、前記DC - DCコンバータ又は前記AC - DCコンバータの起動時の出力を前記複数の制御信号よりも低電位の前記ソフトスタート信号の電圧で制御するためのソフトスタート回路と、

前記DC - DCコンバータ又は前記AC - DCコンバータの起動時に、前記複数の制御信号を前記ソフトスタート信号の電圧と略同じ電圧にクランプするクランプ回路と、

を備えることを特徴とする半導体装置。

(付記15) 付記1乃至13のいずれか一記載のDC - DCコンバータの制御回路を備えてなるDC - DCコンバータ。

(付記16) 付記15記載のDC - DCコンバータと、そのDC - DCコンバータによって充電されるバッテリーとを具備してなる電池パック。

(付記17) 付記15記載のDC - DCコンバータを搭載してなる電子機器。

(付記18) 複数の制御信号によりDC - DCコンバータの出力を制御するDC - DCコンバータの制御方法において、

複数の誤差増幅回路により、各々制御すべき出力値をフィードバックして得られた電圧と所定の基準電圧との誤差に基づいて前記複数の制御信号を生成し、

ソフトスタート回路により、前記DC - DCコンバータの起動時の出力を前記複数の制御信号よりも低電位の電圧で制御するためのソフトスタート信号を生成し、

クランプ回路により、前記DC - DCコンバータの起動時に前記複数の制御信号を前記ソフトスタート信号の電圧と略同じ電圧にクランプするようにした、

ことを特徴とするDC - DCコンバータの制御方法。

(付記19) 前記クランプ回路は、前記DC - DCコンバータの起動後、該DC - DCコンバータの出力が前記複数の制御信号のうちの何れかによって制御されるまで、前記複数の制御信号を前記ソフトスタート信号の電圧と略同じ電圧にクランプする、付記18記載のDC - DCコンバータの制御方法。

(付記20) 前記クランプ回路は、前記複数の誤差増幅回路の出力に個別に接続される複数のクランプ素子よりなる、付記18又は19記載のDC - DCコンバータの制御方法。

(付記21) 前記クランプ回路は、前記複数の誤差増幅回路の出力に共通に接続される1つのクランプ素子よりなる、付記18又は19記載のDC - DCコンバータの制御方法。

(付記22) 三角波信号を出力する三角波発振回路と、前記複数の制御信号及び前記ソフトスタート信号のうち最も低電位の信号と前記三角波信号とに基づいてパルス幅変調による電圧制御を行うPWM比較回路とを備えており、

前記DC - DCコンバータは、前記PWM比較回路から出力されるパルスによりメインスイッチング用トランジスタのオン/オフ比を制御して前記DC - DCコンバータの出力を制御するスイッチング方式のDC - DCコンバータである、付記18乃至21のいずれか一記載のDC - DCコンバータの制御方法。

(付記23) 前記DC - DCコンバータは、該DC - DCコンバータの出力電圧を一定電圧に制御するための一又は複数の電圧制御信号と、該DC - DCコンバータの出力電流を一定電流に制御するための一又は複数の電流制御信号と、を前記複数の制御信号として有する定電圧定電流制御型のDC - DCコンバータである、付記18乃至22のいずれか一記載のDC - DCコンバータの制御方法。

(付記24) 前記DC - DCコンバータは、前記複数の制御信号により制御された出力に基づいて二次電池の正極側電位又は負極側電位を制御する充電器である、付記18乃至23のいずれか一記載のDC - DCコンバータの制御方法。

【図面の簡単な説明】

10

20

30

40

50

【 0 1 1 6 】

【図 1】第 1 の実施の形態の DC - DC コンバータの回路図。

【図 2】図 1 の DC - DC コンバータの動作波形図。

【図 3】図 1 の DC - DC コンバータを搭載した電子機器のブロック図。

【図 4】第 2 の実施の形態の DC - DC コンバータの回路図。

【図 5】第 3 の実施の形態の DC - DC コンバータの回路図。

【図 6】第 4 の実施の形態の DC - DC コンバータの回路図。

【図 7】第 5 の実施の形態の DC - DC コンバータの回路図。

【図 8】第 6 の実施の形態の DC - DC コンバータの回路図。

【図 9】第 7 の実施の形態の AC - DC コンバータの全体構成を示す回路図。 10

【図 10】図 9 の AC - DC コンバータの具体的構成を示す回路図。

【図 11】第 8 の実施の形態の AC - DC コンバータの回路図。

【図 12】従来の DC - DC コンバータの回路図。

【図 13】DC - DC コンバータの定電圧動作時における波形図。

【図 14】DC - DC コンバータの定電流動作時における波形図。

【図 15】図 12 の DC - DC コンバータの動作波形図。

【符号の説明】

【 0 1 1 7 】

V_o 出力電圧

I_o 出力電流 20

SS ソフトスタート信号

OSC1 三角波信号

e₁, e₂, e₁₁, e₁₂ 基準電圧

C₂ ソフトスタート回路を構成するコンデンサ

ERA₁, ERA₂ 第 1 及び第 2 誤差増幅回路の出力信号 (複数の制御信号)

Tr₄, Tr₅, Tr₁₂, Tr₁₃, Tr₁₆ クランプ回路を構成するバイポーラ
トランジスタ (クランプ素子)

D₄, D₅, D₆, D₇, D₈ クランプ回路を構成するダイオード (クランプ素子)

Tr₁, Tr₁₁ メインスイッチング用トランジスタ

4, 5, 5₃, 5₄, 9₂, 9₃ 第 1 及び第 2 誤差増幅回路 (複数の誤差増幅回路) 30

6 PWM 比較回路

7 三角波発振回路

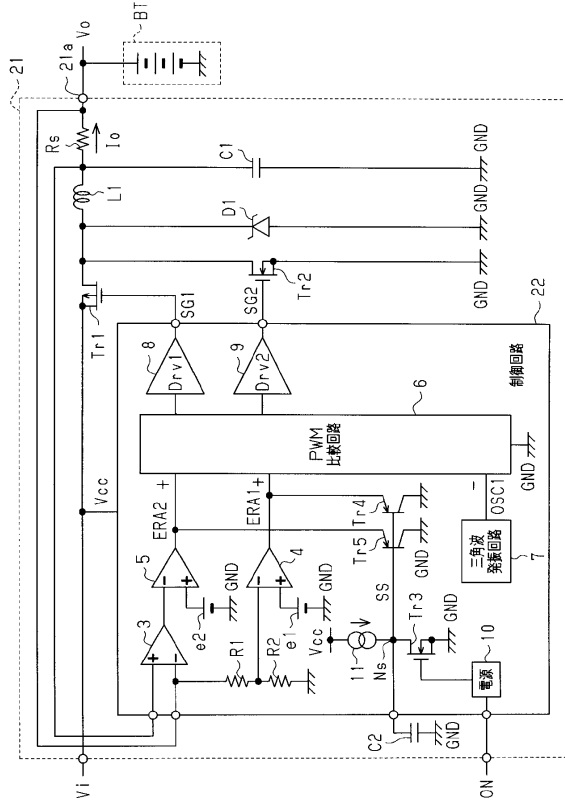
2₁, 3₁, 4₁, 5₁, 6₁, 7₁ DC - DC コンバータ

2₂, 3₂, 4₂, 5₂, 6₂, 7₂ DC - DC コンバータの制御回路

8₁, 10₁ AC - DC コンバータ

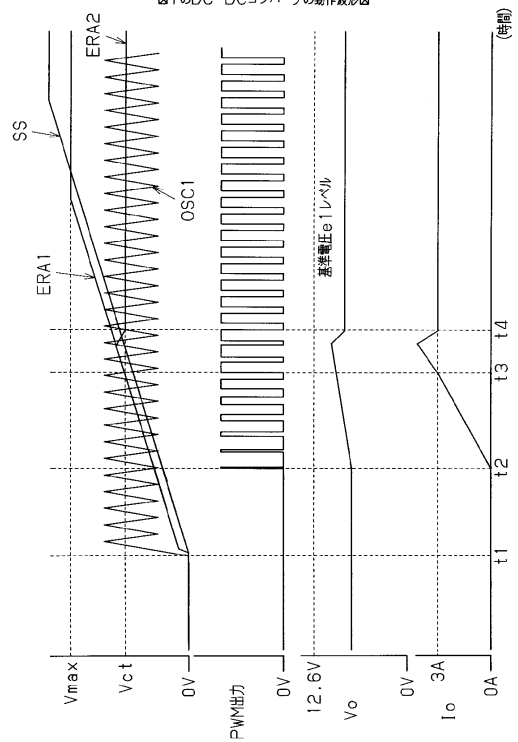
【図1】

第1の実施形態のDC-DCコンバータの回路図



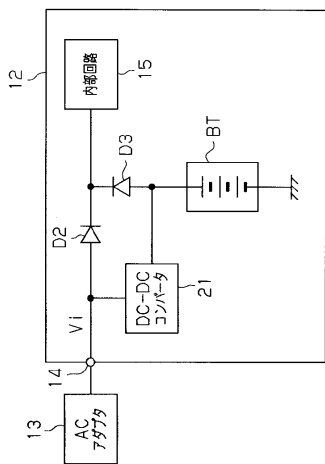
【図2】

図1のDC-DCコンバータの動作波形図



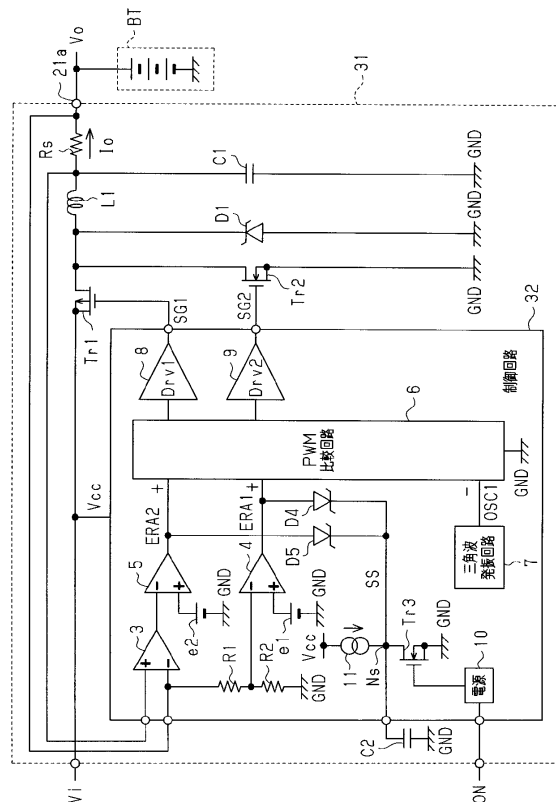
【図3】

電子機器のブロック図



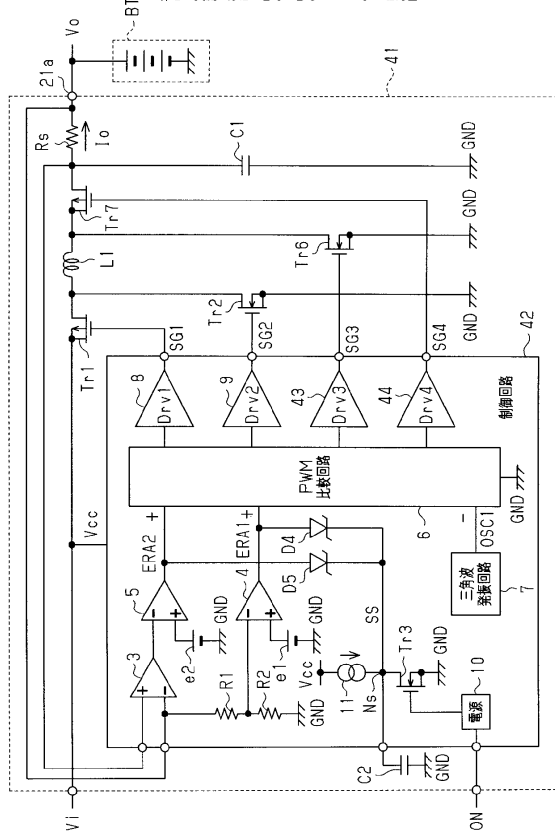
【図4】

第2の実施形態のDC-DCコンバータの回路図



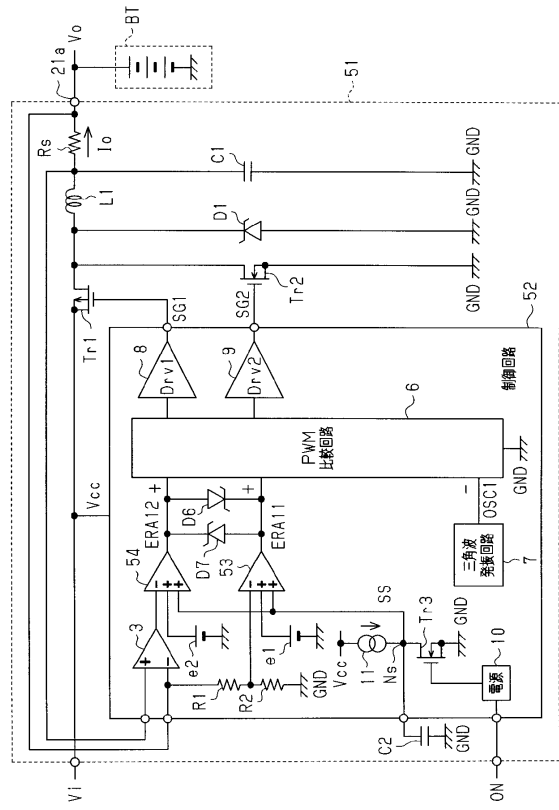
【図5】

第3の実施の形態のDC-DCコンバータの回路図



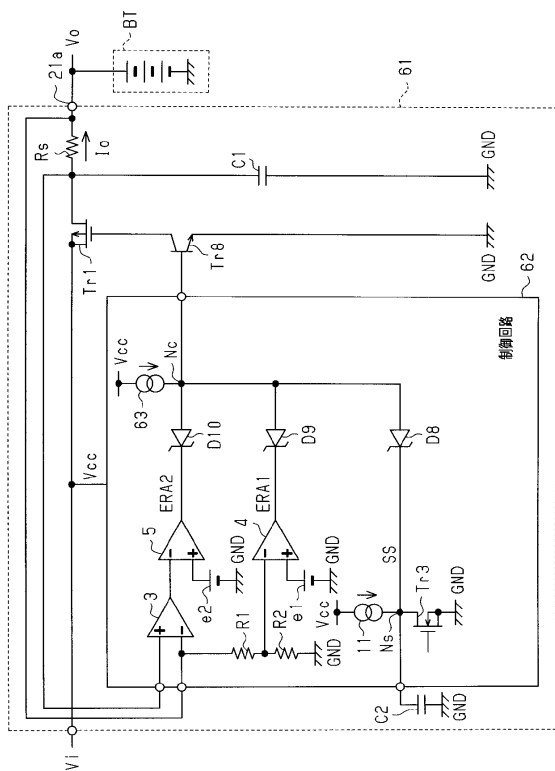
【図6】

第4の実施の形態のDC-DCコンバータの回路図



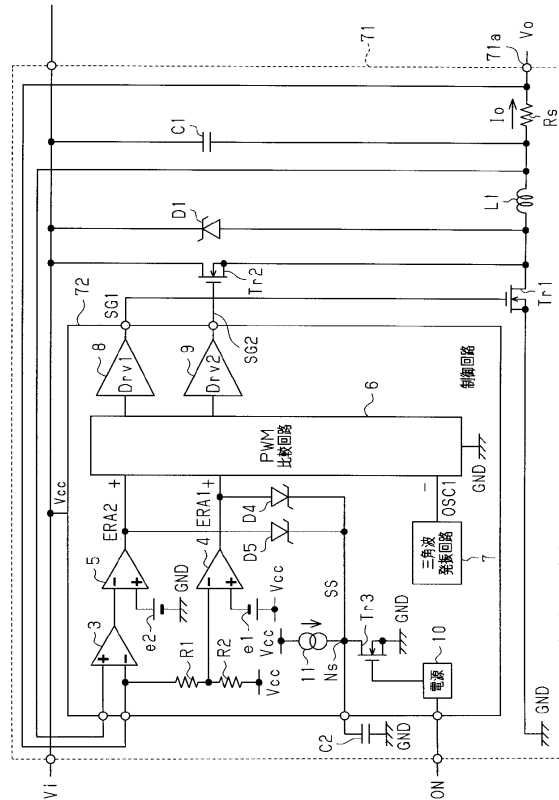
【図7】

第5の実施の形態のDC-DCコンバータの回路図



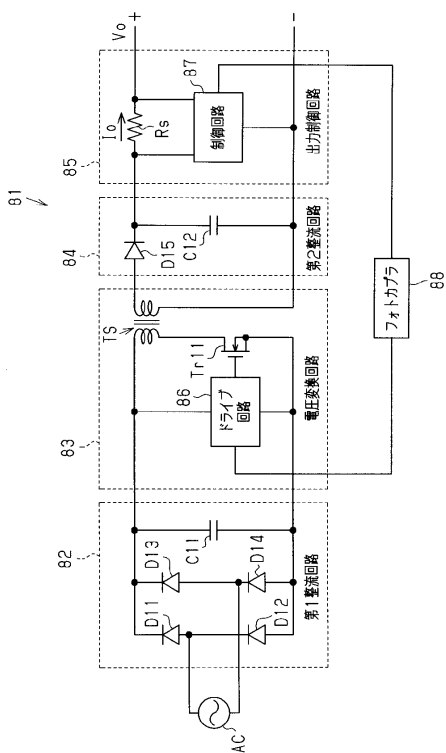
【図8】

第6の実施の形態のDC-DCコンバータの回路図



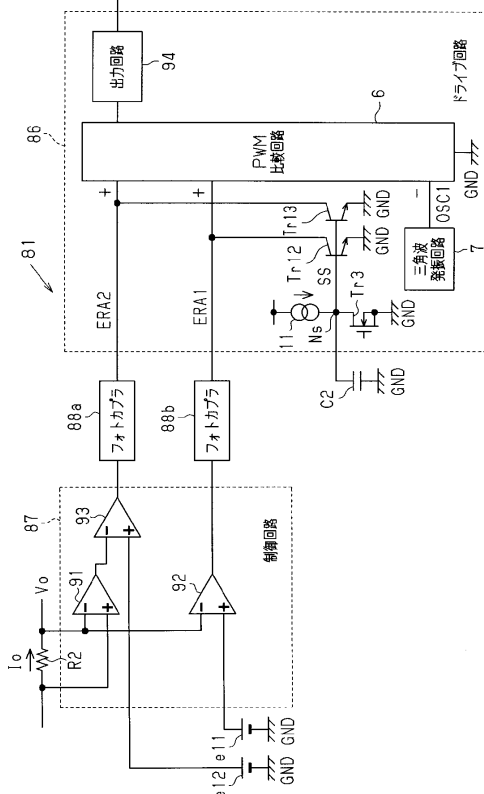
【図9】

第7の実施の形態のAC-DCコンバータの全体構成を示す回路図



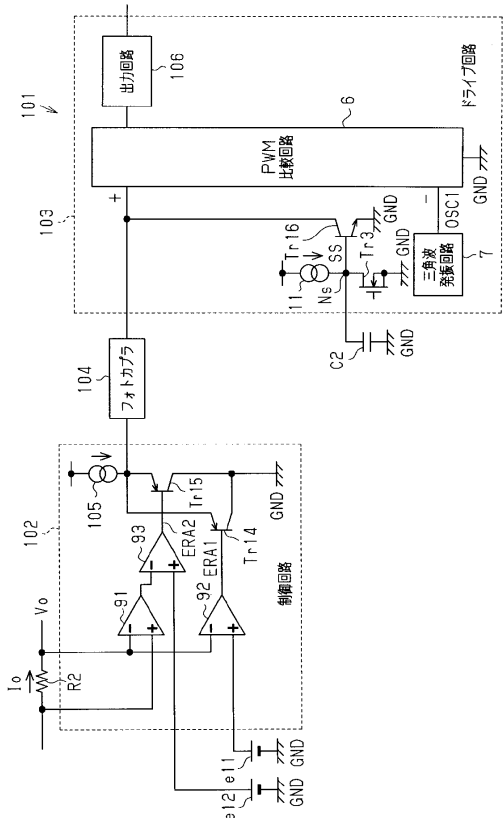
【図10】

図9のAC-DCコンバータの具体的構成を示す回路図



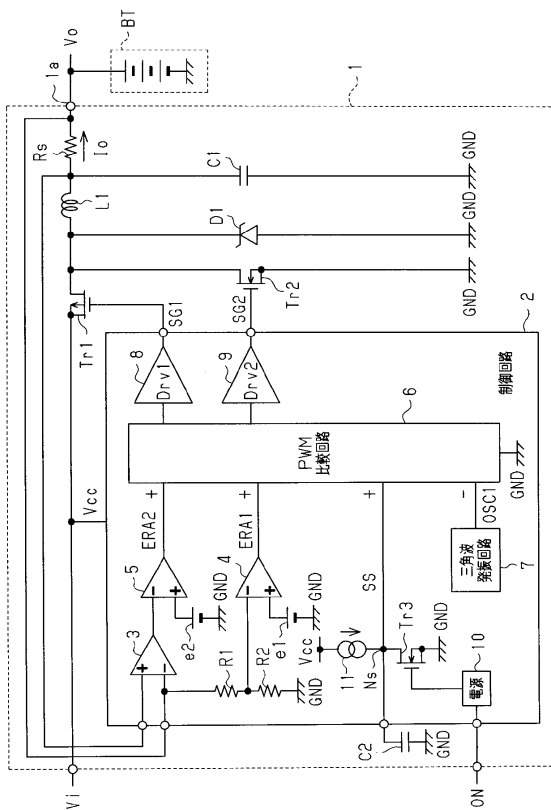
【図11】

第8の実施の形態のAC-DCコンバータの回路図



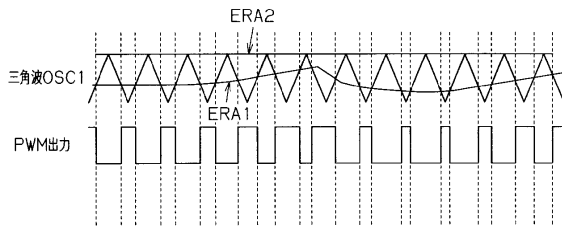
【図12】

従来のDC-DCコンバータの回路図



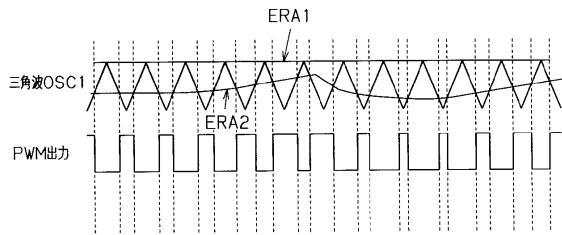
【図13】

DC-DCコンバータの定電圧動作時における波形図



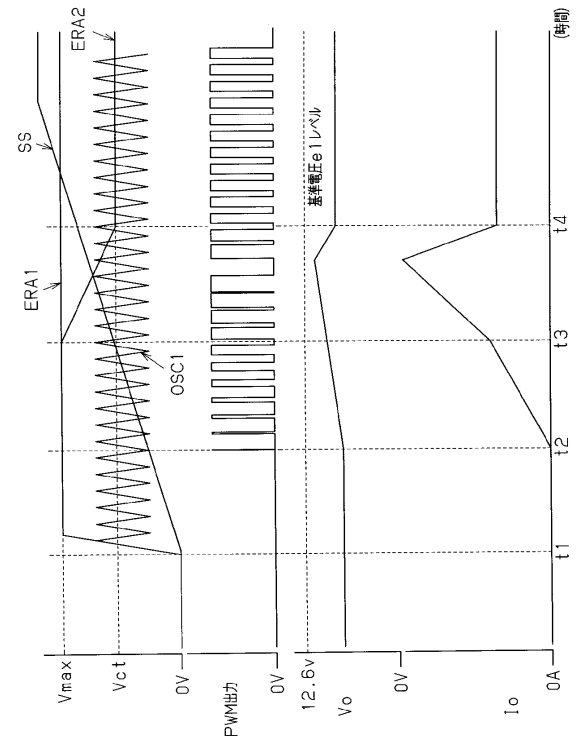
【図14】

DC-DCコンバータの定電流動作時における波形図



【図15】

図12のDC-DCコンバータの動作波形図



フロントページの続き

(72)発明者 松本 敬史

愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内

審査官 今井 貞雄

(56)参考文献 特開平11-289754(JP,A)
特開平09-154275(JP,A)
特開2004-166428(JP,A)
特開平06-311663(JP,A)
特開2000-194429(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/155