



(21)申請案號：100108601

(22)申請日：中華民國 100 (2011) 年 03 月 14 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L21/336 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2010/03/15 南韓

10-2010-0022944

(71)申請人：三星移動顯示器股份有限公司 (南韓) SAMSUNG MOBILE DISPLAY CO., LTD.

(KR)

南韓

(72)發明人：李卓泳 LEE, TAK-YOUNG (KR)；朴炳建 PARK, BYOUNG-KEON (KR)；鄭胤謨 CHUNG, YUN-MO (KR)；朴種力 PARK, JONG-RYUK (KR)；李東炫 LEE, DONG-HYUN (KR)；李基龍 LEE, KI-YONG (KR)；徐晉旭 SEO, JIN-WOOK (KR)；鄭珉在 JEONG, MIN-JAE (KR)；孫榕德 SON, YONG-DUCK (KR)；蘇炳洙 SO, BYUNG-SOO (KR)；朴承圭 PARK, SEUNG-KYU (KR)；李吉遠 LEE, KIL-WON (KR)；鄭在琬 JUNG, JAE-WAN (KR)

(74)代理人：閻啟泰；林景郁

申請實體審查：無 申請專利範圍項數：20 項 圖式數：7 共 34 頁

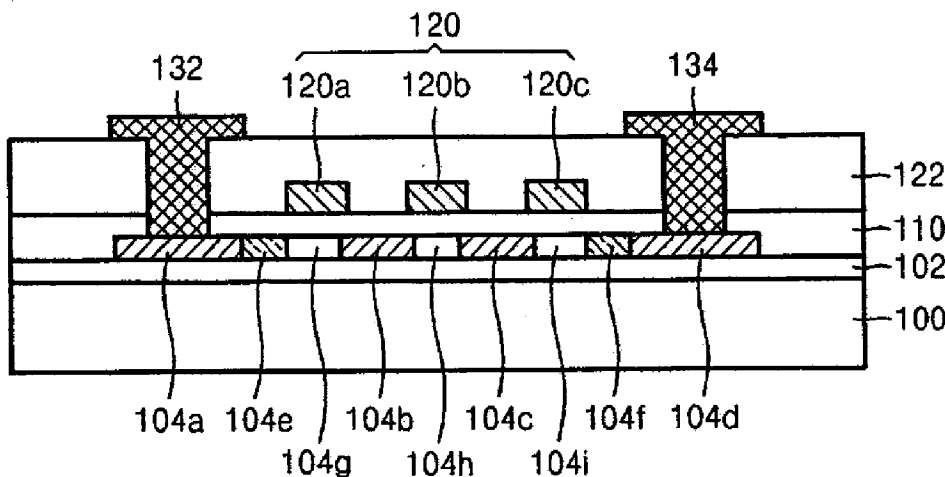
(54)名稱

薄膜電晶體及製造其之方法

THIN FILM TRANSISTOR AND METHOD OF MANUFACTURING THE SAME

(57)摘要

本發明揭露一種薄膜電晶體 (TFT)，其係包括一基板；以及在該基板上之一主動區域，其係包括源極與汲極區域於該主動區域之相對端上，一輕摻雜區域相鄰該源極區域與該汲極區域中之至少一者，複數個通道區域，以及在該複數個通道區域之兩通道區域之間的一重摻雜區域。TFT 包括在主動區域上之一閘極絕緣層，以及於閘極絕緣層上具有複數個閘極電極的多重閘極電極，該複數個通道區域係配置在相應的閘極電極之下，且源極區域與汲極區域則相鄰於多重閘極電極的最外部份來配置。TFT 包括在多重閘極電極上的第一夾層絕緣層，以及延伸經過第一夾層絕緣層並接觸各別源極與汲極區域的源極與汲極電極。



100：基板

102：基底層

104a：源極區域

104b：重摻雜區域

104c：重摻雜區域

104d：汲極區域

104e：輕摻雜區域

104f：輕摻雜區域

104g：通道區域

104h：通道區域

104i：通道區域

110：閘極絕緣層

120：多重閘極電極

120a：閘極電極

120b：閘極電極

120c：閘極電極

122：第一夾層絕緣層

132：源極電極

134：汲極電極



(21)申請案號：100108601

(22)申請日：中華民國 100 (2011) 年 03 月 14 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L21/336 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2010/03/15 南韓

10-2010-0022944

(71)申請人：三星移動顯示器股份有限公司 (南韓) SAMSUNG MOBILE DISPLAY CO., LTD.

(KR)

南韓

(72)發明人：李卓泳 LEE, TAK-YOUNG (KR)；朴炳建 PARK, BYOUNG-KEON (KR)；鄭胤謨 CHUNG, YUN-MO (KR)；朴種力 PARK, JONG-RYUK (KR)；李東炫 LEE, DONG-HYUN (KR)；李基龍 LEE, KI-YONG (KR)；徐晉旭 SEO, JIN-WOOK (KR)；鄭珉在 JEONG, MIN-JAE (KR)；孫榕德 SON, YONG-DUCK (KR)；蘇炳洙 SO, BYUNG-SOO (KR)；朴承圭 PARK, SEUNG-KYU (KR)；李吉遠 LEE, KIL-WON (KR)；鄭在琬 JUNG, JAE-WAN (KR)

(74)代理人：閻啟泰；林景郁

申請實體審查：無 申請專利範圍項數：20 項 圖式數：7 共 34 頁

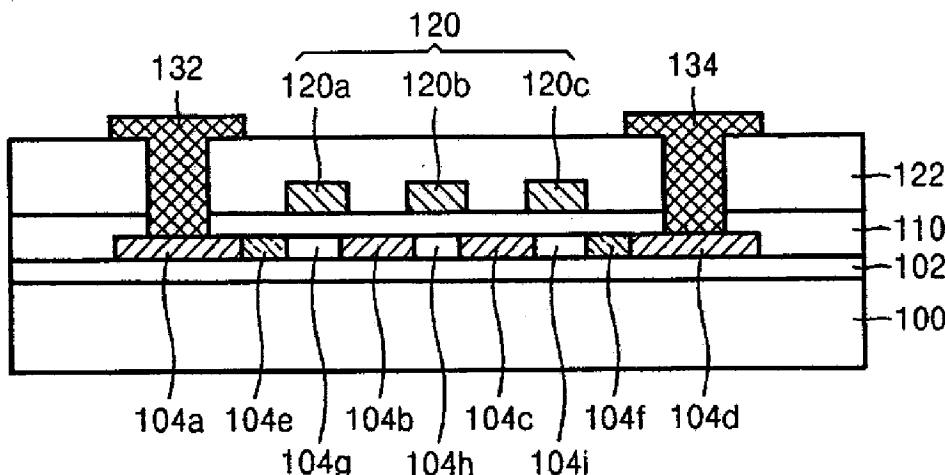
(54)名稱

薄膜電晶體及製造其之方法

THIN FILM TRANSISTOR AND METHOD OF MANUFACTURING THE SAME

(57)摘要

本發明揭露一種薄膜電晶體 (TFT)，其係包括一基板；以及在該基板上之一主動區域，其係包括源極與汲極區域於該主動區域之相對端上，一輕摻雜區域相鄰該源極區域與該汲極區域中之至少一者，複數個通道區域，以及在該複數個通道區域之兩通道區域之間的一重摻雜區域。TFT 包括在主動區域上之一閘極絕緣層，以及於閘極絕緣層上具有複數個閘極電極的多重閘極電極，該複數個通道區域係配置在相應的閘極電極之下，且源極區域與汲極區域則相鄰於多重閘極電極的最外部份來配置。TFT 包括在多重閘極電極上的第一夾層絕緣層，以及延伸經過第一夾層絕緣層並接觸各別源極與汲極區域的源極與汲極電極。



100：基板

102：基底層

104a：源極區域

104b：重摻雜區域

104c：重摻雜區域

104d：汲極區域

104e：輕摻雜區域

104f：輕摻雜區域

104g：通道區域

## 六、發明說明：

## 【發明所屬之技術領域】

[0001] 本發明係關於一種薄膜電晶體（TFT），且更特別地，係關於一種能夠減少漏電流的TFT，以及一種製造該TFT的方法。

## 【先前技術】

[0002] 薄膜電晶體（TFT）包括場效電晶體，其係使用被形成在絕緣支撐基板上的半導體薄膜來製造。就像其他場效電晶體，TFT可例如具有三個終端，閘極、汲極與源極。TFT可被使用於開關操作。開關操作可使用TFT來進行，其係藉由調整被施加到閘極的電壓，以開啟或關閉流動於源極與汲極之間的電流。TFT可被使用於感應器、記憶體裝置、光學裝置中，以做為平面面板顯示裝置的像素切換單元，以及做為平面面板顯示裝置的驅動單元。

## 【發明內容】

[0003] 實施例因此針對一種薄膜電晶體以及一種製造薄膜電晶體的方法，其係實質能夠克服起因於相關技術之侷限與缺陷的一或更多個問題。

[0004] 因此，本實施例的一個特徵係為提供一種包括多重閘極電極、至少一個輕摻雜區域、與至少一個重摻雜區域的薄膜電晶體。

[0005] 因此，本實施例的另一個特徵係為提供一種製造包括多重閘極電極、至少一個輕摻雜區域、與至少一個重摻雜區域之薄膜電晶體的方法。

[0006] 至少一個以上與其他的特徵與優點可藉由提供包括基板的薄膜電晶體 (TFT) 來實施。TFT 包括一在基板上的主動區域，其係包括源極與汲極區域於該主動區域的相反端；一輕摻雜區域，相鄰該源極區域與該汲極區域的至少其中一個；複數個通道區域；以及在該複數個通道區域之兩通道區域之間的一重摻雜區域。TFT 包括在主動區域上的一閘極絕緣層；一多重閘極電極，其係包括複數個閘極電極於該閘極絕緣層上；配置在相應閘極電極以下的複數個通道區域；以及相鄰該多重閘極電極之最外部份而配置的源極區域與汲極區域。TFT 包括在該多重閘極電極上的一第一夾層絕緣層，以及延伸經過第一夾層絕緣層並接觸各別源極與汲極區域的源極與汲極電極。

[0007] TFT 包括一部份重摻雜區域，其係重疊該多重閘極電極的相應閘極電極。TFT 包括至少一個輕摻雜區域，其係包括與汲極區域相鄰的一第一輕摻雜區域。TFT 進一步包括至少一個輕摻雜區域，其係包括與源極區域相鄰的一第二輕摻雜區域。

[0008] 源極區域、汲極區域、重摻雜區域、與至少一個輕摻雜區域，其係可摻雜以 p 型摻雜物。源極區域、汲極區域、重摻雜區域、與至少一個輕摻雜區域，其係可摻雜以 n 型摻雜物。

[0009] 該多重閘極電極僅僅具有兩閘極電極。該多重閘極電極包括三個閘極電極。該主動區域包括多晶矽。一有機發光裝置則包括 TFT。

[0010] 至少其中一個以上與其他的特徵與優點亦可藉由提供一種製造薄膜電晶體 (TFT) 的方法來實行，其係包括形成一主動層於一基板上。該方法包括形成一閘極絕緣層於主動層上、形成一抗蝕層於該閘極絕緣層上、以及藉由使用抗蝕層為一遮罩而以高摻雜濃度來摻雜該主動層而形成一源極區域、一汲極區域與一重摻雜區域於主動層中。該方法包括在移除該抗蝕層以後與在形成源極區域、汲極區域與重摻雜區域以後，將一多重閘極電極形成於該基板上。該方法包括形成至少一個輕摻雜區域於透過該多重閘極電極而被暴露的該主動層未摻雜部份、在形成至少一個輕摻雜區域以後形成一第一夾層絕緣層於該多重閘極電極上、以及形成一源極電極與一汲極電極，其係延伸經過第一夾層絕緣層並且接觸各別的源極與汲極區域。

[0011] 該製造TFT的方法包括將一部份重摻雜區域形成，以重疊該多重閘極電極的相應閘極電極。該方法包括將抗蝕層寬度形成以重疊一部份主動層，在此該至少一個輕摻雜區域係被形成，以比與形成至少一輕摻雜區域於此之主動層部份相鄰的閘極電極寬度更寬。該方法包括在基板與主動層之間形成一基底層。

[0012] 本發明提供一種薄膜電晶體 (TFT) 以及一種製造TFT的方法，其中漏電流可被減少，且遷移率的耗損與導通電流可被最小化。

#### 【實施方式】

[0013] 2010年3月15日在韓國智慧財產局中提出申請的韓國專利

申請案第10-2010-0022944號，且標題為“薄膜電晶體與其製造方法”，其係以引用的方式併入本文。

[0014] 實例實施例現將參考附圖而更完整地說明於下文；然而，它們可以不同形式來實施，其係並且不應該被詮釋為限制於在此所陳述的實施例。反而，這些實施例的提供致使本發明將為十分徹底與完整，並將完全傳達本發明範圍給該領域具有通常知識者。

[0015] 在圖式中，層與區域的大小可被誇張化，以清楚說明。同樣要理解的是，當一層或元件被視為位於另一層或基板“上”時，它可直接在另一層或基板上，或者插入層亦可存在。再者，將理解的是，當一層被視為是在另一層“下”時，它可直接在下面，且一或更多插入層亦可同樣地存在。此外，同樣要理解的是，當一層被視為在兩層“之間”時，它係為僅僅在兩層之間的層，或者一或更多插入層亦可存在。在全文中，相同的參考數字意指相同的元件。

[0016] TFT的驅動力可藉由例如減少源極與汲極之間的漏電流、增加電荷載子的遷移率以及增加導通電流來改善。為了減少TFT的漏電流，例如，可選擇輕摻雜區域與/或多重閘極結構。

[0017] 在包括輕摻雜汲極（LDD）的TFT中，漏電流會增加，例如產生增加的漏電流拖尾，同時電壓 $V_{gs}$ 會增加。在包括多重閘極結構的TFT中，最小漏電流則會減少。當將LDD結構與多重閘極結構兩者使用於TFT時，漏電流拖尾與漏

電流的最小值兩者則可被減少。然而，電荷載子的遷移率與導通電流則亦可被減少，其係會在驅動內部電路時產生問題。

[0018] 在下文，典型實施例將參考附圖來說明。圖1顯示根據典型實施例所設計之薄膜電晶體（TFT）的截面圖，且圖2顯示圖1TFT之主動區域的截面圖。參考圖1與2，TFT包括被形成在基板100上的基底層102。

[0019] 基板100例如由玻璃、石英、塑膠、矽、陶瓷、金屬或其它適當材料形成。基底層102可例如使用於平面化製程步驟。基底層102可減少以及/或者避免雜質穿透入放置於上的主動層。基底層102具有絕緣特性。例如，例如在當包括移動離子的基板或傳導基板被使用時，基底層102可被使用於基板100與放置於上諸層之間的絕緣。基底層102包括例如氧化矽（ $\text{SiO}_2$ ）、氮化矽（ $\text{SiN}_x$ ）、氧氮化矽（ $\text{SiO}_x\text{N}_y$ ）與類似材料的至少其中一個。基底層102包括氧化矽層、氮化矽層、氧氮化矽層與其種種組合的至少其中一個。在典型實施例中，基底層102可被省略。

[0020] 參考圖1與2，主動層例如包括源極區域104a、汲極區域104d、通道區域104g、104h與104i、輕摻雜區域104c與104f、以及重摻雜區域104b與104c。在將基底層102省略的實施例中，主動層104可直接形成在基底層102上，或直接在基板100上。主動層係為一單一與連續層，其係包括複數個分離部份。主動區域可被形成在配置於基板100上的主動層104中。主動層104係為單一且連續層。形成該主動區域的部份可按以下順序被相繼地排列：



源極區域104a、輕摻雜區域104e、通道區域104g、重摻雜區域104b、通道區域104h、重摻雜區域104c、通道區域104i、輕摻雜區域104f與汲極區域104d。輕摻雜區域104e與104f可相鄰源極區域104a或汲極區域104d的其中一個來排列，例如相鄰輕摻雜區域104e與104f的橫向邊緣，且相應的源極區域104a或汲極區域104d則可彼此直接接觸。輕摻雜區域104b與104c可彼此相隔一通道區域，例如通道區域104h。輕摻雜區域104e與104f可與相鄰的重摻雜區域（例如，重摻雜區域104b與104c其中一個）相隔一通道區域（例如，通道區域104g與104i其中一個）。

[0021] 主動層104可由具有晶體結構的半導體材料所形成，例如單晶半導體、多晶半導體、或具有微晶的半導體。根據一典型實施例，主動層104係由單晶矽或多晶矽形成。

[0022] 閘極絕緣層110可例如直接形成在主動層104上。閘極絕緣層110重疊整個主動層104。閘極絕緣層110包括單一絕緣層或多重層。閘極絕緣層包括例如氧化矽層、氮化矽層、包括絕緣材料之層與其種種組合。

[0023] 多重閘極電極120可例如直接形成在閘極絕緣層110上。在典型實施例中，多重閘極電極120包括三個閘極電極120a、120b與120c，其係例如彼此電性連接。該些實施例不限於包括三個閘極電極的多重閘極電極，且多重閘極電極120包括兩個閘極電極或四個或更多個閘極電極。該閘極電極120a、120b與120c可被形成在主動區域的各別通道區域104g、104h、與104i以上。在TFT的關閉狀

態中，多重閘極電極120可減少一漏電流。

[0024] 該多重閘極電極120包括一傳導材料。該多重閘極電極120例如包括金、銀、銅、鎳、鉑、鈮、鋁、鉬、鎢、鈦、其種種組合以及考慮到它們與相鄰層之黏著特性、被堆疊層之平面化、電阻性與加工性能的種種材料。每個閘極電極120a、120b與120c均可由相同材料與/或相同材料組合所形成。

[0025] 第一夾層絕緣層122可例如直接形成在多重閘極電極120上。第一夾層絕緣層122包括單一絕緣層或多重層。第一夾層絕緣層122包括例如氧化矽層、氮化矽層、包括絕緣材料之層與其種種組合。

[0026] 源極電極132與汲極電極134可延伸經過第一夾層絕緣層122地形成。源極電極132與汲極電極134亦可延伸經過閘極絕緣層110。源極電極132可接觸，例如直接接觸主動區域的源極區域104a。汲極電極134可接觸，例如直接接觸主動區域的汲極區域104d。源極電極132與汲極電極134包括一傳導材料。源極電極132與汲極電極134例如包括金、銀、銅、鎳、鉑、鈮、鋁、鉬、鎢、鈦與其種種組合。源極電極132與汲極電極134可由相同材料或不同材料形成。源極電極132與汲極電極134可由與多重閘極電極120相同的材料與/或相同的材料組合所形成。

[0027] 源極區域104a與汲極區域104d可形成在主動區域的各別邊緣，例如橫向端點。因此，源極電極132與汲極電極134則可形成在主動區域的各別邊緣以上，例如橫向端點

。源極區域104a與汲極區域104d可繞著多重閘極電極120（例如閘極電極120a與120c）的最外部份來排列。通道區域104g、104h與104i則可各自形成在多重閘極電極120a、120b與120c以下。

[0028] 在典型實施例中，主動層104的輕摻雜區域104c可被形成在源極區域104a與通道區域104g之間。源極電極132相鄰輕摻雜區域104e。源極電極132不會重疊主動區域的輕摻雜區域104e部份，例如，源極電極132僅僅實質重疊源極區域104a。輕摻雜區域104f可形成在汲極區域104d與通道區域104i之間。至少該輕摻雜區域104f係為一輕摻雜汲極區域（LDD）。汲極電極134係與輕摻雜區域104f相鄰。汲極電極134沒有重疊主動區域的輕摻雜區域104f部份，例如，汲極電極134僅僅實質重疊汲極區域104d。重摻雜區域104b與104c可形成在相應通道區域之間，例如通道區域104g、104h與104i。一部份重摻雜區域104b與104c則可重疊該多重閘極電極120。例如，如圖1所示，重摻雜區域104b重疊部份的閘極電極120a與120b，且重摻雜區域104c重疊部份的閘極電極120b與120c。

[0029] 在沒有傾向於受限於本理論之下，輕摻雜區域104e與104f可減少以及/或者避免當閘極-源極電 $V_{gs}$ 增加或當在NMOS電晶體中電壓 $V_{gs}$ 減少的同時漏電流會增加的現象。重摻雜區域104b與104c可減少通道長度以及/或者將在TFT中導通電流的耗損最小化。藉由使用多重閘極結構、輕摻雜區域結構之組合，以及形成該重摻雜區域於該通道區域之間，導通電流的耗損可被最小化以及/或者漏

電流可被有效地減少。重摻雜區域104b與104c可被形成，以將該多重閘極電極120之各別閘極電極部份重疊，以致於具有低電阻的部份能夠被延伸，以進一步增加導通電流。

[0030] 圖3顯示根據一典型實施例所設計之TFT的截面圖。圖3的TFT類似圖1的TFT。

[0031] 參考圖3，TFT包括鄰近汲極區域104d而形成的輕摻雜區域104f，例如LDD結構。TFT不會包括鄰近源極區域104a而形成的輕摻雜區域。在數種型態的電晶體中，例如，n-型金屬氧化物半導體（NMOS）TFT，從源極區域104a移動到汲極區域104d的電子則可被加速。使用例如輕摻雜區域104f來減緩電子加速，其係可減少以及/或者避免起因於熱載子而對閘極絕緣層110產生的傷害，以及/或者減少一漏電流。

[0032] 在沒有傾向於受限於本理論之下，在輕摻雜區域結構中，一輕摻雜區域，例如輕摻雜區域104f，其係可被形成在一汲極，以減緩一電場與/或抑制在該汲極附近被加速的電荷載子。在TFT的關閉狀態中，假如電荷載子在當時沒有被加速的話，源極則不會對漏電流產生影響。在一關閉狀態，以及在源極區域與汲極區域沒被固定的一電路中，源極區域與汲極區域的位置可根據源極區域與汲極區域之兩節點的電壓來互換。因此，輕摻雜區域結構可與源極區域104a與汲極區域104d兩者相鄰地形成。當源極區域104a與汲極區域104d被固定時，輕摻雜區域結構，例如LDD結構，則可僅僅形成在汲極區域上。

[0033] 圖1與3的TFT係為不同型態電晶體（例如p-型MOS（PMOS）TFT、NMOS TFT或類似物）的其中一個。在PMOS TFT的典型實施例中，源極區域104a、汲極區域104d、與重摻雜區域104b與104c係為p+摻雜區域，且輕摻雜區域104e與104f係為p-摻雜區域。在NMOS TFT的典型實施例中，源極區域104a、汲極區域104d、與重摻雜區域104b與104c係為n+摻雜區域，且輕摻雜區域104e與104f係為n-摻雜區域。

[0034] 圖4顯示例如有機發光二極體顯示裝置之顯示裝置之像素單元的電路圖，其係包括圖1與3至少其中一個的TFT。

[0035] 參考圖4，像素單元包括選擇欲被驅動之像素的選擇線SL、施加電壓到例如有機發光二極體像素之像素的資料線DL。該像素單元包括供應電力的電源線PL，以及根據資料線DL與電源線PL之間電壓差來累積電荷的儲存電容器SC。像素單元包括一切換單元T1，其係根據選擇線SL的訊號來控制在資料線DL中的資料流。該像素單元包括一驅動單元T2，其係根據由於累積在儲存電容器SC中之電荷所產生的電壓而來允許電流流動。發光裝置P，例如，有機發光裝置，其係可藉由依據驅動單元T2之功能來流動的電流而被驅動。

[0036] TFT的實施例，例如根據顯示於圖1與3的典型實施例，其係可被施加到顯示於圖4之顯示裝置之電路圖的切換單元T1與/或驅動單元T2。TFT的實施例可被使用當作例如除了有機發光裝置以外、譬如電漿顯示裝置與液晶裝置之發光裝置的切換單元以及/或者驅動單元。

[0037] 圖5A至5E顯示製造TFT（例如圖1的TFT）之典型方法的截面圖。

[0038] 參考圖5A，基底層102可被形成，例如沈積在基板100上。基板100可由玻璃、石英、塑膠、矽、陶瓷、金屬或其它適合材料所形成。基底層102包括氧化矽（ $\text{SiO}_2$ ）、氮化矽（ $\text{SiN}_x$ ）、或氧氮化矽（ $\text{SiO}_x\text{N}_y$ ）的至少其中一個。基底層102可被例如使用於平面化以及/或者避免雜質滲透入主動區域內。基底層102可被使用於絕緣，例如當包括移動離子的基板或傳導基板被使用時。

[0039] 主動層104可被形成在基底層102上，其係例如藉由形成p-型半導體層於基底層102上並且將之圖案化。主動層104係由具有晶體結構的半導體材料所形成，例如單晶半導體、多晶半導體或具有微晶的半導體。根據一典型實施例，主動層104係由單晶矽或多晶矽形成。

[0040] 閘極絕緣層110可形成在主動層104上。閘極絕緣層110覆蓋，例如實質重疊主動層104的整個長度。閘極絕緣層110包括單一絕緣層或多重層。閘極絕緣層110包括例如氧化矽層、氮化矽層、包括絕緣材料之層與其種種組合。

[0041] 參考圖5B，抗蝕層圖案112包括複數個抗蝕層，例如抗蝕層112a、112b與112c，其係可被形成在閘極絕緣層110上。抗蝕層112a、112b與112c可重疊主動層104的未摻雜區域104n。抗蝕層圖案112的抗蝕層，例如112a、112b與112c可與相鄰抗蝕層相隔開。抗蝕層的數目對應

相繼形成多重閘極電極120之閘極電極的數目。

[0042] 抗蝕層112a、112b與112c可定義在稍後製程步驟中所形成之主動區域的通道區域，例如抗蝕層112a、112b與112c可與在此將形成通道區域之主動層104的區域重疊。抗蝕層112a與112c可定義在稍後製程步驟中所形成之主動區域的輕微摻雜區域，例如抗蝕層112a與112c可與將形成至少一輕微摻雜區域之主動層104的區域重疊。抗蝕層112a、112b與112c可定義在稍後製程步驟中所形成之主動區域的重摻雜區域，例如重摻雜區域104b與104c可被形成在抗蝕層112a、112b與112c之間的暴露區域中。抗蝕層112a與112c可各別定義源極與汲極區域，例如，源極區域104a可稍後形成在與抗蝕層112a相鄰的區域中，且汲極區域104d可稍後形成在與抗蝕層112c相鄰的區域中。

[0043] 根據一典型實施例，抗蝕層圖案112可被使用當作一遮罩以進行主動層104的摻雜，例如p-型摻雜製程的p+摻雜。實施例並沒有限制在p-型摻雜，例如n-型摻雜可被進行。根據一典型實施例，當p-型摻雜被進行時，p+摻雜則可被使用來形成p+摻雜區域。主動層104的p+摻雜區域包括例如p+摻雜源極區域104a、p+摻雜重摻雜區域104b、p+摻雜重摻雜區域104c、與p+摻雜汲極區域104d。p+摻雜區域104b與104c可對應在主動層104之各別通道區域之間所形成的重摻雜區域。儲存電容器底部電極（沒有顯示）可藉由p+摻雜製程被同時形成在基板100上。在典型實施例中，硼可被當作摻雜物地添加，以用於p+摻

雜，例如硼可藉由離子植入二硼烷 ( $B_2H_6$ ) 來添加。

[0044] 抗蝕層圖案112包括抗蝕層112a與112c，其係比在稍後步驟所形成的相應閘極電極120a與120c更寬。在典型實施例中，在p+摻雜期間內由抗蝕層圖案112所覆蓋之主動層104的未摻雜區域104n，其係可在多重閘極電極120形成以後被暴露，例如沒有被多重閘極電極120所覆蓋。抗蝕層112a、112b與112c可被形成，以致於藉由p+摻雜來摻雜的重摻雜區域104b與104c能夠重疊至少一個閘極電極120a、120b與120c部份。例如，重摻雜區域104b重疊部份的閘極電極120a與120b，例如毗鄰邊緣，且重摻雜區域104c重疊部份的閘極電極120b與120c，例如毗鄰邊緣。

[0045] 參考圖5C，在抗蝕層圖案112被移除以後，傳導層可被形成在基板100上。傳導層可被圖案化，以形成多重閘極電極120。根據典型實施例，多重閘極電極120包括複數個多重閘極電極，例如，閘極電極120a、120b與120c。該傳導層例如包括金、銀、銅、鎳、鉑、鈮、鋁、鉬、鎢、鈦、其合金、其係不限於此以及包括考慮到它們與相鄰層之黏著特性、被堆疊層之平面化、電阻性與加工性能的種種材料。多重閘極電極120可被對準，以致於重摻雜區域104b與104c能夠被配置在閘極電極 120a、120b與120c的至少兩相鄰閘極電極之間。

[0046] 參考圖5D，該多重閘極電極120可被使用當作一遮罩，以進行在主動層104中p-型摻雜的p-摻雜，例如一部份未摻雜區域104n。未摻雜區域104n的p-摻雜可使用自動對準



方法來形成輕摻雜區域104e與104f。硼可被使用當作摻雜物，以用於p-摻雜，例如硼可藉由離子植入二硼烷 ( $B_2H_6$ ) 來添加。輕摻雜區域104e與104f可以比重摻雜區域104b與104c更低的濃度來摻雜。

[0047] 在進行p-摻雜以後，通道區域104g、104h與104i可各別被形成在多重閘極電極 120a、120b與120c 以下。源極區域104a與汲極區域104d可被排列在各別與閘極電極 120a與120c之外部份（例如，最外部份）相鄰的主動區域中。閘極電極120a與120c不會各別與源極區域104a與汲極區域104d重疊。輕摻雜區域104e形成在源極區域104a與通道區域104g之間，且輕摻雜區域104f形成在汲極區域104d與通道區域104i之間。重摻雜區域104b與104c可被排列在通道區域104g、104h與104i的至少兩個通道區域之間。一部份的重摻雜區域104b與104c可重疊閘極電極 120a、120b與120c的至少兩個閘極電極。

[0048] 參考圖5E，第一夾層絕緣層122可被形成在多重閘極電極120上，例如在閘極電極120a、120b與120c上。源極電極132與汲極電極134可延伸經過第一夾層絕緣層122與閘極絕緣層110地形成。源極電極132與汲極電極134可各別接觸，例如直接接觸源極區域104a與汲極區域104d。第一夾層絕緣層122包括例如氧化矽層與氮化矽層之無機絕緣層以及有機絕緣層的至少其中一個。源極電極132與汲極電極134包括一傳導材料，例如 金、銀、銅、鎳、鉑、鈮、鋁、鈳、鎢、鈦、與其合金。

[0049] 圖6A至6E顯示根據一典型實施例所設計之一種製造TFT (

例如，圖3的TFT)方法的截面圖。

[0050] 在圖6A至6E中所顯示的方法包括輕摻雜區域，其係相鄰源極區域104a或汲極區域104d的其中一個而形成。在典型實施例中，輕摻雜區域結構係為LDD結構，例如輕摻雜區域係為相鄰汲極區域104d而形成的輕摻雜汲極區域。與在圖5A至5E中所顯示之相同元件相關的說明不會被重複於此。

[0051] 參考圖6A，基底層102可被形成在基板100上。主動層104，例如p-型半導體層，可被形成在基底層102上。閘極絕緣層110可被形成在主動層104上。抗蝕層圖案112可被形成在閘極絕緣層110上，抗蝕層圖案112包括形成在閘極絕緣層110上的複數層抗蝕層，例如抗蝕層112a、112b與112c。抗蝕層112a與112b可被形成，以定義通道區域以及該主動區域之通道區域之間的重摻雜區域。與汲極區域相鄰的抗蝕層112c會比抗蝕層112a與112b相對更寬。根據典型實施例，較寬的抗蝕層112c可重疊一區域，在此例如通道區域104i的通道區域以及例如輕摻雜區域104f的輕摻雜汲極區域，其係可被形成在稍後的製程步驟中。

[0052] 藉由使用抗蝕層112為遮罩摻雜，例如p-型摻雜，其係可被進行以形成摻雜區域於主動層104中。根據典型實施例，p-型摻雜可被進行，以形成主動層104的p+摻雜區域，其係例如包括p+摻雜源極區域104a、p+摻雜汲極區域104b、p+摻雜重摻雜區域104c以及p+摻雜重摻雜區域104d。在p+摻雜製程期間內，儲存電容器底部電極（未

顯示) 則可被同時形成在基板100上。

[0053] 參考圖6B，抗蝕層圖案112可被移除，且傳導層可被形成在基板100上。傳導層可被圖案化以形成多重閘極電極120。多重閘極電極120包括複數個閘極電極，例如閘極電極120a、120b與120c。多重閘極電極120可被對準，以致於重摻雜區域104b與104c能夠被配置在閘極電極120a、120b與120c的至少兩相鄰閘極電極之間。沒有被p+摻雜的一部份主動層104，例如未摻雜區域104n，可藉由其中一個閘極電極來暴露，例如閘極電極120c。

[0054] 參考圖6C，多重閘極電極120可被使用當作遮罩，以進行在主動層104中的p-型摻雜，例如p-摻雜。p-摻雜則可使用自動對準方法來形成輕摻雜區域104f。

[0055] 在進行p-摻雜以後，通道區域104g、104h與104i可各別被形成在多重閘極電極120a、120b與120c以下。源極區域104a與汲極區域104d可被排列為各別與多重閘極電極120a與120c之外部份（例如，最外部份）相鄰。輕摻雜區域104f係形成在汲極區域104d與通道區域104i之間。根據典型實施例，例如在TFT之源極與汲極區域被固定的情形中，與源極區域104a相鄰的輕摻雜區域104e可被排除。重摻雜區域104b與104c可被形成在通道區域104g、104h與104i的至少兩個相鄰通道區域之間。一部份重摻雜區域104b與104c可重疊閘極電極120a、120b與120c之至少一個相鄰閘極電極的一部份。

[0056] 參考圖6D，第一夾層絕緣層122可被形成在多重閘極電極

120上，例如覆蓋閘極電極120a、120b與120c。源極電極132與汲極電極134可延伸經過第一夾層絕緣層122地形成。源極電極132與汲極電極134可延伸經過閘極絕緣層110，並且可各別接觸，例如直接接觸源極區域104a與汲極區域104b。

[0057] 在以上典型實施例中，源極區域104a與汲極區域104b可被指定，但是其位置則可根據被施加的電壓來交換。以上所說明的多重閘極電極120可由三個閘極電極、兩個閘極電極或四個或更多個閘極電極所形成。此外，雖然PMOS TFT被說明於上，但是NMOS TFT亦可同樣被使用。

[0058] 圖7A至7C顯示根據典型實施例與比較性實例所設計之TFT的特徵。圖7A至7C顯示將根據典型實施例與比較性實例所設計之汲極電流 $I_d$ 與閘極電壓 $V_g$ 之間關係顯示的圖式。參考圖7A至7C，汲極-源極電壓 $V_{ds}$ 係為-0.1V、-5.1V與-10.1V，且關閉電流會隨著電壓 $V_{ds}$ 增加而增加。

[0059] 圖7A係為根據比較性實例所設計之TFT的 $I_d$ - $V_g$ 圖，其係包括多重閘極電極與重摻雜區域結構，並且沒有包括輕摻雜區域。參考圖7A，根據比較性實例所設計之TFT的導通電流係為 $10^{-5}$ A，且其關閉電流的最小值範圍係為 $10^{-11}$ A至 $10^{-13}$ A。電壓 $V_g$ 越高，關閉電流則會增加地越高。

[0060] 圖7B係為根據典型實施例所設計之TFT的 $I_d$ - $V_g$ 圖，其係包括多重閘極電極、重摻雜區域結構與輕摻雜區域結構

。在典型實施例的TFT中，重摻雜區域會與該多重閘極電極的至少一個閘極電極重疊。參考圖7B，TFT的導通電流係為 $10^{-5}$ A，且其關閉電流的最小值範圍係為 $10^{-11}$ A至 $10^{-13}$ A。該結果類似導通電流以及比較性實例之關閉電流的最小值，但是關閉電流隨著閘極電壓 $V_g$ 增加而增加的程度則會比比比較實例更小。

[0061] 圖7C係為根據典型實施例所設計之TFT的 $I_d-V_g$ 圖，其係包括多重閘極電極、重摻雜區域結構與輕摻雜區域結構。在圖7B的TFT中，重摻雜區域不會與該多重閘極電極的閘極電極重疊。參考圖7C，TFT的導通電流小於 $10^{-5}$ A，且其關閉電流的最小值範圍係為 $10^{-11}$ A至 $10^{-13}$ A。該結果類似比較性實例之關閉電流的最小值，但是關閉電流隨著閘極電壓 $V_g$ 增加而增加的程度則會比比比較實例以及圖7B的實施例更小。

[0062] 在沒有傾向於受限於本理論之下，根據該實施例，使用多重閘極電極結構、輕摻雜區域結構以及在多重閘極電極之相鄰閘極電極之間包括重摻雜區域的重摻雜區域結構，可使最小漏電流減少，並可使漏電流隨著閘極電壓增加而增加的現象減少或避免，並可避免導通電流的減少。於是，具有可靠度與改善驅動力的TFT則可被提供。

[0063] 典型實施例已經在此被揭露，且雖然特定術語被應用，但是它們卻可被使用並且僅僅以一般且敘述性的意義來詮釋而且沒有限制之目的。於是，那些熟諳該技藝者將理解，在形式與細節的種種變化可在不背離以下申請專利範圍所陳述之本發明精神與範圍下被進行。

**【圖式簡單說明】**

- [0064] 藉由參考附圖來詳細說明典型實施例，對那些熟諳該技藝者而言，以上與其他特徵與優點將變得更顯而易見，其中：
- [0065] 圖1顯示根據本發明實施例所設計之薄膜電晶體（TFT）的截面圖；
- [0066] 圖2顯示圖1 TFT之主動層的截面圖；
- [0067] 圖3顯示根據一典型實施例所設計之TFT的截面圖；
- [0068] 圖4顯示一電路圖，其係顯示一有機發光裝置的像素單元；
- [0069] 圖5A至5E顯示根據一典型實施例所設計之一種製造TFT方法的截面圖；
- [0070] 圖6A至6D顯示根據一典型實施例所設計之一種製造TFT方法的截面圖；以及
- [0071] 圖7A至7C顯示將根據典型實施例與比較性實例所設計之汲極電流 $I_d$ 與閘極電壓 $V_g$ 之間關係顯示的圖式。

**【主要元件符號說明】**

- [0072] 100 基板
- [0073] 102 基底層
- [0074] 104 主動層
- [0075] 104a 源極區域
- [0076] 104b-c 重摻雜區域

- [0077] 104d汲極區域
- [0078] 104e-f輕摻雜區域
- [0079] 104g-i通道區域
- [0080] 104n未摻雜區域
- [0081] 110閘極絕緣層
- [0082] 120多重閘極電極
- [0083] 120a-c閘極電極
- [0084] 122第一夾層絕緣層
- [0085] 132源極電極
- [0086] 134汲極電極
- [0087] DL資料線
- [0088] PL電源線
- [0089] SL選擇線
- [0090] T1切換單元
- [0091] T2驅動單元
- [0092] SC儲存電容器

專利案號：100108601



日期：100年07月08日

## 發明專利說明書

※申請案號：100108601

※IPC分類：

※申請日：100.3.14

H01L 29/786 (2006.01)

一、發明名稱：

H01L 21/336 (2006.01)

薄膜電晶體及製造其之方法

H01L 21/28 (2006.01)

THIN FILM TRANSISTOR AND METHOD OF MANUFACTURING THE SAME

二、中文發明摘要：

本發明揭露一種薄膜電晶體 (TFT)，其係包括一基板；以及在該基板上的一主動區域，其係包括源極與汲極區域於該主動區域之相對端上，一輕摻雜區域相鄰該源極區域與該汲極區域中之至少一者，複數個通道區域，以及在該複數個通道區域之兩通道區域之間的一重摻雜區域。TFT包括在主動區域上之一閘極絕緣層，以及於閘極絕緣層上具有複數個閘極電極的多重閘極電極，該複數個通道區域係配置在相應的閘極電極之下，且源極區域與汲極區域則相鄰於多重閘極電極的最外部份來配置。TFT包括在多重閘極電極上的第一夾層絕緣層，以及延伸經過第一夾層絕緣層並接觸各別源極與汲極區域的源極與汲極電極。

三、英文發明摘要：

A thin film transistor(TFT) includes a substrate, and an active region on the substrate including source and drain regions at opposing ends of the active region, a lightly doped region adjacent to at least one of the source region and the drain region, a plurality of channel regions, and a highly doped region between two channel regions of the plurality of



channel regions. The TFT includes a gate insulation layer on the active region, and a multiple gate electrode having a plurality of gate electrodes on the gate insulation layer, the plurality of channel regions being disposed below corresponding gate electrodes, and the source region and the drain region being disposed adjacent to outermost portions of the multiple gate electrode. The TFT includes a first insulation layer on the multiple gate electrode, and source and drain electrodes extending through the first interlayer insulation layer and contacting the respective source and drain regions.

## 七、申請專利範圍：

- 1 . 一種薄膜電晶體 (TFT) ，包含：一基板；一主動區域，在該基板上，其係包括源極與汲極區域於該主動區域之相對端上，一輕摻雜區域相鄰於該源極區域與該汲極區域中的至少其中一者，複數個通道區域，以及在該複數個通道區域之兩通道區域之間的一重摻雜區域；一閘極絕緣層，在該主動區域上；一多重閘極電極，包括複數個閘極電極於該閘極絕緣層上，該複數個通道區域係配置在相應閘極電極以下，且該源極區域與該汲極區域係相鄰該多重閘極電極的最外部份來配置；一第一夾層絕緣層，在該多重閘極電極上；以及源極與汲極電極，延伸經過第一夾層絕緣層並且接觸該各別的源極與汲極區域。
- 2 . 如申請專利範圍第1項之TFT，其中一部份重摻雜區域重疊該多重閘極電極的相應閘極電極。
- 3 . 如申請專利範圍第1項之TFT，其中該至少一個輕摻雜區域包括相鄰於該汲極區域的一第一輕摻雜區域。
- 4 . 如申請專利範圍第3項之TFT，其中該至少一個輕摻雜區域包括相鄰於該源極區域的一第二輕摻雜區域。
- 5 . 如申請專利範圍第1項之TFT，其中該源極區域、該汲極區域、該輕摻雜區域以及該至少一個輕摻雜區域係被摻雜以p型摻雜物。
- 6 . 如申請專利範圍第1項之TFT，其中該源極區域、該汲極區域、該重摻雜區域以及該至少一個輕摻雜區域係被摻雜以n型摻雜物。
- 7 . 如申請專利範圍第1項之TFT，其中該多重閘極電極僅僅

具有兩個閘極電極。

- 8 . 如申請專利範圍第1項之TFT，其中該多重閘極電極包括三個閘極電極。
- 9 . 如申請專利範圍第1項之TFT，其中該主動區域包括多晶矽。
- 10 . 一種有機發光裝置，其係包含如申請專利範圍第1項的TFT。
- 11 . 一種製造薄膜電晶體（TFT）的方法，該方法包含：形成一主動層於一基板上；形成一閘極絕緣層於該主動層上；形成一抗蝕層於該閘極絕緣層上；藉由使用該抗蝕層為一遮罩，藉由以一重摻雜濃度來摻雜該主動層，形成一源極區域、一汲極區域與一重摻雜區域於該主動層中；在移除該抗蝕層以後並且在形成該源極區域、該汲極區域與該重摻雜區域以後，形成一多重閘極電極於該基板上；形成至少一個輕摻雜區域於藉由該多重閘極電極而被暴露之該主動層的一未摻雜部份中；在形成該至少一個輕摻雜區域以後，形成一第一夾層絕緣層於該多重閘極電極上；以及形成一源極電極與一汲極電極，其係延伸經過第一夾層絕緣層並且接觸各別的源極與汲極區域。
- 12 . 如申請專利範圍第11項之方法，其中一部份重摻雜區域係被形成以重疊該多重閘極電極的相應閘極電極。
- 13 . 如申請專利範圍第11項之方法，其中該主動層包括多晶矽。
- 14 . 如申請專利範圍第11項之方法，其中形成該至少一個輕摻雜區域包括形成相鄰於該汲極區域的一第一輕摻雜區域。
- 15 . 如申請專利範圍第14項之方法，其中形成該至少一個輕摻

- 雜區域包括形成相鄰於該源極區域的一第二輕摻雜區域。
- 16 . 如申請專利範圍第14項之方法，其中與形成至少一個輕摻雜區域之一部份主動層重疊之抗蝕層的寬度，其係比形成至少一個輕摻雜區域之相鄰於該主動層之該部份的閘極電極寬度更寬。
  - 17 . 如申請專利範圍第11項之方法，其中以高摻雜濃度或低摻雜濃度來摻雜，其係使用p-型摻雜物來進行。
  - 18 . 如申請專利範圍第11項之方法，其中以高摻雜濃度或低摻雜濃度來摻雜，其係使用n-型摻雜物來進行。
  - 19 . 如申請專利範圍第11項之方法，其中該多重閘極電極包括三個閘極電極。
  - 20 . 如申請專利範圍第11項之方法，進一步包含在基板與主動層之間形成一基底層。

八、圖式：

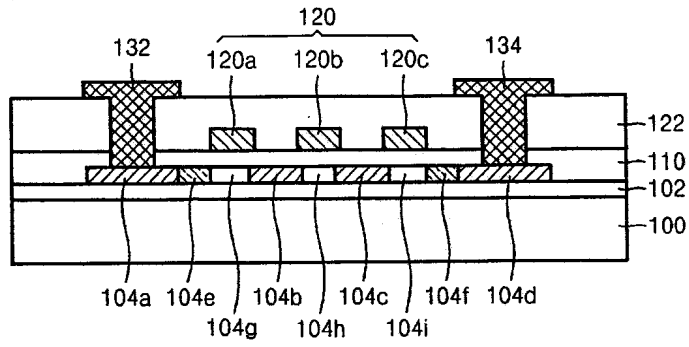


圖 1

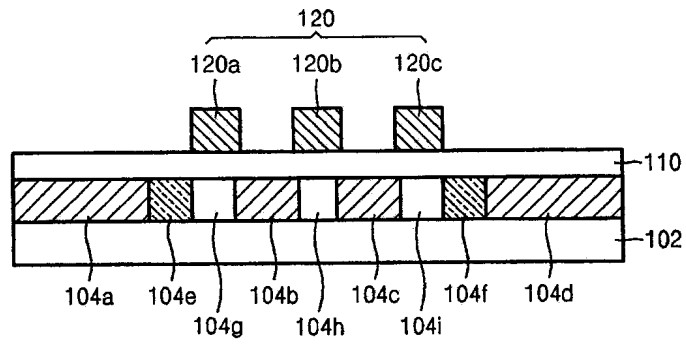


圖 2

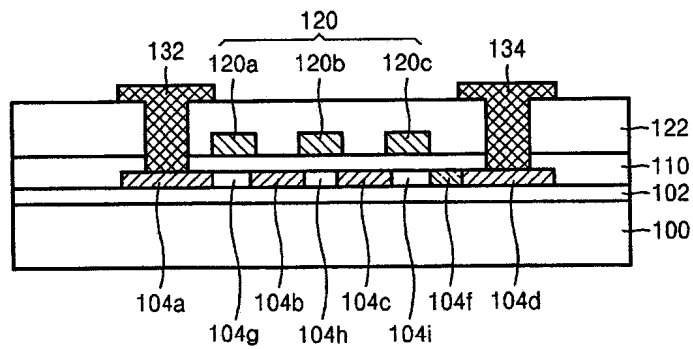


圖 3

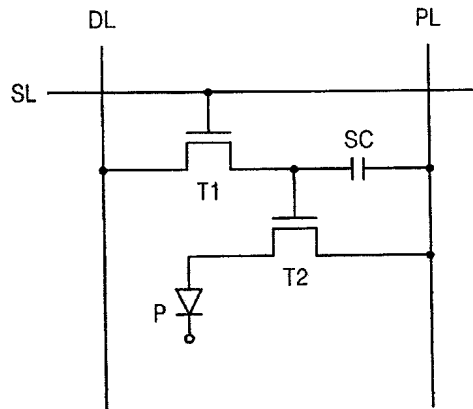


圖 4

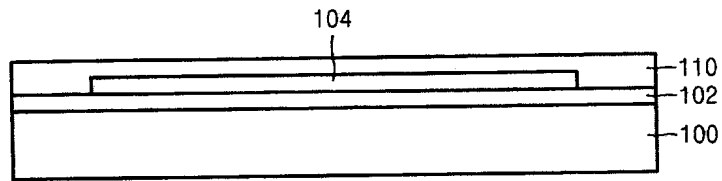


圖 5A

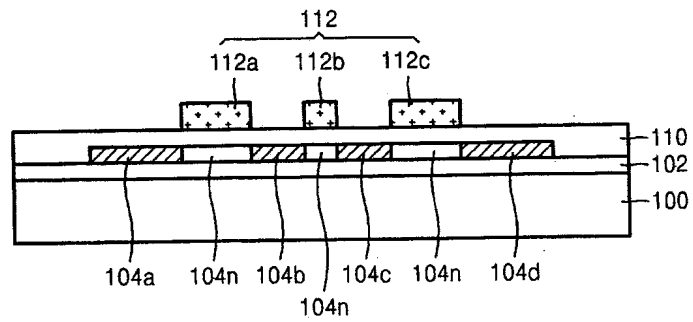


圖 5B

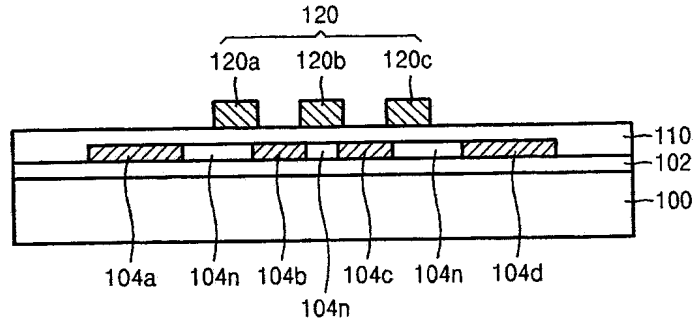


圖 5C

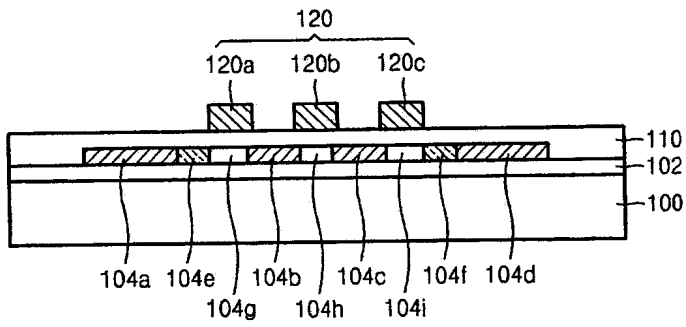


圖 5D

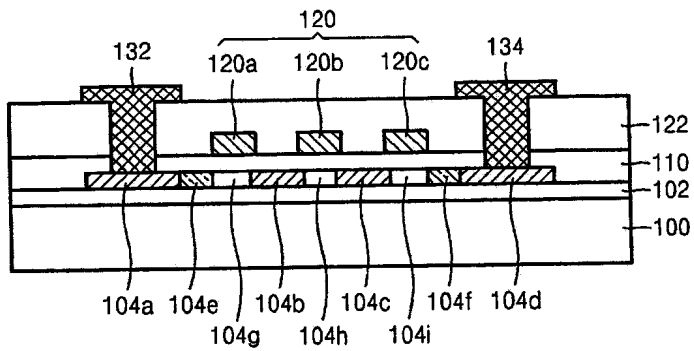


圖 5E

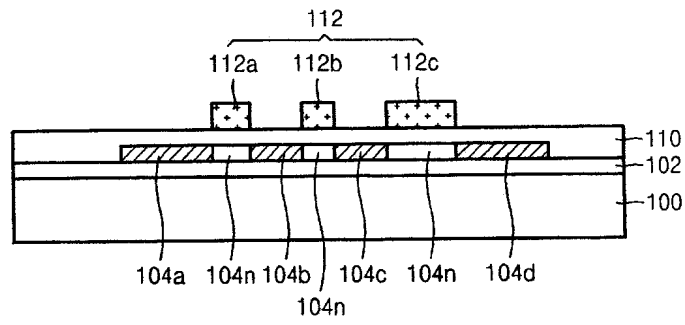


圖 6A

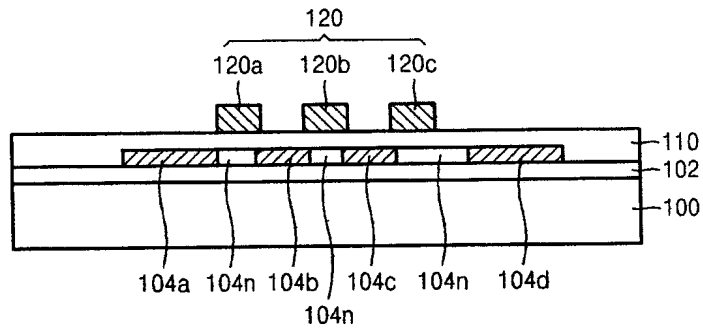


圖 6B

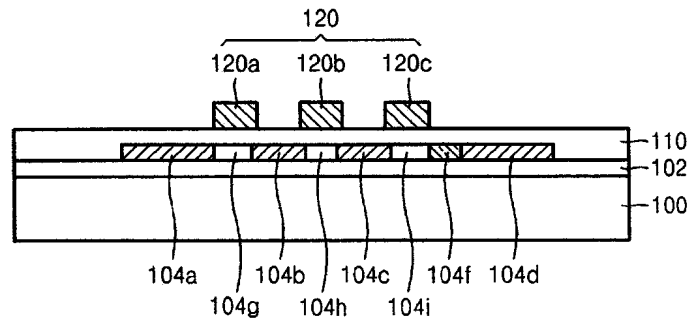


圖 6C



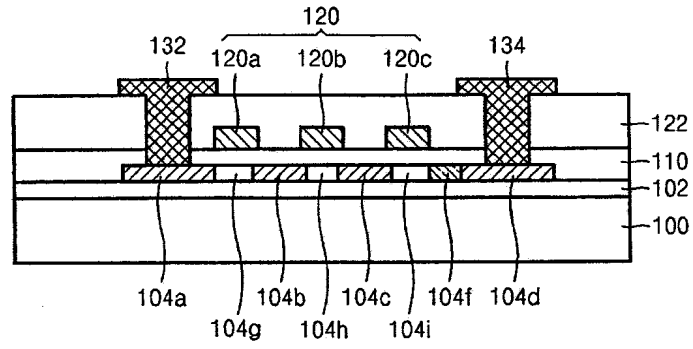


圖 6D

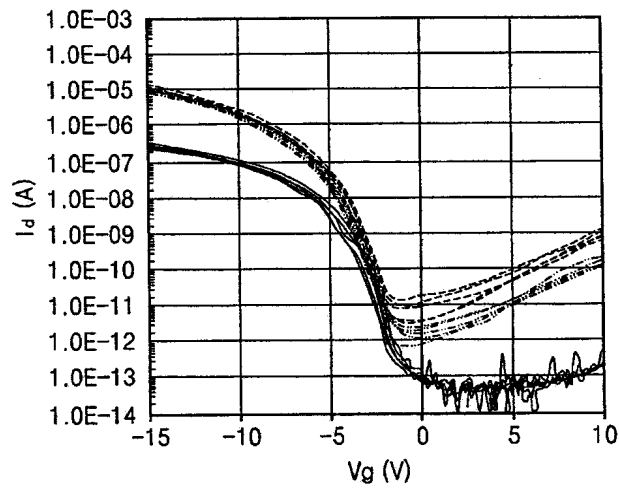


圖 7A

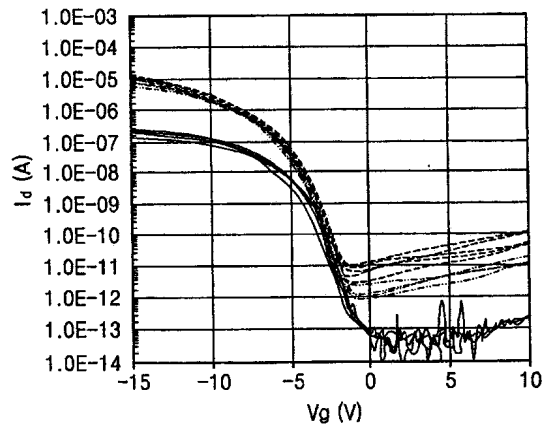


圖 7B

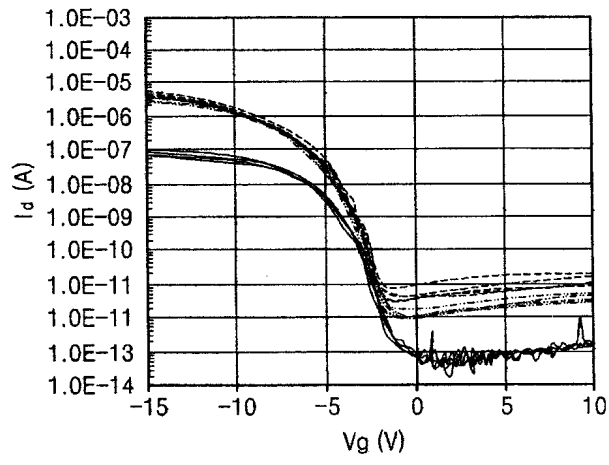


圖 7C

四、指定代表圖：

(一)本案指定代表圖為：圖1。

(二)本代表圖之元件符號簡單說明：

100基板

102基底層

104a源極區域

104b重摻雜區域

104c重摻雜區域

104d汲極區域

104e輕摻雜區域

104f輕摻雜區域

104g通道區域

104h通道區域

104i通道區域

110閘極絕緣層

120多重閘極電極

120a閘極電極

120b閘極電極

120c閘極電極

122第一夾層絕緣層

132源極電極

134汲極電極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：