



# [12] 发明专利说明书

[21] ZL 专利号 00109029.1

[45] 授权公告日 2005 年 1 月 12 日

[11] 授权公告号 CN 1184488C

[22] 申请日 2000.6.2 [21] 申请号 00109029.1

[30] 优先权

[32] 1999. 6. 4 [33] JP [31] 158749/1999

[71] 专利权人 恩益禧电子股份有限公司

地址 日本神奈川

[72] 发明人 大塚重和

审查员 舒 畅

[74] 专利代理机构 中原信达知识产权代理有限责  
任公司

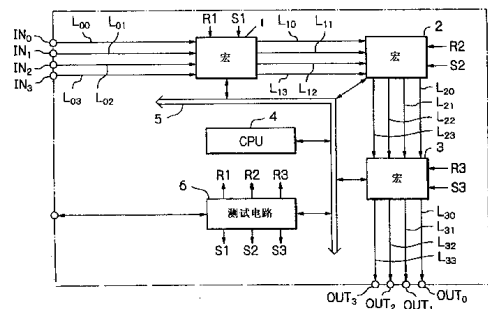
代理人 穆德骏 方 挺

权利要求书 2 页 说明书 10 页 附图 9 页

[54] 发明名称 含有宏的半导体器件及其测试方法

[57] 摘要

本发明所述的一种半导体器件包括一公共总线(5)以及多个由连接(L00, L01, ..., L33)串联起来的宏(1, 2, 3), 各个宏都由以下部分组成: 内部电路(11, 21, 31); 缓冲区(12, 22, 32), 它们连接于内部电路的输入端与公共总线之间; 寄存器(13, 23, 33), 它们与公共总线相连接; 以及逻辑电路(14, 24, 34), 它们用于选择内部电路的输出信号与寄存器的输出信号之一。



1. 一种半导体器件，其特征在于包括：  
公共总线（5）；

5 具有输出端的第一宏（1），所述第一宏包括第一内部电路（11）和寄存器（13），所述第一内部电路（11）具有连接至所述输出端的输出节点，所述寄存器（13）连接在所述输出端和所述公共总线之间，存储从所述公共总线提供的测试数据；

10 具有输入端的第二宏（2），所述第二宏包括第二内部电路（21）和缓冲器（22），所述第二内部电路（21）具有连接至所述输入端的输入节点，所述缓冲器（22）连接在所述输入端和所述公共总线之间，向所述公共总线提供来自所述输入端的数据；和  
连接在所述输出端和所述输入端之间的连接（ $L_{10} \sim L_{13}$ ）。

15 2. 如权利要求 1 所述的器件，还包括连接在所述第一宏的输入端、所述第一内部电路的输入节点和测试输入端（TDI1）之间的选择器（15）。

20 3. 如权利要求 1 所述的器件，还包括连接至所述输出端的测试输出端（TDO1）。

4. 一种半导体器件，其特征在于包括：  
公共总线（5）；

25 具有输出端的第一宏（1），所述第一宏包括具有输出节点的第一内部电路（11），连接至所述公共总线的寄存器（13），和连接在所述输出节点、所述寄存器和所述输出端之间的门电路（14）；

30 具有输入端的第二宏（2），所述第二宏包括第二内部电路（21）和缓冲器（22），所述第二内部电路（21）具有连接至所述输入端的输入节点，所述缓冲器（22）连接至所述输入端和所述公共总线；和  
连接在所述输出端和所述输入端之间的连接（ $L_{10} \sim L_{13}$ ）。

5. 如权利要求 4 所述的器件，还包括连接在所述第一宏的输入端、所述第一内部电路的输入节点和测试输入端（TDI1）之间的选择器（15）。

5

6. 如权利要求 4 所述的器件，进一步包括连接至所述输出端的测试输出端（TDO1）。

7. 一种半导体器件，其特征在于包括：

10

公共总线（5）；

具有输出端的第一宏（1），所述第一宏包括第一内部电路（11）和寄存器（13），所述第一内部电路（11）具有连接至所述输出端的输出节点，所述寄存器（13）连接在所述输出端和所述公共总线之间；

15

具有输入端的第二宏（2），所述第二宏包括第二内部电路（21）、选择器（25）和缓冲器（22），所述第二内部电路（21）具有连接至所述输入端的输入节点，所述选择器（25）连接在所述输入端、所述输入节点和测试输入端（TDI2）之间，而所述缓冲器（22）连接在所述公共总线之间；和

连接在所述输出端和所述输入端之间的连接（ $L_{10} \sim L_{13}$ ）。

20

8. 如权利要求 7 所述的器件，还包括连接在所述第一宏的输入端、所述第一内部电路的输入节点和测试输入端（TDI1）之间的选择器（15）。

25

9. 如权利要求 7 所述的器件，还包括连接至所述输出端的测试输出端（TDO1）。

## 含有宏的半导体器件及其测试方法

5            本发明涉及一种含有多个电路块（宏）的半导体器件（如单片机）  
及一种用于测试该半导体器件的方法。

          在现有技术中所用的单片机中，多个宏被由输入端与输出端之间的  
连接串联起来。为了测试这些连接，就需提供一条边界扫描路径。  
10        应该注意，边界扫描路径也被用于测试宏的功能。这将在后面进行详  
细说明。

          但是，在上述现有技术中所用的单片机中，当宏的数目及其连接的  
数目增加时，就需要有一定的面积以用于边界扫描路径的硬件。因  
15        此，集成度就会被降低。另外，也不可能完全地测试这些连接。

          本发明的一个目的是提供一种含有多个宏的半导体器件，它能够  
提高集成度并能完全测试宏的连接。

20            本发明的另一个目的是提供一种用于测试这种半导体器件的方  
法。

          根据本发明，提供一种半导体器件，包括：公共总线；具有输出  
端的第一宏，其包括第一内部电路和寄存器，所述第一内部电路具有  
25        连接至所述输出端的输出节点，所述寄存器连接在所述输出端和所述  
公共总线之间，从所述公共总线提供的测试数据；具有输入端的第二  
宏，其包括第二内部电路和缓冲器，所述第二内部电路具有连接至所  
述输入端的输入节点，所述缓冲器连接在所述输入端和所述公共总线  
之间，所述缓冲器存储向所述公共总线提供所述输入端的数据；和连  
30        接在所述输出端和所述输入端之间的连接。

根据本发明，还提供一种半导体器件，包括：公共总线；具有输出端的第一宏，其包括具有输出节点的第一内部电路，连接至所述公共总线的寄存器，和连接在所述输出节点、所述寄存器和所述输出端之间的门电路；具有输入端的第二宏，其包括第二内部电路和缓冲器，所述第二内部电路具有连接至所述输入端的输入节点，所述缓冲器连接至所述输入端和所述公共总线；和连接在所述输出端和所述输入端之间的连接。

根据本发明，还提供一种半导体器件，包括：公共总线；具有输出端的第一宏，其包括第一内部电路和寄存器，所述第一内部电路具有连接至所述输出端的输出节点，所述寄存器连接在所述输出端和所述公共总线之间；具有输入端的第二宏，其包括第二内部电路、选择器和缓冲器，所述第二内部电路具有连接至所述输入端的输入节点，所述选择器连接在所述输入端、所述输入节点和测试输入端之间，而所述缓冲器连接在所述公共总线之间；和连接在所述输出端和所述输入端之间的连接。

通过以下与先前工作进行比较的文字说明并参考附图，本发明将变得更加清晰易懂。在附图中：

图 1 的电路框图显示出了现有技术中所用的单片机；

图 2 的电路框图显示出了本发明所述单片机的第一实施例；

图 3 是图 3 所示宏的详细电路图；

图 4A，4B 和 4C 的流程图显示了图 3 所示测试电路的工作步骤；

图 5 的电路图是对图 2 所示电路的修改；

图 6 的电路框图显示出了本发明所述单片机的第二实施例；

图 7 是图 6 所示宏的详细电路图；

在对本发明的优选实施例进行说明之前，首先将参考图 1 对现有技术中的单片机进行说明。

在图 1 中，宏 101，102 和 103 被串联连接在输入端  $IN_0$ ， $IN_1$ ， $IN_2$  和  $IN_3$  与输出端  $OUT_0$ ， $OUT_1$ ， $OUT_2$  及  $OUT_3$  之间。宏 101，102 和 103 受中央处理器（CPU）104 的控制。

5

为了对输入端  $IN_0$ ， $IN_1$ ， $IN_2$  和  $IN_3$  与宏 101 之间的连接  $L_{00} \sim L_{03}$ ，宏 101 与 102 之间的连接  $L_{10} \sim L_{13}$ ，宏 102 与 103 之间的连接  $L_{20} \sim L_{23}$  以及宏 103 与输出端  $OUT_0$ ， $OUT_1$ ， $OUT_2$  和  $OUT_3$  之间的连接  $L_{30} \sim L_{33}$  进行测试，设置了一条边界扫描路径。应该注意，该边界扫描路径也被用于测试宏 101，102 和 103 的功能。

10

上述边界扫描路径由以下部分组成：与输入端  $IN_0$ ， $IN_1$ ， $IN_2$  和  $IN_3$  连接的 4 位移位寄存器 105，与宏 101 的输入连接的 4 位移位寄存器 106，与宏 101 的输出连接的 4 位移位寄存器 107，与宏 102 的输入连接的 4 位移位寄存器 108，与宏 102 的输出连接的 4 位移位寄存器 109，与宏 103 的输入连接的 4 位移位寄存器 110，与宏 103 的输出连接的 4 位移位寄存器 111，以及与输出端  $OUT_0$ ， $OUT_1$ ， $OUT_2$  及  $OUT_3$  连接的 4 位移位寄存器 112。寄存器 112，111，110，109，108，107，106 和 105 被串联连接在数据输入端 TDI 与数据输出端 TDO 之间。

15

20

另外，为了控制这条边界扫描路径，还需提供与时钟端 TCK 和宏选择端 TMS 相连的测试访问端口（TAP）控制电路 113，与输入数据端 TDI 相连的指令寄存器 114，与输入数据端 TDI 相连的旁路寄存器 115，用于选择边界扫描路径与指令寄存器 114 之一的选择器 116，以及用于选择边界扫描路径与旁路寄存器 115 之一的选择器 117。

25

在正常模式中，全部移位寄存器 105 至 112 都被 CPU 104 置于导通状态。其结果使得移位寄存器 105 至 112 不会对宏 101，102 和 103 的操作产生影响。

在用于对连接  $L_{00}$ ,  $L_{01}$ , ...,  $L_{33}$  进行测试的测试模式中, 当全部移位寄存器 105 至 112 被清零之后, 各移位寄存器 105, 107, 109 和 111 将被设置成 (1, 1, 1, 1)。然后, 移位寄存器 105, 107, 109 和 111 的数据将通过连接  $L_{00}$ ,  $L_{01}$ , ...,  $L_{33}$  而被写入移位寄存器 106, 108, 110 和 112。最后, 全部的移位寄存器 105 至 112 被串联连接起来, 从而使全部移位寄存器 105 至 112 的数据被从数据输出端 TDO 读出。读出的数据被与处于 (1, 1, ..., 1) 情况下的预定数据进行比较, 从而可判断出连接  $L_{00}$ ,  $L_{01}$ , ...,  $L_{33}$  是导通还是断开。

但是, 在图 1 所示的单片机中, 当宏的数目和其连接的数目增加时, 移位寄存器的数量和尺寸也要增加。还有, 边界扫描路径也需要一定的面积。因此, 电路的集成度将被降低。另外, 也可以对宏 (如 102) 与移位寄存器 (如 109) 之间的连接 (由图 1 中的 X1 表示) 以及移位寄存器 (如 112) 与输出端 (如  $OUT_0$ ,  $OUT_1$ ,  $OUT_2$  及  $OUT_3$ ) 之间的连接 (由图 1 中的 X2 表示) 进行测试。

图 2 显示了本发明的第一实施例。宏 1, 2 和 3 被串联连接在输入端  $IN_0$ ,  $IN_1$ ,  $IN_2$  和  $IN_3$  与输出端  $OUT_0$ ,  $OUT_1$ ,  $OUT_2$  和  $OUT_3$  之间。宏 1, 2 和 3 由 CPU 4 经公共总线 5 控制。

为了对输入端  $IN_0$ ,  $IN_1$ ,  $IN_2$  和  $IN_3$  与宏 1 之间的连接  $L_{00}$  至  $L_{03}$ , 宏 1 与宏 2 之间的连接  $L_{10}$  至  $L_{13}$ , 以及宏 3 与输出端  $OUT_0$ ,  $OUT_1$ ,  $OUT_2$  和  $OUT_3$  之间的连接  $L_{30}$  至  $L_{33}$  进行测试, 公共总线 5 上还连接有一个测试电路 6。应该注意, 测试电路 6 还被用于测试宏 1, 2 和 3 的功能。

这样, 测试电路就可可在不需 CPU 4 的情况下对宏 1, 2 和 3 进行测试。

还应注意, 测试电路 6 可产生复位信号 R1, R2 和 R3 并将它们

分别传送给宏 1, 2 和 3, 而且还可产生选择信号 S1, S2 和 S3 并将它们分别传送给宏 1, 2 和 3。

图 3 显示出了图 2 所示宏 1, 2 和 3 的详细电路图。其中, 宏 1  
5 由一与图 1 所示宏 101 相对应且与连接  $L_{00}$ ,  $L_{01}$ ,  $L_{02}$  和  $L_{03}$  相连的内部电路 11, 连接在公共总线 5 与连接  $L_{00}$ ,  $L_{01}$ ,  $L_{02}$  和  $L_{03}$  之间的缓冲区 12, 与公共总线 5 相连的寄存器 13 以及与内部电路 11 和寄存器 13 及连接  $L_{10}$ ,  $L_{11}$ ,  $L_{12}$  和  $L_{13}$  相连的 OR(或门)电路 14 组成。内部电路 11 由测试电路 6 发出的复位信号 R1 来复位, 而寄存器 13 则由测试电路  
10 6 发出的选择信号 S1 来选中。

还有, 宏 2 由与图 1 所示宏 102 相对应且与连接  $L_{10}$ ,  $L_{11}$ ,  $L_{12}$  和  $L_{13}$  相连的内部电路 21, 连接在公共总线 5 与连接  $L_{10}$ ,  $L_{11}$ ,  $L_{12}$  和  $L_{13}$  之间的缓冲区 22, 与公共总线 5 相连的寄存器 23 以及与内部电路 21  
15 和寄存器 23 及连接  $L_{20}$ ,  $L_{21}$ ,  $L_{22}$  和  $L_{23}$  相连的 OR 电路 24 组成。内部电路 21 由测试电路 6 发出的复位信号 R2 来复位, 而寄存器 23 则由测试电路 6 发出的选择信号 S2 来选中。

另外, 宏 3 由与图 1 所示宏 103 相对应且与连接  $L_{20}$ ,  $L_{21}$ ,  $L_{22}$  和  $L_{23}$  相连的内部电路 31, 连接在公共总线 5 与连接  $L_{20}$ ,  $L_{21}$ ,  $L_{22}$  和  $L_{23}$   
20 之间的缓冲区 32, 与公共总线 5 相连的寄存器 33, 以及与内部电路 31 和寄存器 33 及连接  $L_{30}$ ,  $L_{31}$ ,  $L_{32}$  和  $L_{33}$  相连的 OR 电路 34 组成。内部电路 31 由测试电路 6 发出的复位信号 R3 来复位, 而寄存器 33 则由测试电路 6 发出的选择信号 S3 来选中。

25

对图 3 的测试电路 6 的操作所做的说明是参考图 4A, 4B 和 4C 进行的。应该注意的是, 该测试电路 6 也由一个微电脑或类似装置构成, 其任务是执行图 4A, 4B 和 4C 所示的各个程序。

30

图 4A 中的流程图用于测试图 3 所示的连接  $L_{00}$ ,  $L_{01}$ ,  $L_{02}$  和  $L_{03}$ 。



首先，在步骤 401 中，数据 (1, 1, 1, 1) 被从外部提供给输入端  $IN_0$ ,  $IN_1$ ,  $IN_2$  和  $IN_3$ 。

5            接下来，在步骤 402 中，通过公共总线 5 从缓冲区 12 中读出数据 D1。

            然后，在步骤 403 中，程序将判断数据 D1 是否与 (1, 1, 1, 1) 相符。作为结果，如果  $D1 = (1, 1, 1, 1)$ ，则控制前进至步骤 404。  
10          反之，控制将直接前进至步骤 408，该步骤确定出连接  $L_{00}$ ,  $L_{01}$ ,  $L_{02}$  和  $L_{03}$  中有一些是异常的，即，是断开的。

            另一方面，步骤 404 中，数据 (0, 0, 0, 0) 被从外部提供给输入端  $IN_0$ ,  $IN_1$ ,  $IN_2$  和  $IN_3$ 。

15            接下来，在步骤 405 中，数据 D1 通过公共总线 5 被从缓冲区 12 中读出。

            然后，在步骤 406 中，程序将判断数据 D1 是否与 (0, 0, 0, 0) 相符。作为结果，如果  $D1 = (0, 0, 0, 0)$ ，则控制前进至步骤 407，  
20          该步骤确定出连接  $L_{00}$ ,  $L_{01}$ ,  $L_{02}$  和  $L_{03}$  是正常的。反之，控制将前进至步骤 408，该步骤确定出连接  $L_{00}$ ,  $L_{01}$ ,  $L_{02}$  和  $L_{03}$  中有一些是异常的，即，断开的。

25            这样，就完成了对连接  $L_{00}$ ,  $L_{01}$ ,  $L_{02}$  和  $L_{03}$  的测试操作。

图 4B 中的流程图用于测试图 3 所示的连接  $L_{10}$ ,  $L_{11}$ ,  $L_{12}$  和  $L_{13}$ 。

            首先，在步骤 411 中，测试电路 6 产生一个复位信号 R1 以使内  
30          部电路 11 复位。在这种情况下，内部电路 11 的输出变为“0”。

接下来，在步骤 412 中，测试电路 6 产生一个选择信号 S1 以选中寄存器 13，并将数据 (1, 1, 1, 1) 写入寄存器 13。

5            然后，在步骤 413 中，数据 D2 通过公共总线 5 被从缓冲区 22 中读出。

             接下来，在步骤 414 中，程序将判断数据 D2 是否与 (1, 1, 1, 1) 相符。作为结果，如果  $D2 = (1, 1, 1, 1)$ ，则控制前进至步骤  
10            415。反之，控制将直接前进至步骤 419，该步骤确定出连接  $L_{10}$ ， $L_{11}$ ， $L_{12}$  和  $L_{13}$  中有一些是异常的，即，断开的。

             另一方面，在步骤 416 中，测试电路 6 再次产生一个选择信号 S1 以选中寄存器 13，并将数据 (0, 0, 0, 0) 写入寄存器 13。

15            然后，在步骤 416 中，数据 D2 通过公共总线 5 被从缓冲区 22 中读出。

             接下来，在步骤 417 中，程序将判断数据 D2 是否与 (0, 0, 0, 0) 相符。作为结果，如果  $D2 = (0, 0, 0, 0)$ ，则控制前进至步骤  
20            418，该步骤确定出连接  $L_{10}$ ， $L_{11}$ ， $L_{12}$  和  $L_{13}$  是正常的。反之，控制将前进至步骤 419，该步骤确定出连接  $L_{10}$ ， $L_{11}$ ， $L_{12}$  和  $L_{13}$  中有一些是异常的，即，断开的。

25            这样，就完成了对连接  $L_{10}$ ， $L_{11}$ ， $L_{12}$  和  $L_{13}$  的测试操作。

             应该注意，对连接  $L_{20}$ ， $L_{21}$ ， $L_{22}$  和  $L_{23}$  的测试操作与对图 4B 所示连接  $L_{10}$ ， $L_{11}$ ， $L_{12}$  和  $L_{13}$  的测试操作方法相同。

30            图 4C 中的流程图用于测试图 3 所示的连接  $L_{30}$ ， $L_{31}$ ， $L_{32}$  和  $L_{33}$ 。

首先，在步骤 421 中，测试电路 6 产生一个复位信号 R3 以使内部电路 31 复位。在这种情况下，内部电路 31 的输出变为“0”。

5           然后，在步骤 422 中，测试电路 6 产生一个选择信号 S3 以选中寄存器 33，并将数据 (1, 1, 1, 1) 写入寄存器 33。

接下来，在步骤 423 中，从外部读取输出端  $OUT_0$ ,  $OUT_1$ ,  $OUT_2$  和  $OUT_3$  上的数据。

10

然后，程序将判断输出端  $OUT_0$ ,  $OUT_1$ ,  $OUT_2$  和  $OUT_3$  上的数据是否与 (1, 1, 1, 1) 相符。作为结果，如果 ( $OUT_0$ ,  $OUT_1$ ,  $OUT_2$ ,  $OUT_3$ ) = (1, 1, 1, 1)，则控制前进至步骤 424。反之，控制将直接前进至步骤 427，该步骤确定出连接  $L_{30}$ ,  $L_{31}$ ,  $L_{32}$  和  $L_{33}$  中有一些是异常的，即，断开的。

15

另一方面，在步骤 424 中，测试电路 6 产生一个选择信号 S3 以选中寄存器 33，并将数据 (0, 0, 0, 0) 写入寄存器 33。

20

然后，在步骤 425 中，输出端  $OUT_0$ ,  $OUT_1$ ,  $OUT_2$  和  $OUT_3$  上的数据被从外部读取。接下来，程序将判断输出端  $OUT_0$ ,  $OUT_1$ ,  $OUT_2$  和  $OUT_3$  上的数据是否与 (0, 0, 0, 0) 相符。作为结果，如果 ( $OUT_0$ ,  $OUT_1$ ,  $OUT_2$ ,  $OUT_3$ ) = (0, 0, 0, 0)，则控制前进至步骤 426，该步骤确定出连接  $L_{30}$ ,  $L_{31}$ ,  $L_{32}$  和  $L_{33}$  是正常的。否则，控制将直接前进至步骤 427，该步骤确定出连接  $L_{30}$ ,  $L_{31}$ ,  $L_{32}$  和  $L_{33}$  中有一些是异常的，即，断开的。

25

这样，就完成了对连接  $L_{30}$ ,  $L_{31}$ ,  $L_{32}$  和  $L_{33}$  的测试操作。

30

图 5 是对图 3 所示宏 1, 2 和 3 的一个修改，在图 5 中，AND(与

门)电路 14' , 24' 和 34' 取代了图 3 中的 OR 电路 14, 24 和 34。  
在这种情况下, 当内部电路 11, 21 和 31 被测试电路 6 发出的复位信号 R1, R2 和 R3 复位时, 内部电路 11, 21 和 31 的输出将变为“1”。  
在图 5 中, 测试电路 6 的操作步骤与图 4A, 4B 和 4C 所示的步骤相同。

5

图 6 显示出了本发明的第二实施例。在图 6 中, 由测试电路 6 将 4 位输入测试数据 TDI1 提供给图 2 和图 3 中宏 1 的内部电路 11, 4 位输入测试数据 TDI2 被测试电路 6 提供给图 2 和图 3 中宏 2 的内部电路 21, 并且 4 位输入测试数据 TDI3 被测试电路 6 提供给图 2 和图 3 中宏 3 的内部电路 31。另外, 选择信号 S1' , S2' 和 S3' 也被测试电路 6 分别提供给宏 1, 2 和 3。

10

图 7 是图 6 所示宏 1, 2 和 3 的详细电路图。在图 7 中, 分别将选择器 15, 25 和 35 增加到图 3 所示的宏 1, 2 和 3 之中。

15

当对图 7 所示的连接  $L_{00}$ ,  $L_{01}$ ,  $\dots$ ,  $L_{33}$  进行测试时, 测试电路 6 的操作步骤与图 4A, 4B 和 4C 所示的步骤相同。

当对内部电路 11, 12 和 13 之一的功能进行测试时, 测试电路 6 将产生选择信号 S1' , S2' 和 S3' 之一, 以控制选择器 15、25 或 35。例如, 当测试电路 6 产生选择信号 S1' 时, 选择器 15 将选中其低侧输入。在这种情况下, 由于测试电路 6 产生输入测试数据 TDI1, 从而从选择器 15 将测试数据 TDI1 提供给内部电路 11。因此, 内部电路 11 将根据测试数据 TDI1 执行预定的操作, 并随即产生输出测试数据 TDO1。输出测试数据 TDO1 被提供给测试电路 6, 从而完成对内部电路 11 的测试。

20

25

在上述各实施例中, 尽管对连接  $L_{00}$ ,  $L_{01}$ ,  $\dots$ ,  $L_{33}$  所做的测试是由测试电路 6 来完成的, 但也可利用 CPU 4 来执行这样的测试。

30

如上所述，根据本发明，即使当宏的数目以及其连接的数目增加时，由于不再需要一块区域以用于边界扫描路径，所以集成度就可得到提高。另外，它也能对所有从输入端经宏到达输出端的连接进行完全测试。

5

图1 现有技术

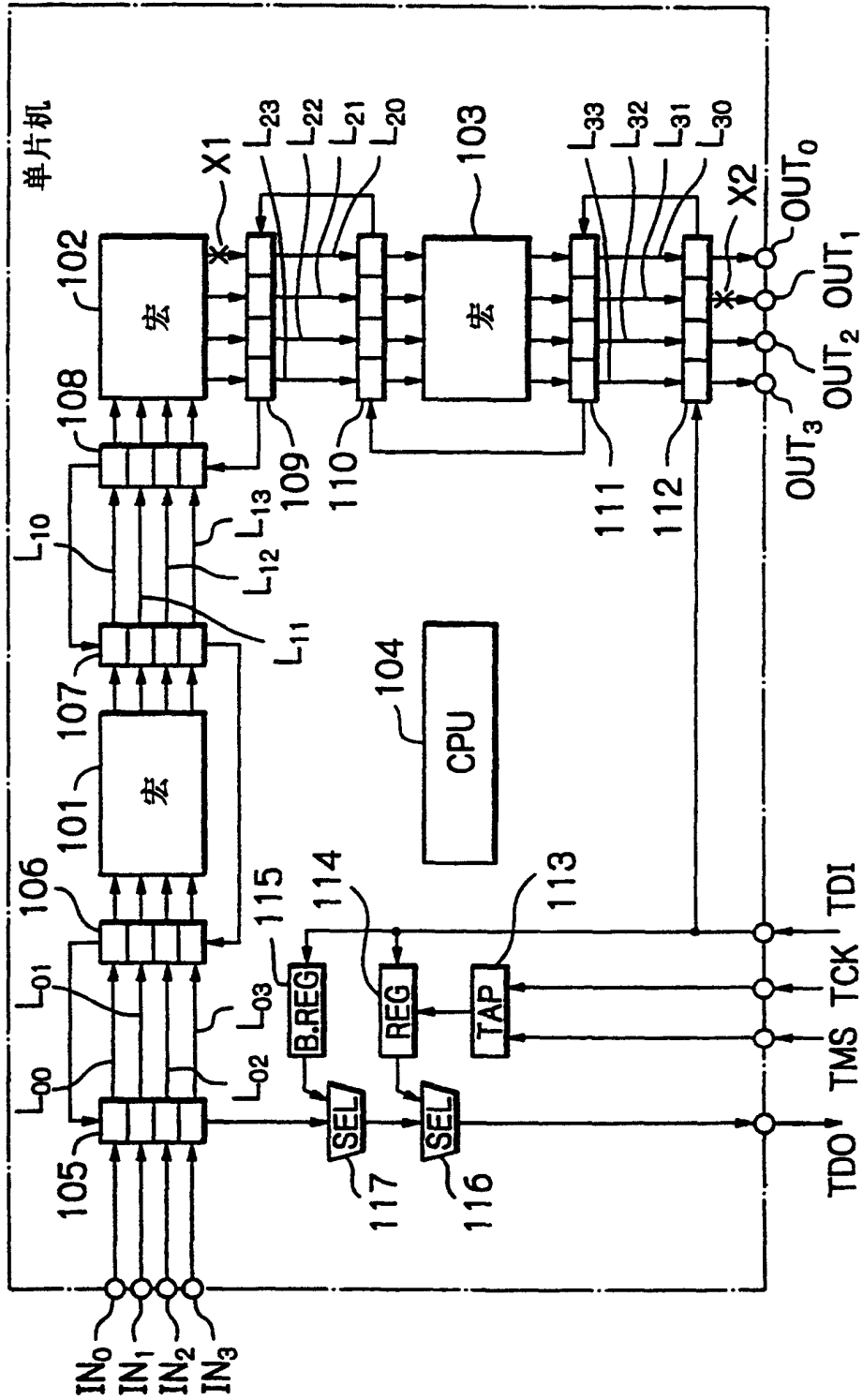
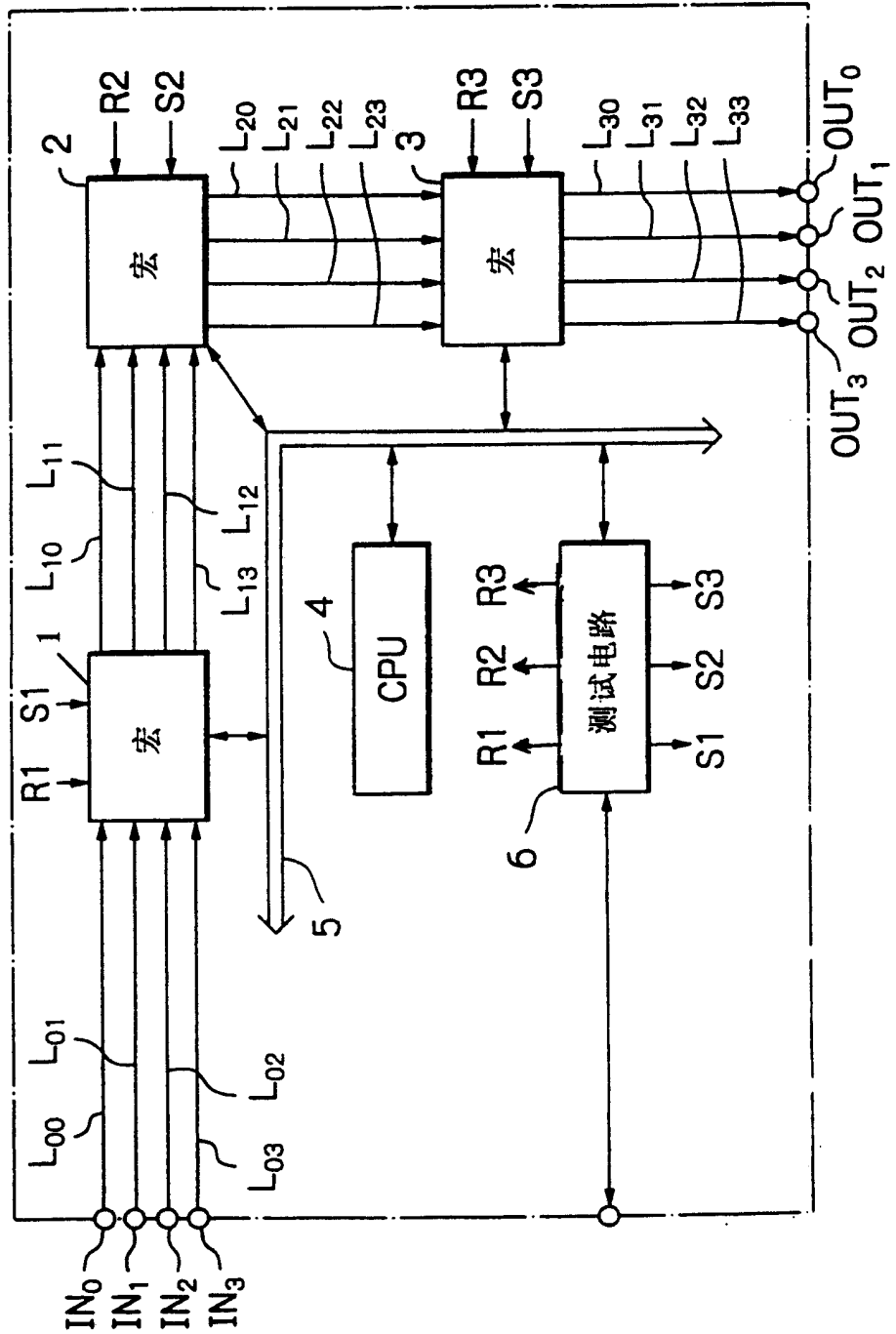


图2



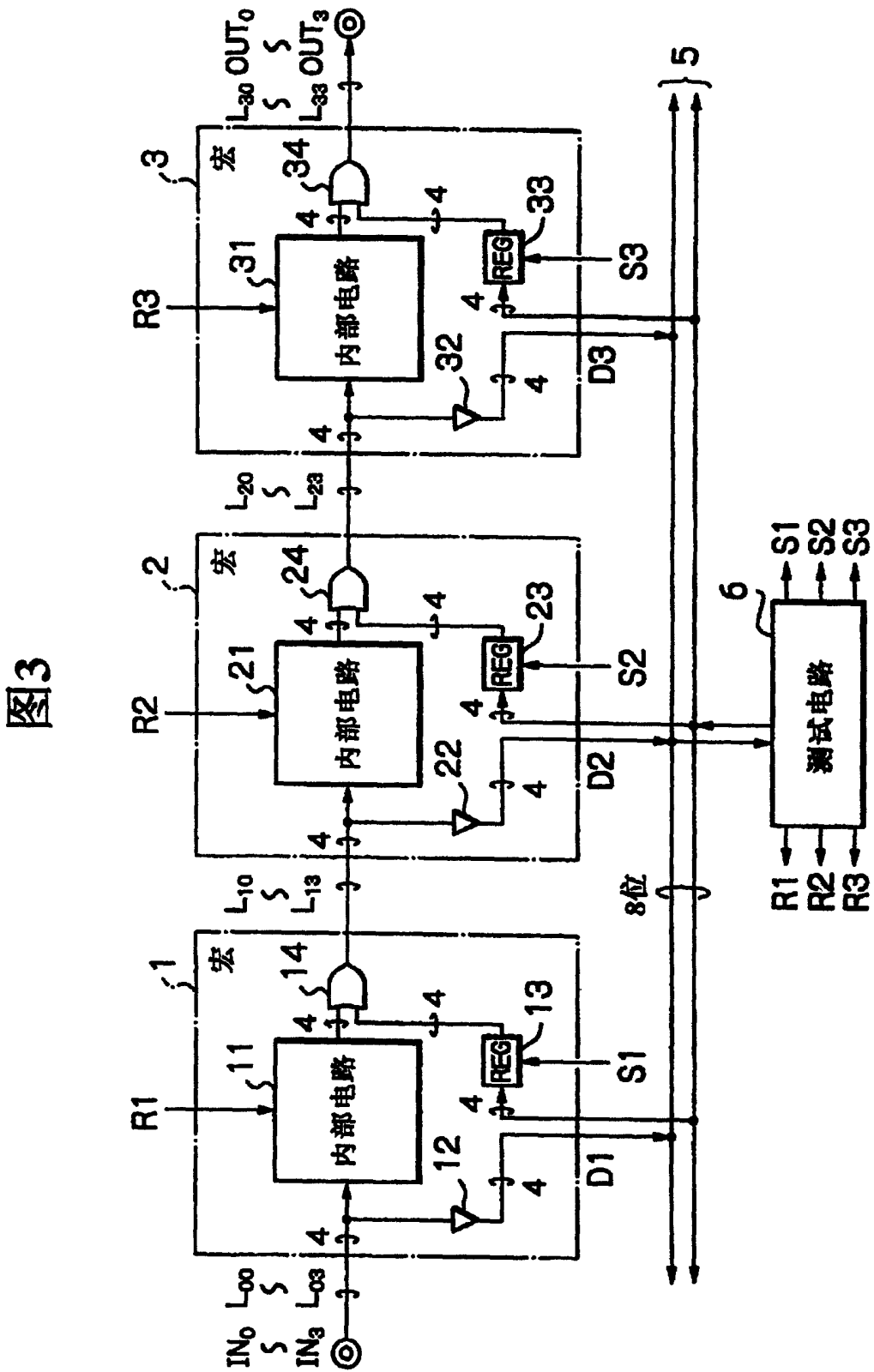




图4A

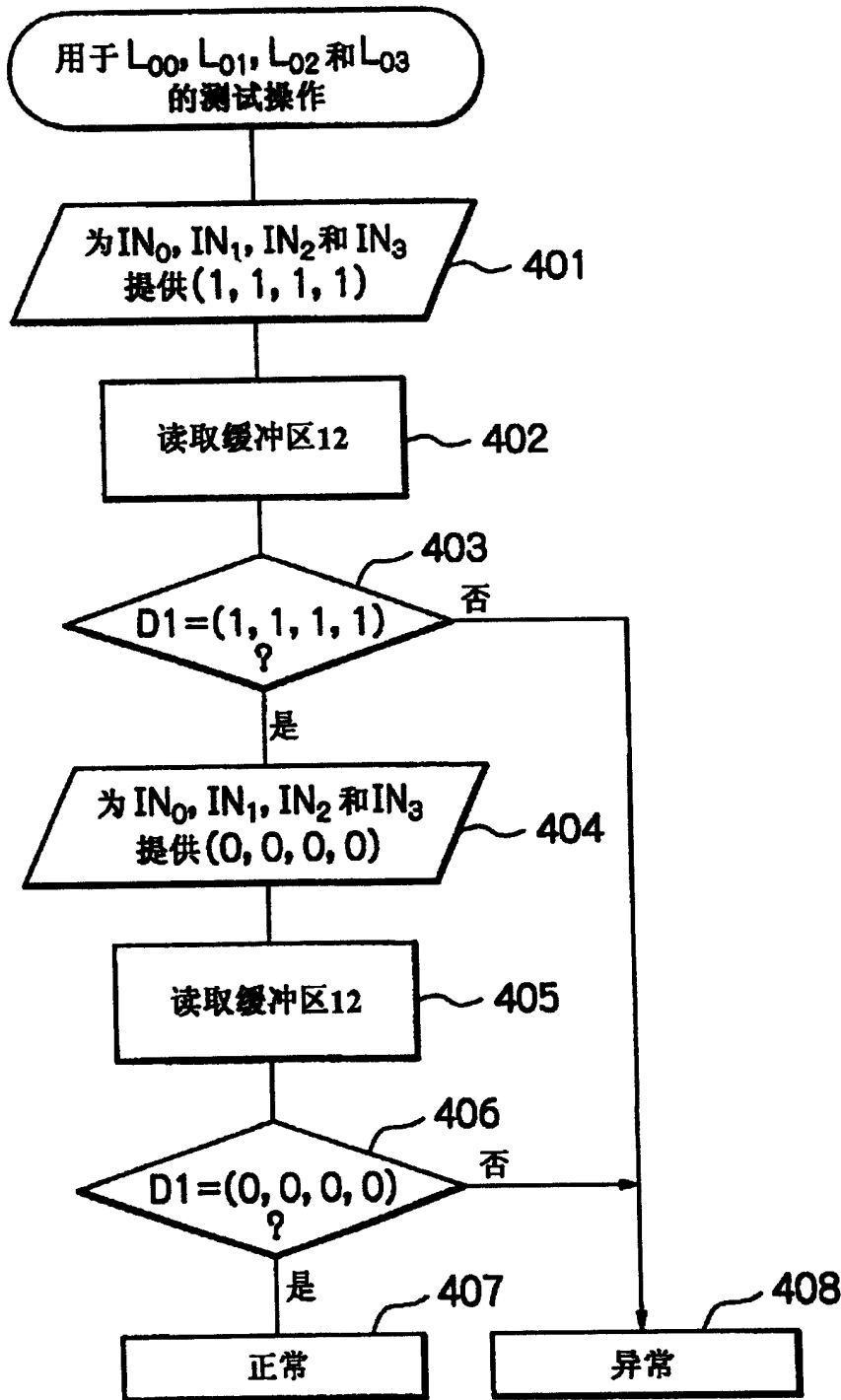


图4B

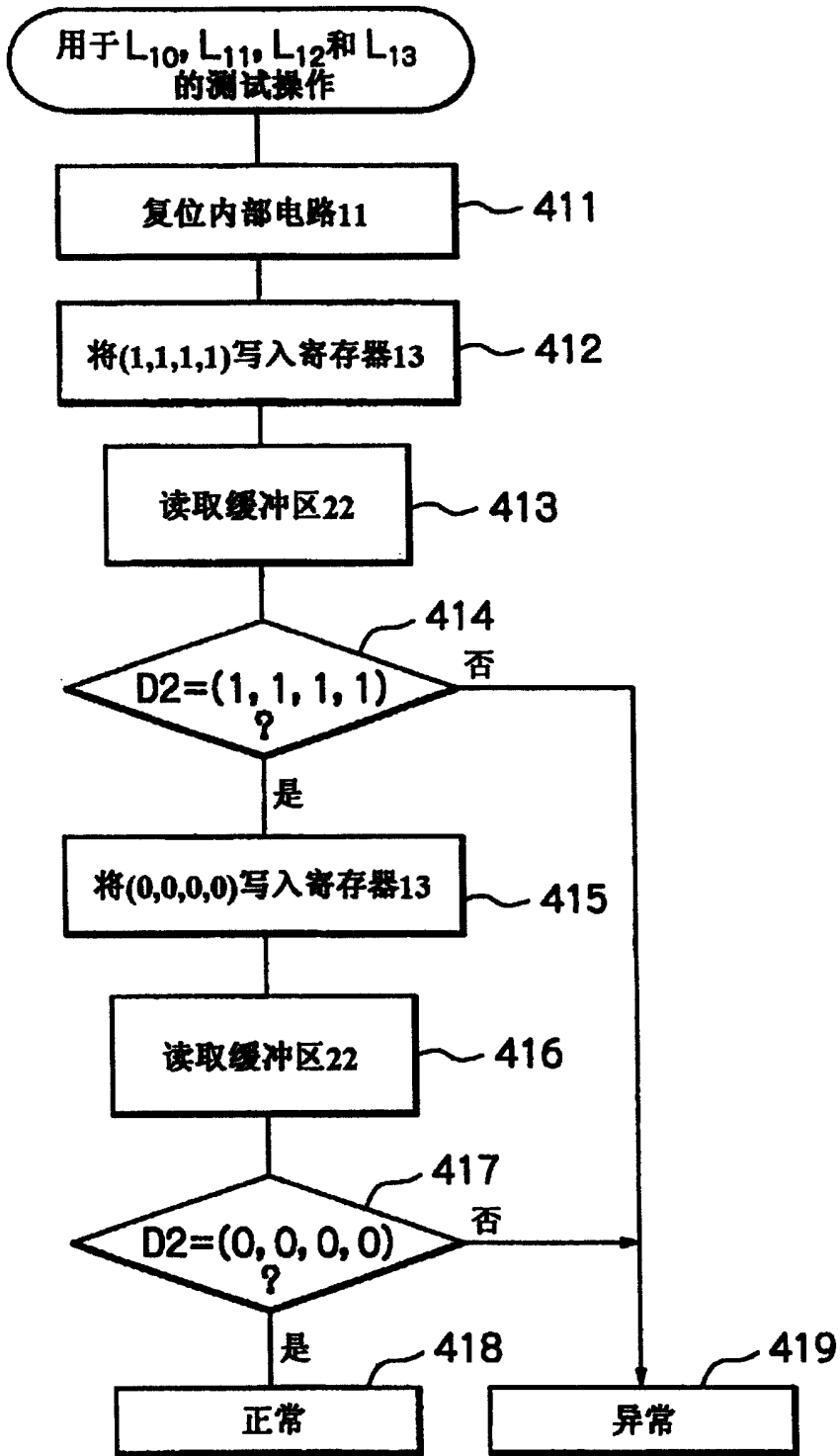


图4C

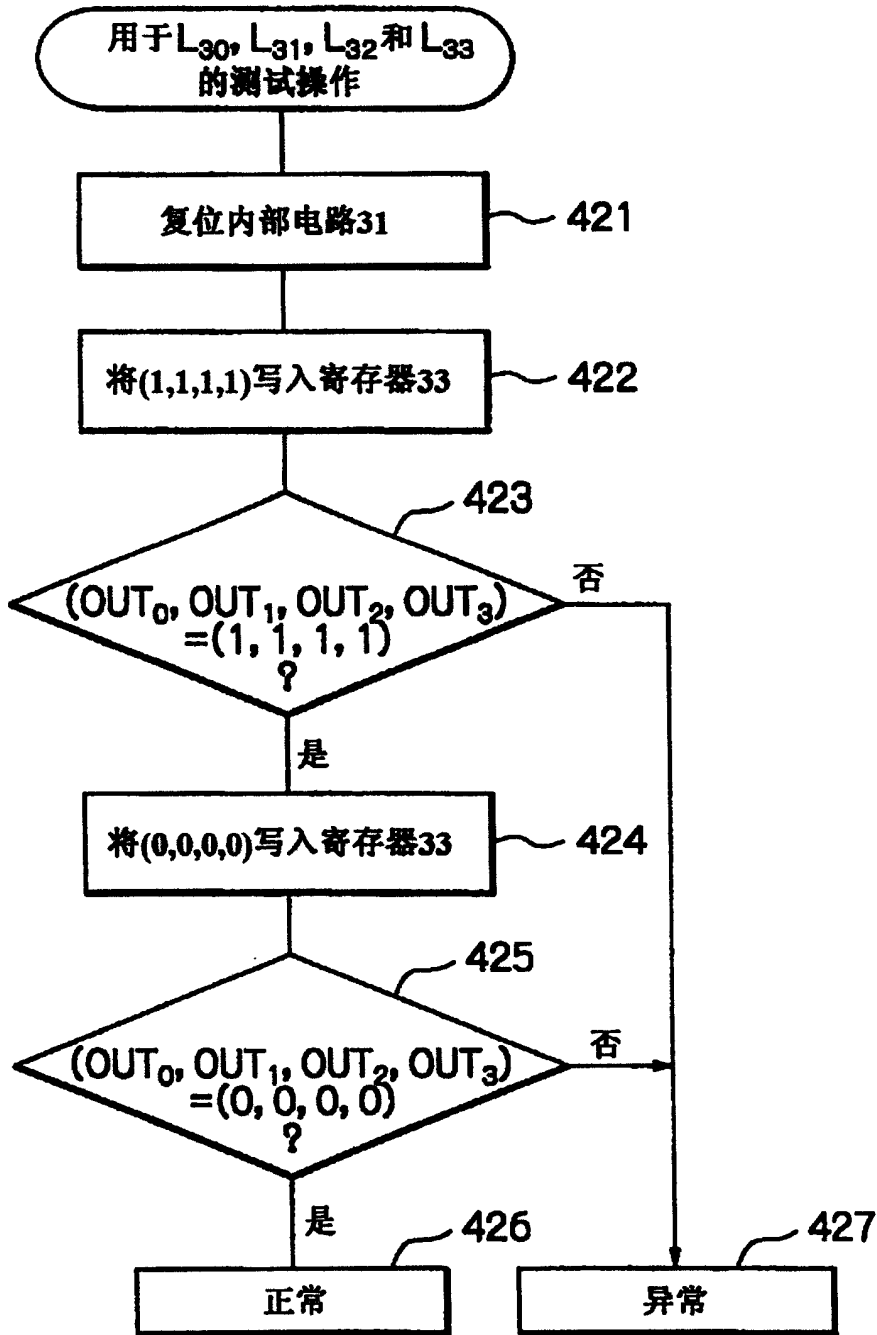


图5

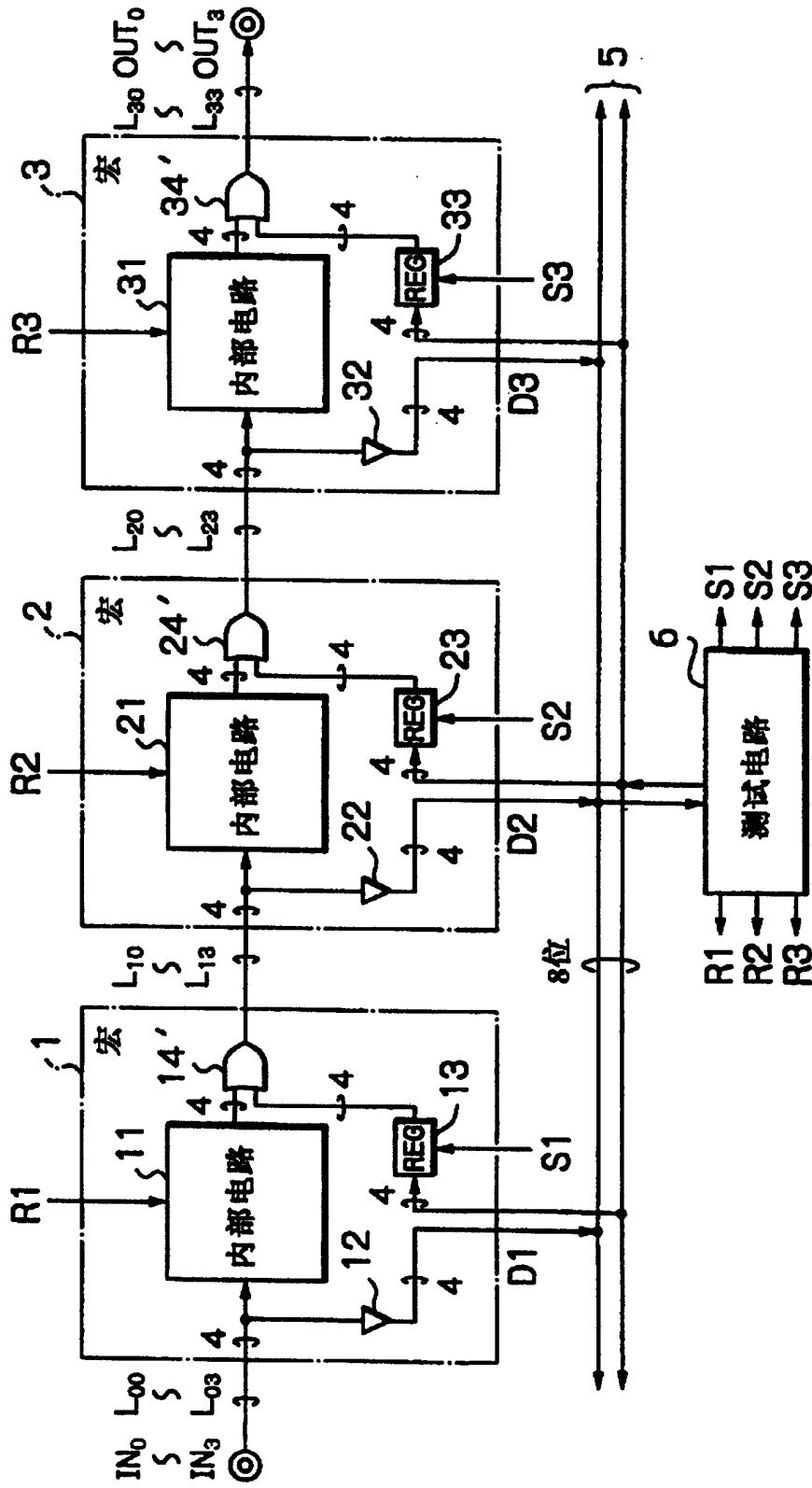


图6

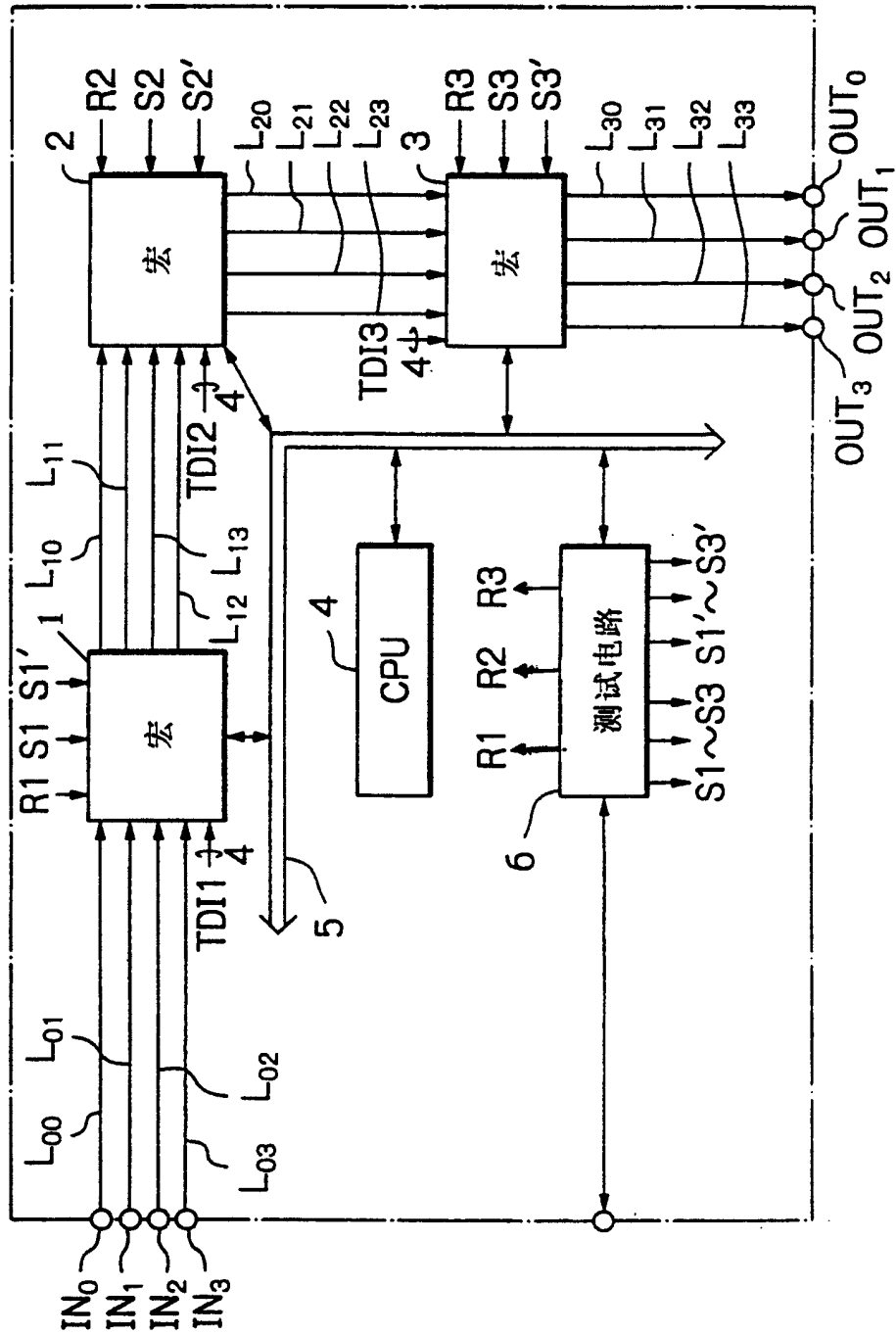


图7

