

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>5</sup> H01L 29/92	(11) 공개번호 특 1991-0010751	(43) 공개일자 1991년 06월 29일
(21) 출원번호	특 1990-0018950	
(22) 출원일자	1990년 11월 21일	
(30) 우선권주장	443897 1989년 11월 30일 미국(US)	
(71) 출원인	에스지에스-툼슨 마이크로일렉트로닉스, 인코포레이티드     다니엘 퀴지색 미합중국, 텍사스 75006, 카를톤, 일렉트로닉스 드라이브 1310	
(72) 발명자	티시우 치우찬 미합중국, 텍사스 75206, 카를톤, 카메로 드라이브 1633 프랭크 랜돌프 부르얀트 미합중국, 텍사스 76201, 덴톤, 크레스트우드 2125	
(74) 대리인	이병문, 이태희	

심사청구 : 없음

(54) DRAM 셀용 커패시터

요약

내용 없음

대표도

도 1

명세서

[발명의 명칭]

DRAM셀용 커패시터

[도면의 간단한 설명]

제1도-제7도는 본 발명에 따라 커패시터를 제조하기 위한 양호한 공정의 흐름도를 나타낸 도면.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

집적회로 커패시터를 제조하기 위한 방법에 있어서, 다결정 실리콘 하부 커패시터판을 형성하는 단계와 ; 제1절연층을 형성하는 단계와 ; 다결정실리콘 전하 축적 커패시터 판을 형성하는 단계와; 제2절연층을 형성하는 단계와 ; 다결정 실리콘 하부 커패시터 판의 한부분을 노출하는 단계와 ; 상기 제 2절연층의 전체에 걸쳐 다결정 실리콘 상부 커패시터판을 형성하고 커패시터 판과 접촉을 만드는 단계로 구성됨을 특징으로 하는 집적 회로의 커패시터를 제조하기 위한 방법.

청구항 2

제1항에 있어서, 상기 방법은 상기 제1절연층 형성단계 이후, 다결정 실리콘 전하 축적 커패시터 판이 기판에 접촉하도록 개방구를 형성하는 단계를 포함함을 특징으로 하는 집적 회로 커패시터를 제조하기 위한 방법

청구항 3

제1항에 있어서, 상기 제1절연층 형성단계는 하부 커패시터 판 전체에 걸쳐 수평의 절연층을 형성하는 단계와; 다결정 실리콘 버퍼층을 형성하는 단계와; 하부 커패시터 판 층과, 수평절연층과, 기부자되는 기판의 한 부분을 노출하는 다 결정 실리콘 버퍼층을 통해 접촉 개방구를 에칭하는 단계와; 집적 회로의 전표면에 걸쳐 제3절연층을 형성하는 단계와; 상기 접촉 개방구내에 절연 축벽들을 형성하도록 제3절연층을 이방성있게 에칭하는 단계로 구성됨을 특징으로 하는 집적 회로 커패시터를 제조하기 위한 방법.

청구항 4

제3항에 있어서, 상기 제3절연층 형성 단계는 집적회로의 전표면에 걸쳐 연산화물을 성장 시키는 단계를 포함함을 특징으로 하는 집적회로 커패시터를 제조하기 위한 방법.

**청구항 5**

제3항에 있어서, 상기 제3절연층 형성단계는 집적회로의 전표면에 걸쳐 CVD산화물을 증착하는 단계를 포함함을 특징으로 하는 집적회로 커패시터를 제조하기 위한 방법.

**청구항 6**

제1항에 있어서, 상기 제1절연층 형성단계는 집적회로 전체에 걸쳐 제1산화물층을 형성하는 단계와; 상기 산화물층 전체에 걸쳐 질화물층을 형성하는 단계와; 상기 질화물층 전체에 걸쳐 제2산화물층을 형성하는 단계로 구성됨을 특징으로 하는 집적회로 커패시터를 제조하기 위한 방법.

**청구항 7**

제1항에 있어서, 상기 제2절연층 형성단계는 집적회로전체에 걸쳐 제1산화물층을 형성하는 단계와; 산화물층 전체에 걸쳐 질화물층을 형성하는 단계와; 상기 질화물층 전체에 걸쳐 제2산화물층을 형성하는 단계로 구성됨을 특징으로 하는 집적회로 커패시터를 제조하기 위한 방법.

**청구항 8**

제1항에 있어서, 제2절연층 형성 단계는 , 집적회로 전체에 걸쳐 산화물층을 형성하는 단계와; 산화물층 전체에 걸쳐 질화물을 형성하는 단계와; 전하 축적 노우드를 한정하기 위하여, 산화물, 질화물 및 전하 축적 커패시터 판 충돌을 에칭하는 단계와; 집적회로의 전표면에 걸쳐 제2산화물층을 형성하는 단계로 구성됨을 특징으로 하는 집적회로 커패시터를 제조하기 위한 방법.

**청구항 9**

제8항에 있어서, 상기 방법은 제2산화물층을 형성한 후 전하 축적 노우드 층의 모서리에 산화물 측벽들을 형성하도록 제2산화물층을 이방성으로 에칭하는 단계를 포함함을 특징으로 하는 집적회로 커패시터를 제조하기 위한 방법.

**청구항 10**

제1항에 있어서, 상기 방법은 커패시터들의 경계를 한정하기 위하여 다결정 실리콘 상부커패시터판과 다결정 실리콘 하부커패시터판을 에칭하는 단계를 포함함을 특징으로 하는 집적 회로 커패시터를 제조하기 위한 방법.

**청구항 11**

반도체 집적 회로 장치 구조에 있어서, 하부 다결정 실리콘 커패시터 판과 ;상기 하부 다결정 실리콘 커패시터 판의 위에 놓인 제1절연층과 ; 상기 하부 다결정 실리콘 커패시터판에서 분리되고, 상기 제1절연층 위에 놓이는 전하 축적 다결정 실리콘 커패시터 판과 ; 상기 전하 축적 다결정 실리콘 커패시터 판위에 놓이는 제2절연층과;상기 전하공간확인 축적 다결정 실리콘 커패시터 판에서 분리되고 상기 제2절연층 위에 놓이고 상기하부의 커패시터와 전기적으로 연결되는 상부 다결정 실리콘 커패시터 판으로 구성됨을 특징으로 하는 반도체 집적 회로 장치구조.

**청구항 12**

제11항에 있어서, 상기 하부 다결정 실리콘 커패시터 판을 그안에 개방구를 가지며, 상기 전하 축적 다결정실리콘 커패시터 판은 그안을 통해 활성 기관 영역과 접촉함을 특징으로 하는 반도체집적회로 장치 구조.

**청구항 13**

제11항에 있어서, 상기 전하 축적 다결정 실리콘 커패시터 판은 DRAM메모리 셀의 전하 축적노우드임을 특징으로 하는 반도체 집적회로 장치 구조.

**청구항 14**

제11항에 있어서, 상기 제1절연층은 , 제1산화물층과; 질화물층과; 제2산화물층으로 구성됨을 특징으로 하는 반도체 집적회로 장치구조.

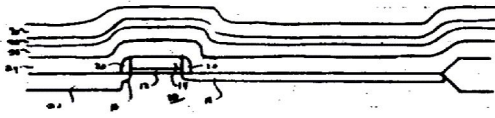
**청구항 15**

제11항에 있어서, 상기 제2절연층은 제1산화물층과; 질화물층과;제2산화물층으로 구성됨을 특징으로 하는 반도체 집적 회로 장치구조

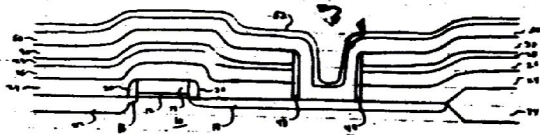
※ 참고 사항 : 최초출원 내용에 의하여 공개하는 것임.

**도면**

도면1



도면4



도면7

