

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-311574
(P2007-311574A)

(43) 公開日 平成19年11月29日(2007.11.29)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 3 A	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 K	
	HO 1 L 29/78 6 5 8 F	

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号	特願2006-139588 (P2006-139588)	(71) 出願人	302062931 NECエレクトロニクス株式会社
(22) 出願日	平成18年5月18日 (2006.5.18)	(74) 代理人	100146178 弁理士 浜田 満広
		(72) 発明者	隅田 渉 滋賀県大津市晴嵐二丁目9番1号 関西日本電気株式会社内

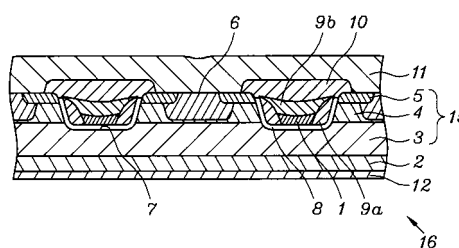
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】トレンチ型MOSFETにおいて、速いスイッチング速度と低いオン抵抗を維持しつつ、製造工程が簡略でコスト高とならないトレンチ型MOSFETの構造及び製造方法を提供する。

【解決手段】半導体ウエハ16の一主面にトレンチ7が形成され、前記トレンチ7にゲート酸化膜8を介して埋め込まれたゲート電極を有する半導体装置において、前記トレンチ7の側壁にゲート酸化膜8を介して第1のゲート電極9aが形成され、前記第1のゲート電極9aに被覆されていない前記トレンチ7の底部にゲート酸化膜8を介して酸化シリコン以外の絶縁膜1が形成され、前記第1のゲート電極9aと前記絶縁膜1に接する第2のゲート電極9bが形成されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体ウエハの一主面にトレンチが形成され、前記トレンチにゲート酸化膜を介して埋め込まれたゲート電極を有する半導体装置において、前記トレンチの側壁にゲート酸化膜を介して第 1 のゲート電極が形成され、前記第 1 のゲート電極に被覆されていない前記トレンチの底部にゲート酸化膜を介して酸化シリコン以外の絶縁膜が形成され、前記第 1 のゲート電極と前記絶縁膜に接する第 2 のゲート電極が形成されていることを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、前記絶縁膜が窒化シリコン又は酸窒化シリコンからなることを特徴とする半導体装置。

10

【請求項 3】

請求項 1 又は 2 に記載の半導体装置において、第 2 のゲート電極がポリシリコンからなることを特徴とする半導体装置。

【請求項 4】

半導体ウエハの一主面にトレンチを形成し、前記トレンチの側壁及び底部を含む半導体ウエハの前記一主面にゲート酸化膜を形成し、前記ゲート酸化膜上に第 1 のゲート電極を成長した後エッチバックして前記トレンチの側壁上のみに第 1 のゲート電極を残し、前記トレンチの底部及び前記トレンチの側壁上の前記第 1 のゲート電極を含む半導体ウエハの前記一主面に酸化シリコン以外の絶縁膜を成長した後エッチバックして前記第 1 のゲート電極に被覆されていない前記トレンチの底部に前記絶縁膜を残し、前記絶縁膜及び前記トレンチの側壁上の前記第 1 のゲート電極を含む半導体ウエハの前記一主面に第 2 のゲート電極を成長することを特徴とする半導体装置の製造方法。

20

【請求項 5】

請求項 4 に記載の半導体装置の製造方法において、前記絶縁膜が窒化シリコン又は酸窒化シリコンからなることを特徴とする半導体装置の製造方法。

【請求項 6】

請求項 4 又は 5 に記載の半導体装置の製造方法において、第 2 のゲート電極がポリシリコンからなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、トレンチゲートを有する半導体装置に関し、特に、その製造工程の簡略化に適した構造と製造方法に関するものである。

【背景技術】

【0002】

半導体ウエハに溝を形成し、溝の中にゲート酸化膜を介してゲート電極を埋め込む、いわゆるトレンチ型 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) は、高集積化、低オン抵抗化が可能であることから広く実用化されている。

40

【0003】

一般的なトレンチ型 MOSFET は、図 4 に示すように、N⁺基板ウエハ 2 の一主面に N⁻エピタキシャル層 15 を成長し、N⁻エピタキシャル層 15 の表面から P ベース領域 4、N⁺ソース領域 5 を順次形成し、不純物が導入されない N⁻エピタキシャル層 15 は N⁻ドレイン領域 3 となる。次に、N⁻エピタキシャル層 15 の表面から P ベース領域 4 を貫通し N⁻ドレイン領域 3 に至るトレンチ 7 を形成し、トレンチ 7 の内面にゲート酸化膜 8 を形成する。その後、トレンチ 7 の内部をゲート電極 9 で埋め込み、ゲート電極 9 の上部に層間膜 10 を形成した後ソース電極 11、ドレイン電極 12 を形成して製造される。トレンチ 7 の形成と P ベース領域 4 及び N⁺ソース領域 5 の形成との順序は、逆の場合もある。この構造及び製造方法は高集積化、低オン抵抗化が可能であることから、耐圧 2

50

0 ~ 60 V のいわゆる低耐圧品に広く用いられており、トレンチ幅は、0.5 μm 程度である。

【0004】

一方、耐圧150 ~ 250 V のいわゆる中耐圧品では、P ベース層を深く設計したときにトレンチの両側のP ベース層間の距離が小さいとオン抵抗が上昇する。このオン抵抗の上昇を防止するため1.5 ~ 3.0 μm のトレンチ幅が必要となる。このため、中耐圧品に図4を用いて説明した低耐圧品の構造及び製造方法を適用した場合、ゲート電極9であるポリシリコンの成長の際、図5(a)に示すように厚く成長する必要があり、エッチバックした際、図5(b)に示すように、ゲート電極9の表面位置が低くなり過ぎるという問題があった。このため、図6に示すように、第1のゲート電極9aの形成後酸化膜13を介して第2のゲート電極9bを形成することにより、第1のゲート電極9aにできた凹みを第2のゲート電極9bで埋めた構造及び製造方法が開示されている。図中6は必要に応じて形成されるP+バックゲート領域を示している。(特許文献1参照)

10

【0005】

しかし、前述の図4を用いて説明した低耐圧品及び図6を用いて説明した中耐圧品には、次のような共通の問題点があった。すなわち、オン抵抗低減のための集積化や駆動能力向上のためのゲート酸化膜薄膜化によって、ゲート-ドレイン間の静電容量(C_{gd})が増加しスイッチング速度が低下するという問題である。この問題に対し、図7に示すように、チャンネル形成に寄与しないトレンチ底部の酸化膜を厚いゲート酸化膜8aとすることで、ゲート-ドレイン間の静電容量を下げスイッチング速度を向上させる構造及び製造方法が開示されている。(特許文献2参照)

20

【0006】

また、前記図7を用いて説明した構造及び製造方法は、トレンチ底部の側壁も厚い酸化膜であるため、ゲート電圧が印加された場合トレンチ底部の側壁と接するN-ドレイン領域3にゲート電位と反対極性の電荷が集まる、いわゆる、電荷蓄積層が生じにくくオン抵抗が増加してしまう。この問題を解決するため、図8に示すように、トレンチ側壁の底部まで第1のゲート電極9aを形成し、第1のゲート電極9aに被覆されていないトレンチ底部のみに厚いゲート酸化膜8aを形成する構造及び製造方法が開示されている。(特許文献3参照)

【特許文献1】特開2002-158355号公報(第4~7頁、第1図)

30

【特許文献2】特許第2647884号公報(第3~6頁、第11図)

【特許文献3】特許第3052918号公報(第2~4頁、第8図)

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、前述の図8を用いて説明したトレンチ型MOSFETには、製造工程が煩雑でコスト高になるという問題があった。すなわち、前述の図8を用いて説明したトレンチ型MOSFETの製造方法は、そのゲート電極の製造工程を示す図9~図13のように、まず、トレンチ形成後トレンチ7の内面及びN-エピタキシャル層15の表面にゲート酸化膜8を形成した後、さらにその上に第1のゲート電極9aであるポリシリコンを形成する(図9(a))。その後、N-エピタキシャル層15の表面がでるまでエッチバックする(図9(b))。次に、フォトリジスト14を用いてN+ソース領域5を形成した後(図10(c))、N-エピタキシャル層15上に形成された酸化膜13の前記第1のゲート電極9aの中央に相当する部分をリソグラフィ技術によって窓開けする(図10(d))。次に、前記第1のゲート電極9aをトレンチ底部のゲート酸化膜8が露出するまでエッチングした後(図11(e))、酸化膜13を除去する(図11(f))。次に、第1のゲート電極9aの開口部内を埋めるように酸化膜13を形成し(図12(g))、酸化膜13をエッチバックしてトレンチ底部にのみ厚い酸化膜8aを残し(図12(h))、第2のゲート電極9bであるタングステンを堆積する(図13(i))。その後、第2のゲート電極9bをN-エピタキシャル層15の表面までエッチバックする(図13(j))。

40

50

j))。このように、トレンチ形成後のゲート電極の形成方法としては、図10(c)のソース領域の形成を除いて考えても、多くの煩雑な工程が必要であった。

【0008】

本発明の課題は、トレンチ型MOSFETにおいて、速いスイッチング速度と低いオン抵抗を維持しつつ、製造工程が簡略でコスト高とならないトレンチ型MOSFETの構造及び製造方法を提供することである。

【課題を解決するための手段】

【0009】

本発明の請求項1に記載の半導体装置は、半導体ウエハの一主面にトレンチが形成され、前記トレンチにゲート酸化膜を介して埋め込まれたゲート電極を有する半導体装置において、前記トレンチの側壁にゲート酸化膜を介して第1のゲート電極が形成され、前記第1のゲート電極に被覆されていない前記トレンチの底部にゲート酸化膜を介して酸化シリコン以外の絶縁膜が形成され、前記第1のゲート電極と前記絶縁膜に接する第2のゲート電極が形成されている。

10

【0010】

本発明の請求項4に記載の半導体装置の製造方法は、半導体ウエハの一主面にトレンチを形成し、前記トレンチの側壁及び底部を含む半導体ウエハの前記一主面にゲート酸化膜を形成し、前記ゲート酸化膜上に第1のゲート電極を成長した後エッチバックして前記トレンチの側壁上のみに第1のゲート電極を残し、前記トレンチの底部及び前記トレンチの側壁上の前記第1のゲート電極を含む半導体ウエハの前記一主面に酸化シリコン以外の絶縁膜を成長した後エッチバックして前記第1のゲート電極に被覆されていない前記トレンチの底部に前記絶縁膜を残し、前記絶縁膜及び前記トレンチの側壁上の前記第1のゲート電極を含む半導体ウエハの前記一主面に第2のゲート電極を成長した後エッチバックする。

20

【発明の効果】

【0011】

本発明の半導体装置及びその製造方法によれば、エッチバックによって第1のゲート電極をトレンチ側壁のみに残すためリソグラフィ工程が省略できる。また、トレンチ底部に形成する絶縁層として酸化シリコン以外の材料を選択したため、第2のゲート電極をエッチバックする際のストッパとしてゲート酸化膜を利用でき、製造工程が簡略でコスト高とならないという優れた産業上の効果が得られる。

30

【発明を実施するための最良の形態】

【0012】

以下、本発明の実施の形態を添付図面を参照し、従来例と同一物には同一の符号を用いて説明する。

【0013】

本発明の実施形態である半導体装置は、図1に示すように、半導体ウエハ16の一主面にトレンチ7が形成され、前記トレンチ7にゲート酸化膜8を介して埋め込まれたゲート電極を有する半導体装置において、前記トレンチ7の側壁にゲート酸化膜8を介して第1のゲート電極9aが形成され、前記第1のゲート電極9aに被覆されていない前記トレンチ7の底部にゲート酸化膜8を介して酸化シリコン以外の絶縁膜1が形成され、前記第1のゲート電極9aと前記絶縁膜1に接する第2のゲート電極9bが形成されている。

40

【0014】

前記トレンチ7の側壁にゲート酸化膜8を介して第1のゲート電極9aが形成され、前記第1のゲート電極9aに被覆されていない前記トレンチ7の底部にゲート酸化膜8を介して酸化シリコン以外の絶縁膜1が形成され、前記第1のゲート電極9aと前記絶縁膜1に接する第2のゲート電極9bが形成されている点が、本発明の実施形態である半導体装置の特徴である。ここで、前記トレンチ7の側壁にゲート酸化膜8を介して第1のゲート電極9aが形成される点と、前記第1のゲート電極9aと前記絶縁膜1に接する第2のゲート電極9bが形成されている点は、先に図8を用いて説明した従来技術と同一であるが

50

、本発明はこれに加えて、前記第1のゲート電極9aに被覆されていない前記トレンチ7の底部にゲート酸化膜8を介して酸化シリコン以外の絶縁膜1が形成されている点が従来技術との差異部分である。

【0015】

絶縁膜1は、窒化シリコン又は酸窒化シリコンが好ましい。前者は約7.5、後者は約6.5の比誘電率を有し、図8を用いて説明した従来技術でトレンチ底部に用いられている酸化シリコンの3.8~4.0に比べ高い。このため本発明の構造は、同じ絶縁膜厚であれば図8を用いて説明した従来技術に比べゲート-ドレイン間の静電容量(Cgd)が大きくなりスイッチング速度は僅かに低下する。しかし、トレンチ底部に厚い窒化シリコン又は酸窒化シリコンを設けたことにより、図4及び図6を用いて説明した従来技術よりもゲート-ドレイン間の静電容量(Cgd)が大幅に低下し、図8を用いて説明した従来技術とほぼ同等の速いスイッチング速度が維持できる。また、トレンチ側壁の底部まで第1のゲート電極9aが形成されているため、ゲート電圧が印加された場合トレンチ底部の側壁と接するN-ドレイン領域にゲート電位と反対極性の電荷が集まる、いわゆる、電荷蓄積層が生じ易く低いオン抵抗が維持できる。

10

【0016】

本実施形態の半導体装置によれば、トレンチ底部に酸化シリコン以外の絶縁膜を有するため、ゲート-ドレイン間の静電容量(Cgd)が低下し速いスイッチング速度が維持できる。また、トレンチ側壁の底部まで第1のゲート電極9aが形成されているため、トレンチ底部の側壁と接するN-ドレイン領域に電荷蓄積層が生じ易く低いオン抵抗が維持できる。さらに、トレンチ底部の厚い絶縁膜に酸化シリコン以外の絶縁膜を用いることにより、製造工程の簡略化を実現できる。この点については、以下に詳述する。

20

【0017】

本発明の実施形態である半導体装置の製造方法は、ゲート電極形成工程に特徴がありその他の工程は先に説明した従来技術と同一であるので説明を省略し、図2及び図3を用いてゲート電極形成工程のみを説明する。まず、N-エピタキシャル層15の表面にトレンチ7を形成し、前記トレンチ7の側壁及び底部を含むN-エピタキシャル層15の表面にゲート酸化膜8を形成し、前記ゲート酸化膜8上に第1のゲート電極9aであるポリシリコンを成長する(図2(a))。次に、第1のゲート電極9aをエッチバックして前記トレンチの側壁上のみに残し(図2(b))、前記トレンチ7の底部及び前記トレンチ7の側壁上の前記第1のゲート電極9aを含むN-エピタキシャル層15の表面に窒化シリコン又は酸窒化シリコン等の酸化シリコン以外の絶縁膜1を成長する(図2(c))。次に、ゲート酸化膜8をストップとして前記絶縁膜1をエッチバックして前記第1のゲート電極9aに被覆されていない前記トレンチ7の底部のみに残し(図3(d))、前記絶縁膜1及び前記トレンチ7の側壁上の前記第1のゲート電極9aを含むN-エピタキシャル層15の表面に第2のゲート電極9bを成長し(図3(e))、その後、ゲート酸化膜8をストップとして第2のゲート電極9bをエッチバックし、N-エピタキシャル層15の表面上のゲート酸化膜8を除去する(図3(f))。

30

【0018】

第1のゲート電極9aをエッチバックして前記トレンチの側壁上のみに残し(図2(b))、前記トレンチ7の底部及び前記トレンチ7の側壁上の前記第1のゲート電極9aを含むN-エピタキシャル層15の表面に窒化シリコン又は酸窒化シリコン等の酸化シリコン以外の絶縁膜1を成長し(図2(c))、ゲート酸化膜8をストップとして前記絶縁膜1をエッチバックして前記第1のゲート電極9aに被覆されていない前記トレンチ7の底部のみに残す(図3(d))点が、本発明の実施形態である半導体装置の製造方法の特徴である。

40

【0019】

本実施形態の半導体装置の製造方法では、第1のゲート電極をトレンチ側壁のみに形成する際にエッチバックを用いている。このため、図10(d)及び図11(e)を用いて説明した従来技術のリソグラフィ工程が省略でき工程が簡略化できる。

50

【0020】

また、トレンチ底部に形成する絶縁層として窒化シリコン又は酸窒化シリコン等の酸化シリコン以外の材料を選択したため、第2のゲート電極をエッチバックする際のストッパとしてゲート酸化膜が利用でき、ゲート電極の形成工程が簡略化できる。トレンチ底部に形成する絶縁層として酸化シリコンを用いる場合、そのエッチバック時にウエハ表面の酸化膜も同時にエッチングされ、無くなってしまう。図8を用いて説明した従来技術では、第2のゲート電極としてタングステンを用いているため、タングステンのエッチング時にウエハ表面がエッチングされることが無く、ウエハ表面にストッパが無くともエッチバックが可能である。しかし、この方法を本発明のように第2のゲート電極がポリシリコンの場合に適用しようとする、ウエハ表面にストッパを形成し、かつ、第1のゲート電極の表面にはストッパを形成しないという煩雑な製造工程を追加する必要がある。本発明では、トレンチ底部の厚い絶縁膜が、酸化シリコン以外の材料を選択したため、絶縁膜のエッチバックを行ってもゲート酸化膜がウエハ表面のみに残り、新たにウエハ表面のみにストッパを形成する必要がない。

10

【0021】

本実施形態の半導体装置の製造方法によれば、エッチバックによって第1のゲート電極をトレンチ側壁のみに残すためリソグラフィ工程が省略でき、また、トレンチ底部に形成する絶縁層として窒化シリコン又は酸窒化シリコン等の酸化シリコン以外の材料を選択したため、第2のゲート電極をエッチバックする際のストッパとしてゲート酸化膜が利用でき、ゲート電極の形成工程が簡略化できる。

20

【0022】

第2のゲート電極は、第1のゲート電極と同様にポリシリコンを用いると製造設備の共用化が図れるため好ましいが、より低いゲート抵抗が必要な場合にはタングステン等の高融点金属であっても良い。また、トレンチ底部の絶縁膜の厚さは、下記を考慮して最適化される。すなわち、前記絶縁膜の厚さが薄すぎるとCgdを下げる効果が小さく、第2のゲート電極形成時に表面に凹部ができ易く、厚すぎると第1のゲート電極と第2のゲート電極の接触面積が減りゲート抵抗が増加する。

【0023】

以上のように、本発明の半導体装置及びその製造方法によれば、従来のトレンチ底部の厚い酸化膜に代えて酸化シリコン以外の絶縁膜を用いることにより、速いスイッチング速度と低いオン抵抗を維持できる。また、エッチバックによって第1のゲート電極をトレンチ側壁のみに残すためリソグラフィ工程が省略できる。また、トレンチ底部に形成する絶縁層として酸化シリコン以外の材料を選択したため、ゲート酸化膜を絶縁膜をエッチバックする際のストッパとして利用でき、製造工程が簡略でコスト高とならないという優れた産業上の効果が得られる。

30

【0024】

尚、本発明の半導体装置及びその製造方法は、上記の実施例に限定されるものではなく、例えば、上記実施例とは逆の導電型の不純物拡散層の使用、エピタキシャルウエハに代えて三重拡散ウエハの使用、IGBTへの適用等、本発明の要旨を逸脱しない範囲において種々変更を加え得る。

40

【図面の簡単な説明】

【0025】

【図1】本発明の実施形態の半導体装置を示す断面図。

【図2】本発明の実施形態の半導体装置の製造方法を説明する断面図。

【図3】本発明の実施形態の半導体装置の製造方法を説明する断面図。

【図4】従来のトレンチ型MOSFET（低耐圧品）を示す断面図。

【図5】従来のトレンチ型MOSFETの製造方法の問題点を説明する断面図。

【図6】従来のトレンチ型MOSFET（中耐圧品）を示す断面図。

【図7】従来の別のトレンチ型MOSFETを示す断面図。

【図8】従来のさらに別のトレンチ型MOSFETを示す断面図。

50

【図 9】従来のさらに別のトレンチ型 MOSFET の製造方法を説明する断面図。

【図 10】従来のさらに別のトレンチ型 MOSFET の製造方法を説明する断面図。

【図 11】従来のさらに別のトレンチ型 MOSFET の製造方法を説明する断面図。

【図 12】従来のさらに別のトレンチ型 MOSFET の製造方法を説明する断面図。

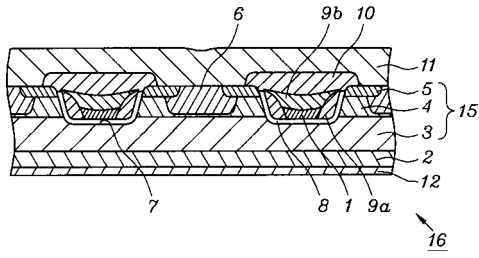
【図 13】従来のさらに別のトレンチ型 MOSFET の製造方法を説明する断面図。

【符号の説明】

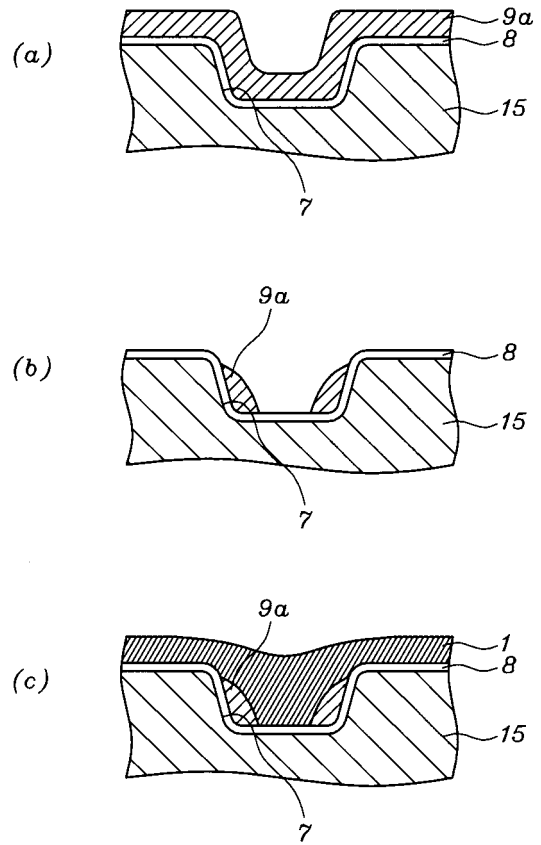
【0026】

- | | | |
|-----|--------------|----|
| 1 | 絶縁膜 | |
| 2 | N + 基板ウエハ | |
| 3 | N - ドレイン領域 | 10 |
| 4 | P ベース領域 | |
| 5 | N + ソース領域 | |
| 6 | P + バックゲート領域 | |
| 7 | トレンチ | |
| 8 | ゲート酸化膜 | |
| 8 a | 厚いゲート酸化膜 | |
| 9 | ゲート電極 | |
| 9 a | 第 1 のゲート電極 | |
| 9 b | 第 2 のゲート電極 | |
| 10 | 層間膜 | 20 |
| 11 | ソース電極 | |
| 12 | ドレイン電極 | |
| 13 | 酸化膜 | |
| 14 | フォトレジスト | |
| 15 | N - エピタキシャル層 | |
| 16 | 半導体ウエハ | |

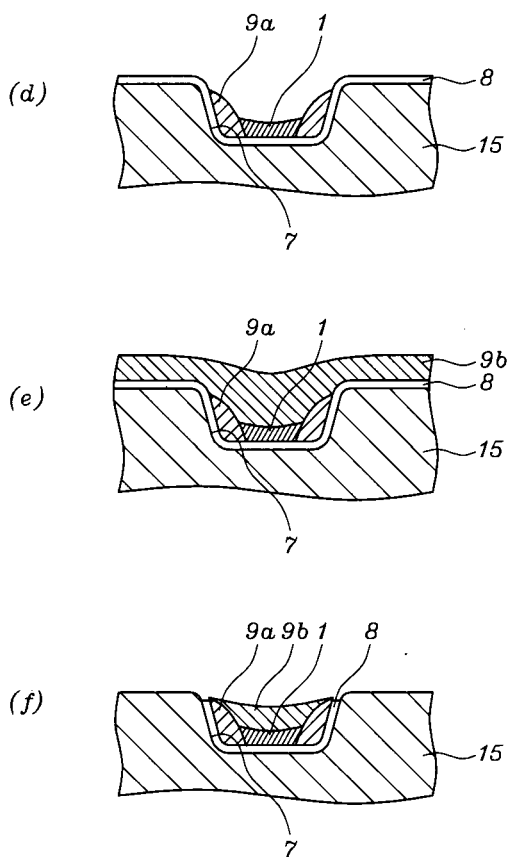
【 図 1 】



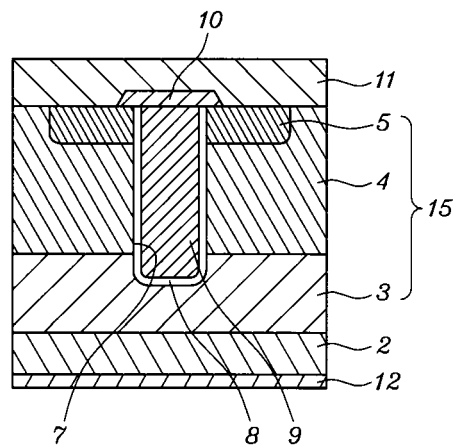
【 図 2 】



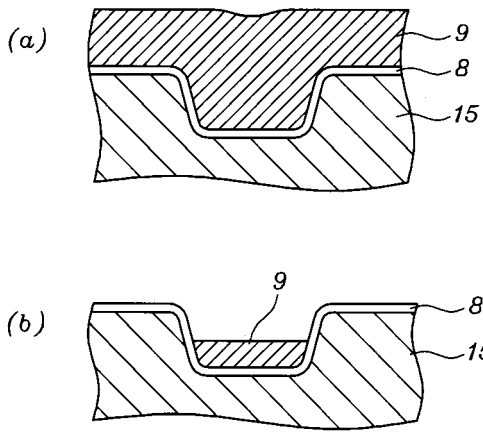
【 図 3 】



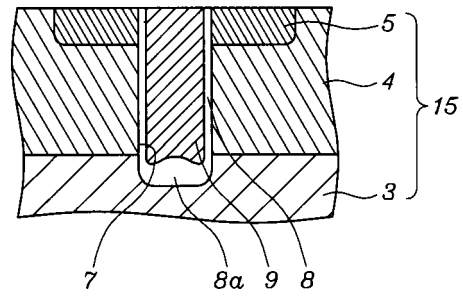
【 図 4 】



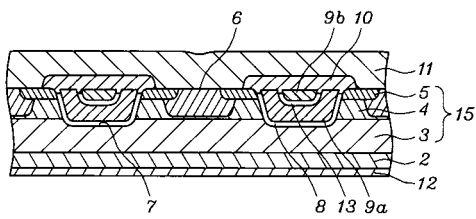
【 図 5 】



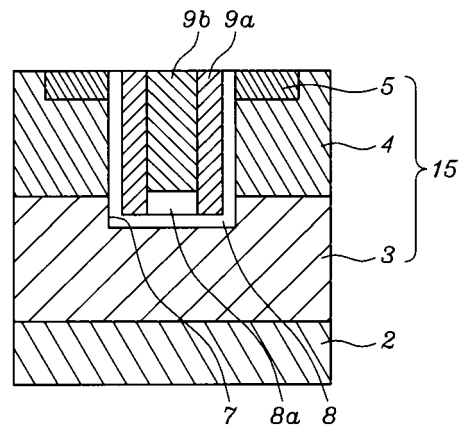
【 図 7 】



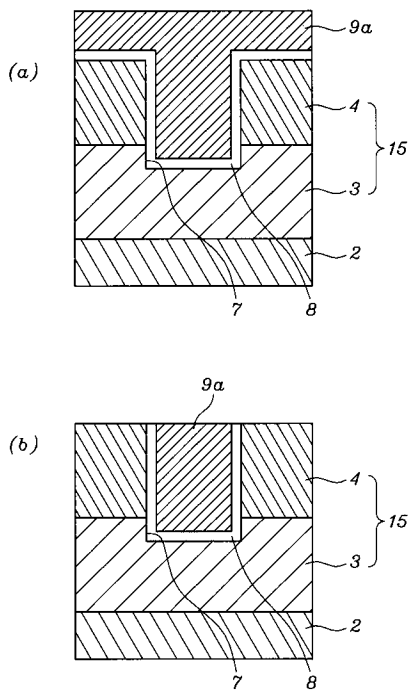
【 図 6 】



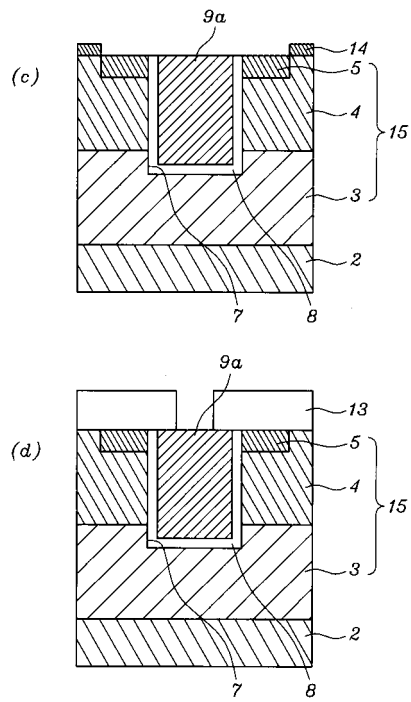
【 図 8 】



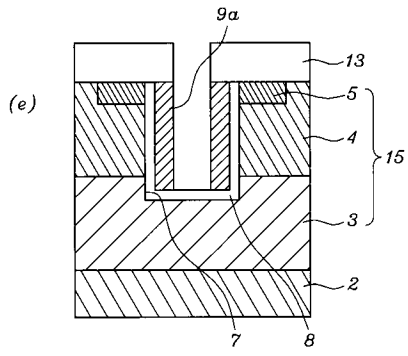
【 図 9 】



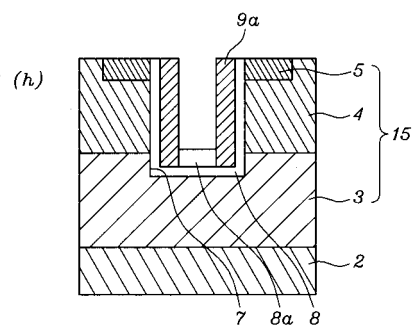
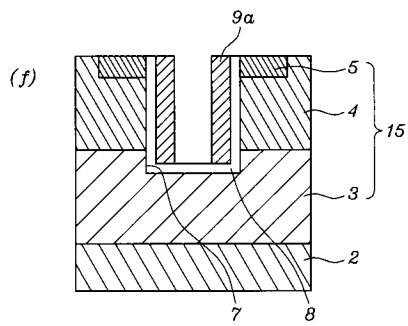
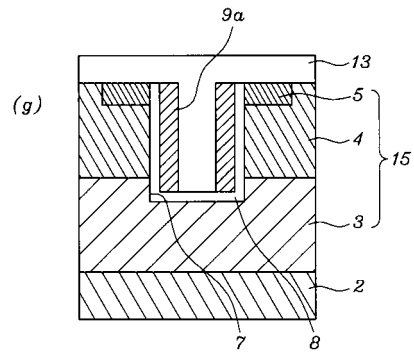
【 図 10 】



【 図 1 1 】



【 図 1 2 】



【 図 1 3 】

