

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3829562号

(P3829562)

(45) 発行日 平成18年10月4日(2006.10.4)

(24) 登録日 平成18年7月21日(2006.7.21)

(51) Int. Cl. F I  
 HO 1 L 25/18 (2006.01) HO 1 L 25/08 Z  
 HO 1 L 25/07 (2006.01)  
 HO 1 L 25/065 (2006.01)

請求項の数 8 (全 10 頁)

(21) 出願番号	特願平11-371203	(73) 特許権者	000002369
(22) 出願日	平成11年12月27日(1999.12.27)		セイコーエプソン株式会社
(65) 公開番号	特開2001-189413(P2001-189413A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成13年7月10日(2001.7.10)	(74) 代理人	100095728
審査請求日	平成15年5月16日(2003.5.16)		弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	野澤 一彦
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	酒井 英夫
		(56) 参考文献	特開平01-140652(JP,A)
			特開昭61-113252(JP,A)
			最終頁に続く

(54) 【発明の名称】 マルチチップ、マルチチップパッケージ、半導体装置および電子機器

(57) 【特許請求の範囲】

【請求項1】

複数の第1の端子を有する下層半導体チップと、

前記複数の第1の端子の各々と共通する複数の端子を含み、前記複数の第1の端子と同一の配列パターンに配列された複数の第2の端子を有する上層半導体チップであって、前記上層半導体チップの縁辺が前記第1の端子の配列線上に一致するように、前記下層半導体チップ上に積層されている前記上層半導体チップと、

前記複数の第2の端子の少なくとも一つと導通し、前記上層半導体チップの裏面側に向けて延在し、前記上層半導体チップの縁部に設けられた導電メタル層と、

前記複数の第1の端子の少なくとも一つと、前記導電メタル層と、を導通させる金属塊と、  
を有するマルチチップ。

【請求項2】

前記上層半導体チップの縁部には傾斜面を有し、この傾斜面に沿って前記導電メタル層を形成してなることを特徴とする請求項1に記載のマルチチップ。

【請求項3】

前記上層半導体チップの一つのコーナ部分を挟む隣接2辺と、前記下層半導体チップの一つのコーナ部分を含む隣接2辺と、を整列して積層し、

前記上層半導体チップの一つのコーナ部分を挟む隣接2辺に前記第2の端子を集中させ

前記下層半導体チップの一つのコーナ部分を挟む隣接2辺に前記第1の端子を集中させたことを特徴とする請求項1または2のいずれかに記載のマルチチップ。

【請求項4】

複数の第1の端子を有する下層半導体チップと、

前記複数の第1の端子の各々と共通する複数の端子を含み、前記複数の第1の端子と同一の配列パターンに配列された複数の第2の端子を有する上層半導体チップであって、前記上層半導体チップの縁辺が前記第1の端子の配列線上に一致するように、前記下層半導体チップ上に積層されている前記上層半導体チップと、

前記複数の第2の端子の少なくとも一つと導通し、前記上層半導体チップの裏面側に向けて延在し、前記上層半導体チップの縁部に設けられた導電メタル層と、

前記複数の第1の端子の少なくとも一つと、前記導電メタル層と、を導通させる金属塊と、

前記上層半導体チップ及び前記下層半導体チップ、前記導電メタル層を封止する封止樹脂と、

を有するマルチチップパッケージ。

【請求項5】

前記封止樹脂は前記金属塊部分を露出してなることを特徴とする請求項4に記載のマルチチップパッケージ。

【請求項6】

複数の第1の端子を有する下層半導体チップと、

前記複数の第1の端子の各々と共通する複数の端子を含み、前記複数の第1の端子と同一の配列パターンに配列された複数の第2の端子を有する上層半導体チップであって、前記上層半導体チップの縁辺が前記第1の端子の配列線上に一致するように、前記下層半導体チップ上に積層されている前記上層半導体チップと、

前記複数の第2の端子の少なくとも一つと導通し、前記上層半導体チップの裏面側に向けて延在し、前記上層半導体チップの縁部に設けられた導電メタル層と、

前記複数の第1の端子の少なくとも一つと、前記導電メタル層と、を導通させるボンディングボールと、

外部電極端子を有し、前記上層半導体チップ及び前記下層半導体チップが搭載されたプリント回路基板と、

前記ボンディングボールと前記外電極端子とを接続するボンディングワイヤと、

前記上層半導体チップ及び前記下層半導体チップ、前記導電メタル層を封止する封止樹脂と、

を有するマルチチップパッケージ。

【請求項7】

請求項4乃至6のいずれかに記載のマルチチップパッケージを実装してなることを特徴とする半導体装置。

【請求項8】

請求項7に記載の半導体装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はマルチチップ、マルチチップパッケージ、半導体装置、ならびに電子機器に係り、電気的特性の劣化を低減して集積度を向上させることができるようにしたマルチチップ、マルチチップパッケージ、半導体装置、ならびに電子機器に関する。

【0002】

【従来の技術】

近年、電子機器の高性能化、小型化に伴って1つのパッケージ内に複数の半導体チップを配置してマルチチップパッケージ(Multi Chip Package)とすることにより、半導体装置の高機能化と小型化とが図られている。そして、マルチチップパッケージには、複数の半導

10

20

30

40

50

体チップを平面的に並べたものと、複数の半導体チップを厚み方向に積層したものとがある。半導体チップを平面的に並べたマルチチップパッケージは、広い実装面積を必要とするため、電子機器の小型化への寄与が小さい。このため、半導体チップを厚み方向に積層したスタックドMCPの開発が盛んに行われている。

【0003】

この種のパッケージ構造としては、実開昭62-158840号、特開平6-37250号の公報に開示されているように、複数の半導体チップを外形寸法の大きさにしたがってピラミッド状に積層し、各半導体チップの端子電極をワイヤボンディングによって接続する構成となっているのが一般的である。

【0004】

【発明が解決しようとする課題】

ところが、上記従来構造のマルチチップパッケージでは、積層する順位がチップサイズによって規制されてしまい、積層の自由度が少なくない欠点がある。また、チップ間の端子電極の接続にワイヤボンディングを利用して行なうが、端子間距離が一定していないため、ワイヤ長さが種々にわたってしまい、ボンディング長さに起因する電気的特性の劣化が生じてしまう問題がある。更に、積層するチップの下層チップは必ず上層チップよりは端子電極の形成領域が露出している必要があり、チップサイズに限定要件があるため、設計自由度が極めて小さいという問題もある。

【0005】

本発明は、上記従来の問題点に着目し、半導体チップの3次元実装が容易にできるとともに、電気的特性の劣化を最小にすることのできるマルチチップ、マルチチップパッケージおよびこれを用いた半導体装置ならびに電子機器を提供することを目的とする。

【0006】

【課題を解決するための手段】

上記目的を達成するために、本発明に係るマルチチップは、複数の第1の端子を有する下層半導体チップと、前記複数の第1の端子の各々と共通する複数の端子を含み、前記複数の第1の端子と同一の配列パターンに配列された複数の第2の端子を有する上層半導体チップであって、前記上層半導体チップの縁辺が前記第1の端子の配列線上に一致するように、前記下層半導体チップ上に積層されている前記上層半導体チップと、前記複数の第2の端子の少なくとも一つと導通し、前記上層半導体チップの裏面側に向けて延在し、前記上層半導体チップの縁部に設けられた導電メタル層と、前記複数の第1の端子の少なくとも一つと、前記導電メタル層と、を導通させる金属塊と、を有する。

【0007】

本発明に係るマルチチップパッケージは、複数の第1の端子を有する下層半導体チップと、前記複数の第1の端子の各々と共通する複数の端子を含み、前記複数の第1の端子と同一の配列パターンに配列された複数の第2の端子を有する上層半導体チップであって、前記上層半導体チップの縁辺が前記第1の端子の配列線上に一致するように、前記下層半導体チップ上に積層されている前記上層半導体チップと、前記複数の第2の端子の少なくとも一つと導通し、前記上層半導体チップの裏面側に向けて延在し、前記上層半導体チップの縁部に設けられた導電メタル層と、前記複数の第1の端子の少なくとも一つと、前記導電メタル層と、を導通させる金属塊と、前記上層半導体チップ及び前記下層半導体チップ、前記導電メタル層を封止する封止樹脂と、を有する。

【0008】

更に、本発明に係るマルチチップパッケージは、同一の配列パターンに配列された共通の電極端子を有する半導体チップを下層チップの電極列上に上層チップの縁辺を沿わせて積層し、上層チップの縁部には上層電極端子と導通されチップ裏面側に向けて延在する導電メタル層が設けられるとともに、前記導電メタル層と下層電極端子とを位置合わせさせて積層したマルチチップを有し、このマルチチップをプリント回路基板に搭載し、当該プリント回路基板の外部電極端子に対して前記導電メタル層と下層電極端子とをスタッドにより接続しつつ外部電極端子とをワイヤボンディングにより導通接続し、樹脂封止してな

10

20

30

40

50

ることを特徴としている。

【0009】

また、本発明に係る半導体装置は上述したマルチチップパッケージを実装して構成され、また、本発明に係る電子機器は上記構成の半導体装置を備えて構成される。

【0010】

【発明の実施の形態】

以下に、本発明に係るマルチチップ、マルチチップパッケージ、半導体装置、ならびに電子機器の具体的実施の形態を図面を参照して詳細に説明する。

【0011】

図1は実施形態に係るマルチチップ10をプリント回路基板12に実装した状態の概略斜視図と端子間接続状態の要部断面図であり、図2はその平面図である。これらに図示しているように、マルチチップ10は、異種サイズの2枚の半導体チップ14A、14Bをそれらの隣接する2辺が整列するように上下に積層して構成されている。換言すれば、半導体チップ14A、14Bのサイズの如何に拘わらず、それらの一つのコーナ部分を挟む隣接2辺が整列するように、2辺を近接させ、かつ平行となるように積層するのである。この実施形態では、上層には正方形をなす最小半導体チップ14Aが配置され、その下層には一回り大きいサイズの矩形半導体チップ14Bが配置されるように積層している。このように同一または異種サイズの2枚の半導体チップ14A、14Bをそれらの隣接する2辺が平行となるように縁辺を揃えて配設するが、この場合、上層チップ14Aの電極端子16n (n = 1, 2, ……n) と、下層チップ14Aの電極端子18n (n = 1, 2, ……n) は、各チップの隣接する2辺に集中配置させておき、かつ配列パターンが同一となるように設定しておく。そして、上層チップ14Aの縁辺が下層チップ14Bにおける電極端子18n (n = 1, 2, ……n) の配列線上に一致するように積層しているのである。

【0012】

すなわち、各半導体チップ14A、14Bに共通する端子を上記整列される縁辺部分に集中させているのである。例えば、上層半導体チップ14Aをメモリチップとして構成し、下層半導体チップ14Bをロジック回路チップとして構成した場合、電源ライン、データライン、アドレスラインなどの電極端子、あるいはライトイネーブルなどの制御端子を共通にすることができる。したがって、このような共通端子16n, 18n (n = 1, 2, ……n) を各半導体チップ14A、14Bにおける整列縁辺側に集中配置するようにしている。このとき、各半導体チップ14の共通端子の配列パターンを一致させる。もちろん、端子ピッチ間隔も一定にすることが望ましい。このようにすることにより、各半導体チップ14A、14Bが積層されたとき、積層体の端縁部に配列された共通する端子16n、18n同士が同列位置に設定される。

【0013】

ところで、実施形態では、上層半導体チップ14Aの縁辺に傾斜面を形成するようにして、この傾斜面に電極端子16nと導通されるメタル層20n (n = 1, 2, ……n) を形成し、チップ積層によりこのメタル層20nの先端が下層チップ14Bの電極端子18nに殆ど当接するように延在させている。上層半導体チップ14Aの製造工程を図3に示す。

【0014】

ウェハ22には予めチップ単位に回路素子が作り込まれており、チップ個片に分割するための分割ラインLが設定されている。この分割ラインLを挟んでチップ個片の縁部にはアルミなどからなる信号入出力端子となる電極端子16nを配列させている。そこで、ウェハ22の素子形成面にて、分割ラインを開口させたエッチング保護膜24を形成する。すなわち、トランジスタ、抵抗素子、配線、電極パッドなどの各種素子が形成されている方位面が(100)面のウェハ10に対し、酸化シリコン膜からなるエッチング保護膜20をCVD法などにより形成する(図3(1))。非能動面側のウェハ10の裏面にも同様にしてエッチング保護膜26を形成する。この状態で、異方性エッチングを行なってエッ

10

20

30

40

50

チング保護膜 24 の開口部 28 から露出されているシリコン単結晶基板をエッチング処理する。この異方性エッチングでは、シリコン単結晶基板が傾斜角度が 54.7 度となる方位面 (111) 面でエッチングが止まり、V 字形の溝 (V 溝) 30 が形成される。なお、更にエッチングが進むと基板表面と垂直な面からシリコン内奥部に後退するようになり、エッチング時間を調整する事で、まずストレート部分が形成され、さらに時間が進むと紡錘形の孔が形成されるが、この実施形態では異方性エッチングを前記 V 溝 30 の生成時点で停止するようにしている (図 3 (2))。この V 溝 30 の深さはエッチング保護膜 24 の開口部 28 の幅によって左右されるため、ウェハ 22 の厚みによって任意に調整すればよい。

**【0015】**

しかる後、チップ個片の各縁部に形成されている電極端子 16n 上の絶縁膜 (エッチング保護膜 24) を除去して入出力端子となっている電極端子 16n のみを露出させておき、この電極端子 16n と導通される導電メタル層 20n を、前記 V 溝 30 の傾斜面部まで延長形成する。この実施形態では、分割ライン L を挟んで対となっているチップ個片の電極端子 16n, 16n を対向させているので、両端子 16n, 16n の両者に跨るように一括して導電メタル層 20n を形成するようにしている (図 3 (3))。もちろん、チップ個片単位に個別にメタル層 20n を形成してもよい。

**【0016】**

このような電極端子 16n と導通される導電メタル層 20n を V 溝 30 の傾斜面に形成した後、ウェハ 22 の裏面のラッピング処理を行なってチップ薄膜化処理を行なう。ラッピング処理を V 溝 30 の底部に達するまで行なうことにより、V 溝 30 部分でチップ個片に分割された半導体チップ 14A が形成される (図 1 (4))。この状態では半導体チップ 14A の側端縁に傾斜面が形成され、電極端子 16n に導通される導電メタル層 20n がチップ 14A の裏面に達するまで延在したものとなる。

**【0017】**

このようにして形成された半導体チップ 14A を下層半導体チップ 14B 上に積層するが、半導体チップ 14A、14B を積層するに際して、層間に絶縁接着樹脂 (図示せず) を介在させることで、チップ間で端子と基板シリコンとの接触による不具合を防止できる。積層する場合、前述したように、下層電極端子 18n の配列線上に上層チップ 14A の縁部が一致するように配設し、もって上層電極端子 16n と導通されるメタル層 20n が下層電極端子 18n にほぼ接触された状態とする。そして、当該導電メタル層 20n と下層電極端子 18n とを位置合わせさせた状態で金属塊 32 によりを導通させることにより、マルチチップ 10 が作成される。

**【0018】**

実施形態では、図 1 に示しているように、上記マルチチップ 10 を更にプリント回路基板 12 に実装するようにしている。プリント回路基板 12 にはマルチチップ 10 の共通電極端子 16n, 18n と接続される外部電極端子 34n が設けられ、この外部電極端子 34n に対しボンディングワイヤ 36 により接続するように構成している。この場合、マルチチップ 10 の電極導通処理と同時にプリント回路基板 12 の外部電極端子 34n に対する導通処理を行なうようにすればよい。すなわち、図 1 (2) に示しているように、プリント回路基板 12 の外部電極端子 34n に対して前記導電メタル層 20n と下層電極端子 18n とをワイヤボンディングボール (金属塊 32) により接続しつつ外部電極端子 34n とをボンディングワイヤ 36 により導通接続するようにすればよい。これにより導通処理を一括で行なうことができる。

**【0019】**

また、上層半導体チップ 14A にメタル層 20n を形成する方法としては、図 4 に示すような方法も採用できる。これはウェハ 22 の分割ライン L に沿って異方性エッチングを行なうことにより V 溝 30 を形成するが、これはウェハ 22 の非能動面側である裏面に形成するようにしている。一方、ウェハ能動面には前記分割ライン L に沿って個片チップの電極形成用溝を形成するようにしている。異方性エッチング処理を行なう際、ウェハ 22 の

10

20

30

40

50

裏面には図3に示した実施形態と同様に、分割ラインL部分を開口させたマスク（エッチング保護膜）を形成して異方性エッチングを行なうことによりマトリックスライン状のV溝14がする。一方、このウェハ裏面のエッチングに合わせて、ウェハ10の能動面には、各チップの外部電極に近接し、分割ラインLに跨るような矩形窓を臨ませたマスクを形成して、同時に異方性エッチングを施す。方位面が(100)のシリコン単結晶基板へ異方性エッチングを行なうと、傾斜角度が54.7度となる方位面(111)面でエッチングが止まるため、マスクの矩形窓からエッチングされると、当該部分には、逆ピラミッド状穴38が形成される（図4(1)参照）。このように、異方性エッチングにより、ウェハ22の裏面には分割ラインLに沿ったV溝14が形成され、ウェハ22の能動面には電極近傍に逆ピラミッド状穴38が形成されたウェハ10が得られる。このようなウェハ22に対し、面圧を加えて前記V溝30を拡開させる方向に湾曲させることによりウェハ22がチップ個片に分割されるが、この分割により、逆ピラミッド状穴38が分割ラインLにて2分割され、図4(2)に示すように、同時に電極形成用溝40がチップ個片の端縁に形成され、これはチップ電極端子16nの近傍に設定される。そこで、チップ電極端子16nと導通されるメタル層20nを電極形成用溝40に延長させ、チップ裏面をラッピング処理して薄膜化することにより、積層用の半導体チップ14Aが作成される（図4(3)）。そして、このメタル層20nを下層半導体チップ14Bの電極端子18nに導通させて信号入出力を行なわせるようにすればよい。

#### 【0020】

このようにして形成されたマルチチップ10は、プリント回路基板12に実装され、プリント回路基板12の外部電極端子34nと共通電極16n、18nとが接続導通される。これにより機能をもった半導体装置42が作製される。かかるマルチチップ10では、異種サイズの半導体チップ14A、14Bは隣接する2辺に共通端子16n、18nを集中配置するように設計作製し、これらの2辺が整列するようにコーナを一致させて積層する構成を採用しているため、チップセンターにピラミッド状にチップ積層しなくてもよく、積層作業を極めて簡易に行なわせることができる。そして、積層にはチップサイズによる制限は無いので、積層順位を任意に設定でき、パッケージ設計の自由度は著しく増大する。また、積層されるチップ14A、14Bの共通端子16n、18n同士はメタル層20nにより導通状態となり、上下間で共通にすることができ、プリント回路基板12へのボンディングワイヤ36の長さも最短とすることができる。この結果、電気的な特性の劣化を最小に抑えることができるのである。マルチチップ10の揃えた縁辺以外の箇所では凹凸端面となるが、これらは樹脂モールドによって外形を整えることができるので、何ら問題は無い。

#### 【0021】

なお、上記構成では、サイズが異なる半導体チップ14A、14Bを積層するものとして述べたが、サイズの如何に拘わらず、一つの回路装置を構成する異なる種類の半導体チップを対象とし、これらに共通する電極を同一の配列パターンで各チップにおける隣接する2辺の範囲内に集中配置し、前記2辺を整列させて異種半導体チップを積層してこの積層体の端面部分で共通電極の導通接続をなすようにしてもよい。

#### 【0022】

上記実施形態では、2層構造のマルチチップ10としているが、上層半導体チップ14Aの上面に更に半導体チップを積層するようにしてもよい。この場合においても、前述した半導体チップ14Aの場合と同様に、電極端子16nの配列線上に上層配置される半導体チップの縁辺を一致させるようにすればよい。

#### 【0023】

図5に実施形態に係るマルチチップパッケージの類例を示している。積層されたマルチチップ10は、前述したように下層半導体チップ14Bの電極端子34n列上に上層半導体チップ14Aの縁辺を沿わせて積層し、上層半導体チップ14Aの縁部には上層電極端子18nと導通されチップ裏面側に向けて延在する導電メタル層20nが設けられ、当該導電メタル層20nと下層電極端子34nとを位置合わせさせた状態で金属塊32により導

10

20

30

40

50

通されている。この積層マルチチップ10を樹脂封止することによりパッケージを形成できるが、図5(1)に示した例は、前記金属塊32以外の部分を樹脂封止するものとして示している。これは例えば感光性樹脂をノズルによる選択塗布させることにより実現される。また、図5(2)に示した例は、上下半導体チップ14A、14Bを積層して金属塊32により上下の導通を取った後、この金属塊32にワイヤボンディングを施してリード端子と接続し、トランスファーマールドによりマルチチップ10の全体を樹脂封止し、QFP(Quad Flat Package)にしたものである。更に、図5(3)に示した例は、金属塊32に対しシングルポイントTABにより、リード端子を接続し、樹脂をコーティングしてパッケージにしている。また、図5(4)に示した例は、金属塊32の形成と、ワイヤボンディングによる接続を一括で行なった後に樹脂封止するようにしたもので、金属塊32の配置位置にワイヤボンディング技術により、ボンディングボールを形成して上下チップ14A、14Bの導通をとり、連続して外部リード端子との接続をボンディングワイヤにより行なうことにより一括接続をなし、その後、全体をトランスファーマールドを行なってQFP構造としたものである。

10

#### 【0024】

本発明の実施の形態に係る半導体装置を実装した電子機器として、図6にノート型パーソナルコンピュータ1200を示している。前記ノート型パーソナルコンピュータ1200は、高機能化を図った半導体装置を備えているため、性能を向上させることができる。

#### 【0025】

#### 【発明の効果】

20

以上説明したように、本発明は、同一の配列パターンに配列された共通の電極を有する半導体チップを下層チップの電極端子列上に上層チップの縁辺を沿わせて積層し、上層チップの縁部には上層電極端子と導通されチップ裏面側に向けて延在する導電メタル層が設けられ、当該導電メタル層と下層電極端子とを位置合わせさせた状態で金属塊によりを導通させて積層してた構成を採用しているため、半導体チップの3次元実装が容易にできるとともに、電気的特性の劣化を最小にすることができるマルチチップおよびこれを用いた半導体装置ならびに電子機器を製造することができる。

#### 【図面の簡単な説明】

【図1】実施形態に係るマルチチップをプリント回路基板に実装した半導体装置の斜視図および要部断面図である。

30

【図2】実施形態に係るマルチチップの平面図である。

【図3】上層半導体チップの製造工程図である。

【図4】上層半導体チップの製造工程の他の例を示す説明図である。

【図5】実施形態に係るマルチチップパッケージの構成例を示す断面図である。

【図6】実施形態に係るマルチチップの電子機器への適用例の説明図である。

#### 【符号の説明】

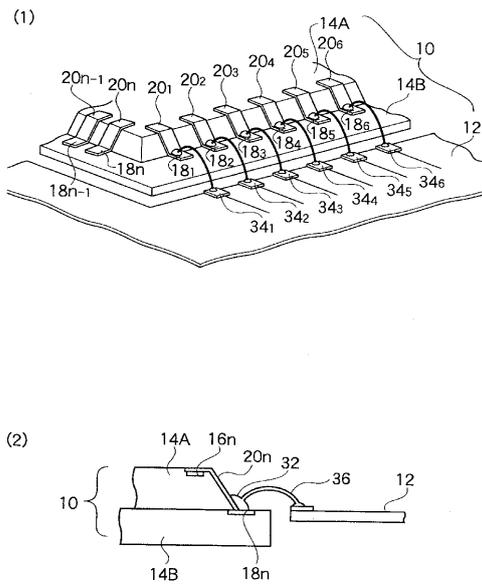
- 10           マルチチップ
- 12           プリント回路基板
- 14A          上層半導体チップ
- 14B          下層半導体チップ
- 16n          上層電極端子
- 18n          下層電極端子
- 20n          メタル層
- 22           ウェハ
- 24           エッチング保護膜
- 26           エッチング保護膜
- 28           開口部
- 30           V溝
- 32           金属塊
- 34n          外部電極端子

40

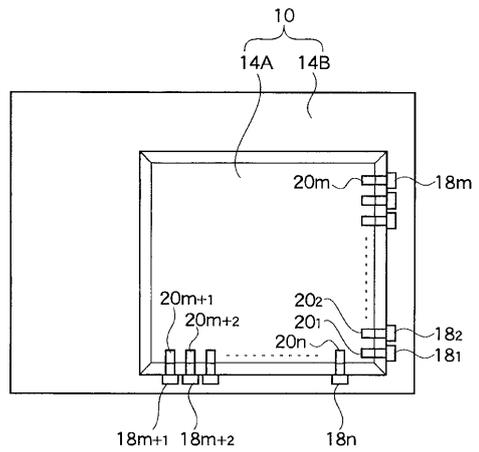
50

- 3 6      ボンディングワイヤ
- 3 8      逆ピラミッド状穴
- 4 0      電極形成用溝
- 4 2      半導体装置

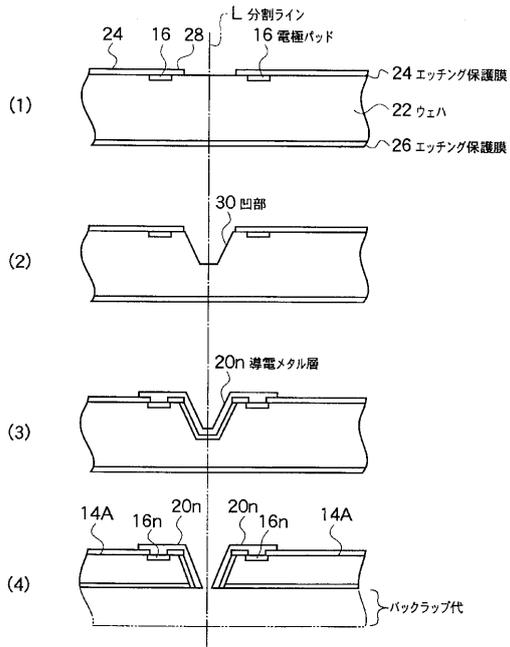
【 図 1 】



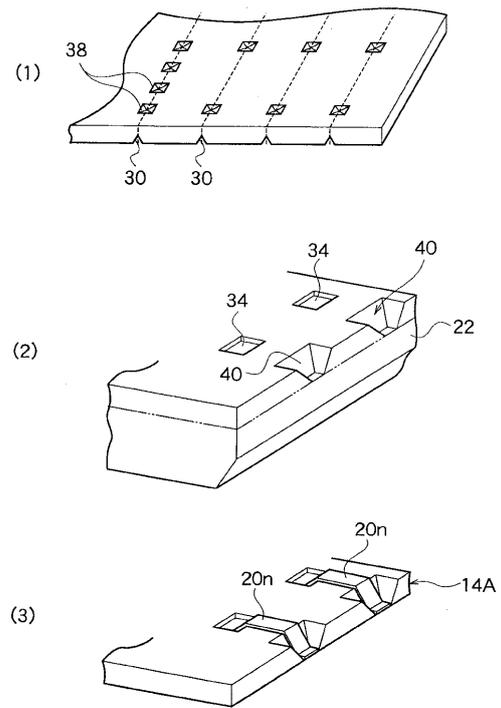
【 図 2 】



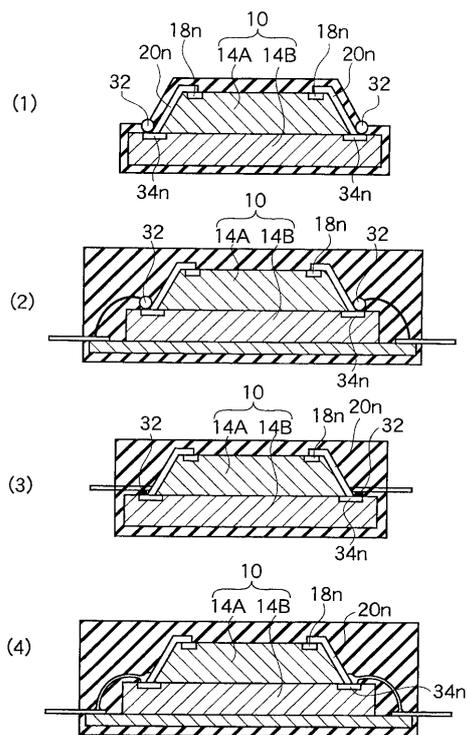
【 図 3 】



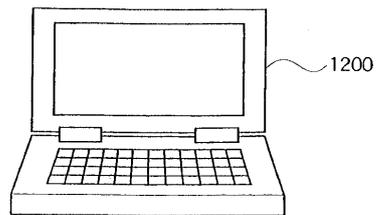
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

H01L 25/00-25/18