

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

基板檢查裝置

【技術領域】

[0001] 本發明，係關於不用將形成於基板之半導體元件從該基板切出而進行檢查的基板檢查裝置。

【先前技術】

[0002] 已知一種探測器以作為基板檢查裝置，該基板檢查裝置，係檢查形成於作為基板之半導體晶圓（以下，僅稱為「晶圓」。）的半導體元件，例如功率元件或記憶體之電性特性。

[0003] 探測器，係具備有探針卡（該探針卡，係具有多數個針狀之探針）與平台（該平台，係載置晶圓而在上下左右自由移動），藉由使探針卡之各探針接觸於半導體元件所具有的電極焊墊或焊錫凸塊，使檢查電流從各探針流至電極焊墊或焊錫凸塊的方式，檢查半導體元件的電性特性（例如，參閱專利文獻 1。）。

[0004] 以往，探測器雖係與判定半導體元件之電性特性或功能良否的 IC 測試器連接，但由於 IC 測試器之電路構成與安裝有製作成產品之半導體元件的電路構成例如 motherboard 或功能擴充卡的電路構成不同，故無法在安裝有 IC

測試器的狀態中進行半導體元件的檢查，作為結果，存在有下述問題：發現了在將半導體元件安裝於功能擴充卡等時，IC 測試器未檢測到之半導體元件的故障。特別是，近年來，伴隨著主板或功能擴充卡所進行之處理的複雜化、高速化，導致主板或功能擴充卡的電路構成亦複雜化，而與 IC 測試器之電路構成的差異變大，故上述問題更加明顯。

[0005] 因此，為了保證半導體元件之品質，而提出下述技術：設置電路構成例如重現功能擴充卡之電路構成（該電路構成，係半導體元件被安裝於探針卡）的檢查電路，以取代藉由 IC 測試器進行檢查，在使用該探針卡模擬將半導體元件安裝於功能擴充卡的狀態下，不用將半導體元件從晶圓切出而測定半導體元件的電性特性（例如，參閱專利文獻 2）。另外，將模擬了像這樣的安裝狀態下之狀態的檢查稱作晶圓系統層次測試。

[0006] 然而，為了確實地進行半導體元件之電性特性的測定，而有在該測定之前，進行測試（接觸確認）之必要，該測試，係確認探針卡之探針與半導體元件之電極焊墊等是否電性接觸。在與 IC 測試器連接之以往的探測器中，係使用 IC 測試器所具備之 DC 模組的 IFVM（I Force V Measure）功能，對半導體元件之電極焊墊施加電壓而進行接觸確認，而且，在以接觸確認來確認為異常狀態時，係根據電壓值來加以判別異常狀態的原因。

〔先前技術文獻〕

〔專利文獻〕

[0007]

〔專利文獻 1〕日本特開平 7-297242 號公報

〔專利文獻 2〕日本特願 2013-192193 號說明書

【發明內容】

〔本發明所欲解決之課題〕

[0008] 然而，在以進行晶圓系統層次測試來取代藉由 IC 測試器進行檢查的探測器中，係因為廢除昂貴的 IC 測試器，故無法藉由 DC 模組來進行接觸確認，當然亦無法判別有關於探針與電極焊墊等之接觸之異常狀態的原因。

[0009] 本發明之目的，係提供一種基板檢查裝置，該基板檢查裝置，係不用使用 IC 測試器，進行探針及半導體元件之接觸確認，在接觸確認中確認為異常狀態時，可判別異常狀態的原因。

〔用以解決課題之手段〕

[0010] 為了達成上述目的，本發明之基板檢查裝置，係具備有探針卡（該探針卡，係具有接觸於形成在基板之半導體元件之各電極的複數個探針）的基板檢查裝置，其特徵係，前述探針卡，係具有：檢測電路，重現安裝有從前述基板切出之前述半導體元件的電路構成；及電位測定手段，測定前述探針及前述檢測電路之間之配線的

電位。

〔發明之效果〕

[0011] 根據本發明，予以測定在探針卡中探針及檢測電路之間之配線的電位。探針及檢測電路之間之配線的電位，係因應於探針及半導體元件之電極焊墊等的接觸狀態而產生變化，而且，亦因應於與探針及電極焊墊等之接觸相關之異常狀態的原因而產生變化。因此，藉由測定探針及檢測電路之間之配線的電位之方式，不用使用 IC 測試器，進行探針及半導體元件之接觸確認，在接觸確認中確認為異常狀態時，可判別異常狀態的原因。

【圖式簡單說明】

[0012]

〔圖 1〕概略地說明作為本發明之實施形態之基板檢查裝置之探測器之構成的立體圖。

〔圖 2〕概略地說明作為本實施形態之基板檢查裝置之探測器之構成的正視圖。

〔圖 3〕說明包含探針卡之卡側檢測電路及晶圓之半導體元件之電路構成的電路圖。

〔圖 4〕說明包含探針卡之卡側檢測電路及晶圓之半導體元件之電路構成之變形例的電路圖。

【實施方式】

公告本

發明摘要

※申請案號：104108313

※申請日：104年03月16日

※IPC分類：

【發明名稱】(中文/英文)

基板檢查裝置

【中文】

〔課題〕提供一種基板檢查裝置，該基板檢查裝置，係不用使用 IC 測試器，進行探針及半導體元件之接觸確認，在接觸確認中確認為異常狀態時，可判別異常狀態的原因。

〔解決手段〕探測器（10），係具備有探針卡（15），該探針卡（15），係具有接觸於形成在晶圓（W）之半導體元件（28）之各電極焊墊（37）的複數個探針（16），該探針卡（15），係具有：卡側檢測電路（18），重現安裝有從晶圓（W）切出之半導體元件（28）之 DRAM 的電路構成；及比較器（34），測定探針（16）及卡側檢測電路（18）之間之配線（19）的電位。

【英文】

【代表圖】

【本案指定代表圖】：第(3)圖。

【本代表圖之符號簡單說明】：

- 16：探針
- 18：卡側檢測電路
- 19：配線
- 25：保護二極體
- 26：檢測電路電源
- 27：開關
- 28：半導體元件
- 29：保護二極體
- 30：元件電源
- 31：配線
- 32：開關
- 33：高電阻
- 34：比較器
- 35：配線
- 36：拉升電阻
- 37：電極焊墊

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

圖式

圖 1

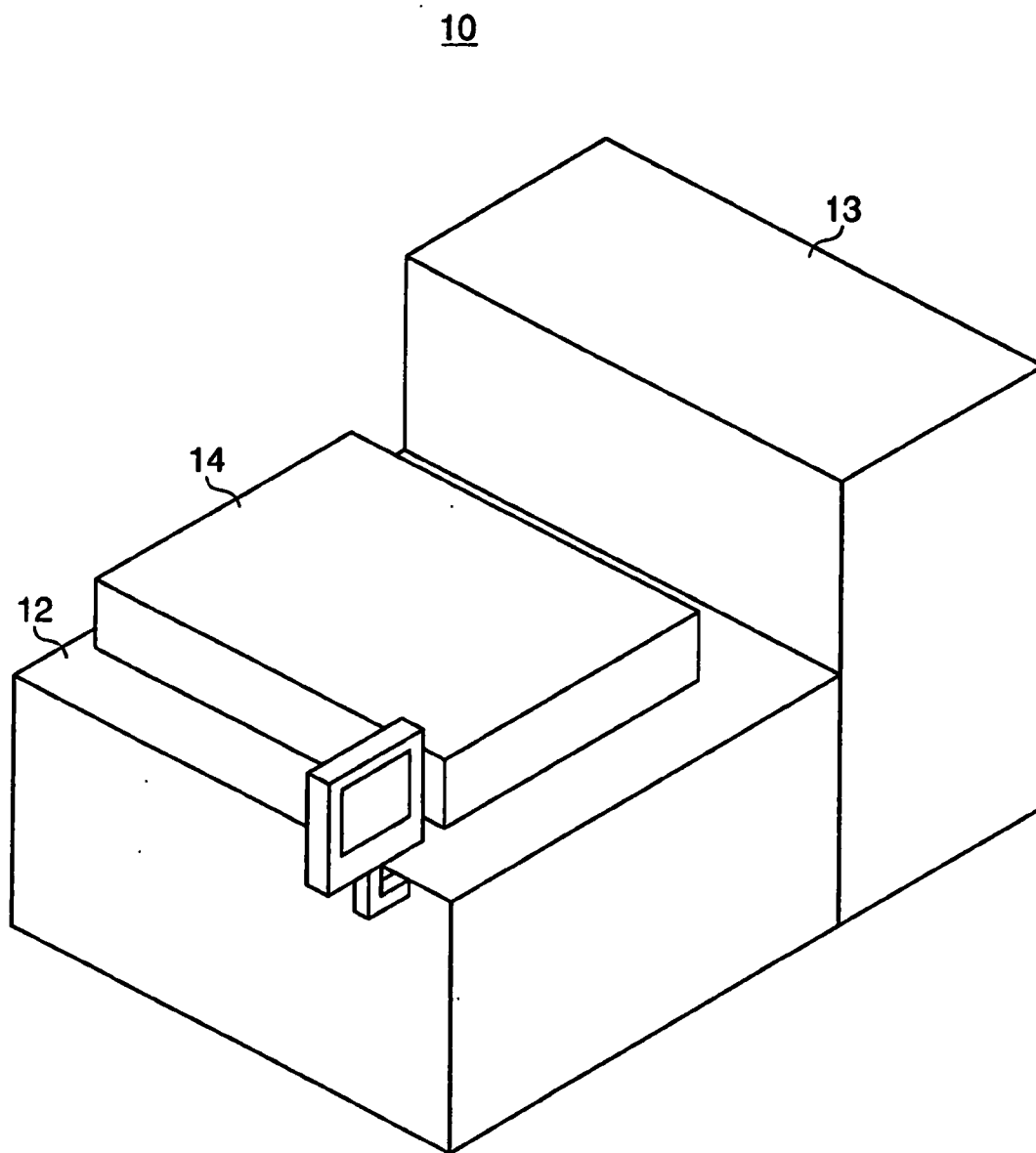


圖 2

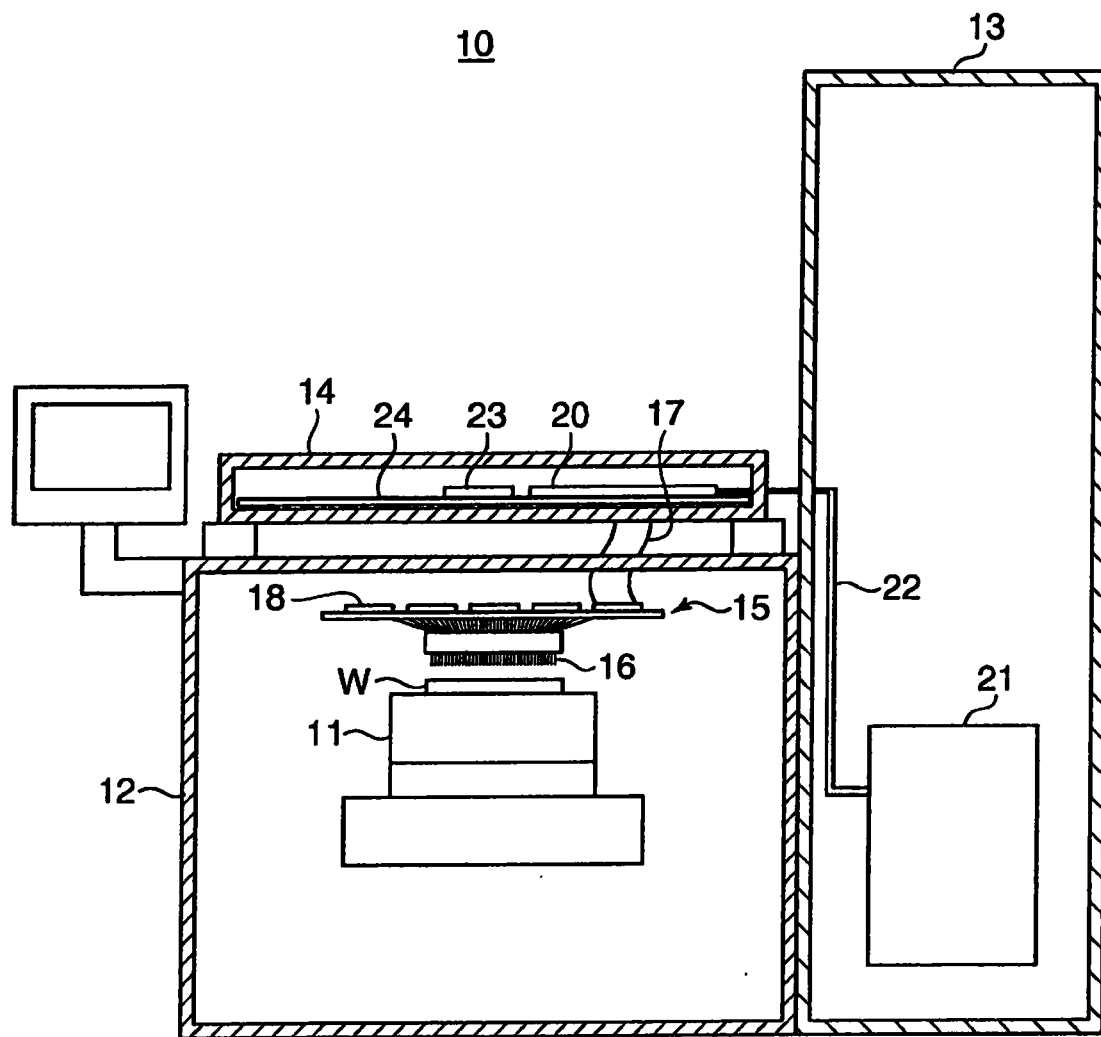


圖 3

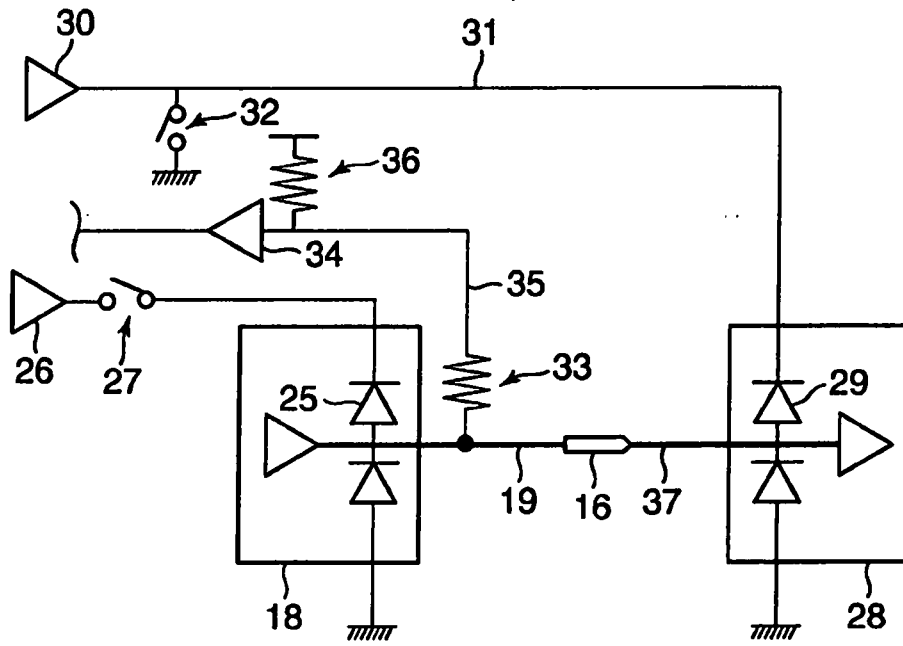
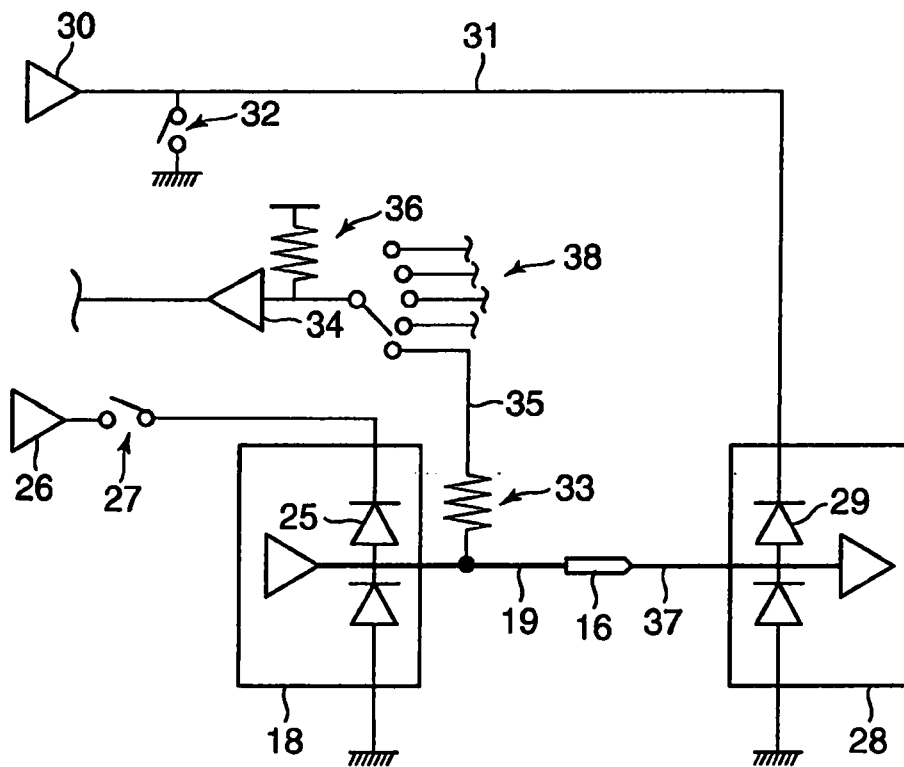


圖 4



[0013] 以下，參照圖面說明本發明的實施形態。

[0014] 圖 1，係概略地說明作為本實施形態之基板檢查裝置之探測器之構成的立體圖，圖 2 係同正視圖。圖 2，係部分地描繪成剖面圖，且予以表示內建於後述之本體 12、裝載器 13 及測試箱 14 的構成要素。

[0015] 在圖 1 及圖 2 中，探測器 10，係具備有：本體 12，內建有載置晶圓 W 之平台 11；裝載器 13，配置為鄰接於該本體 12；及測試箱 14，配置為覆蓋本體 12，且對形成於晶圓 W 之半導體元件進行電性特性的檢查。

[0016] 本體 12，係呈現內部為空洞的殼體形狀，在該內部，係除了上述的平台 11 以外，另配置有與該平台 11 相對向的探針卡 15，探針卡 15，係與晶圓 W 相對向。在探針卡 15 之與晶圓 W 相對向的下面，係與晶圓 W 之半導體元件的電極焊墊或焊錫凸塊對應地配置有多數個探針 16。

[0017] 晶圓 W，係以相對於平台 11 之相對位置不會偏移的方式，被固定於該平台 11，平台 11，係可水平方向及上下方向地進行移動，從而調整探針卡 15 及晶圓 W 的相對位置，使半導體元件之電極焊墊等接觸於各探針 16。測試箱 14，係在覆蓋本體 12 時，經由可撓式的配線 17，與探針卡 15 電性連接。

[0018] 裝載器 13，係被收容於搬送容器即 FOUP (Front-Opening Unified Pod) (未圖示)，將形成有半導體元件的晶圓 W 取出而載置到本體 12 之內部的平台

11，又，從平台 11 去除半導體元件之電性特性之檢查已結束的晶圓 W，而收容至 FOUP。

[0019] 探針卡 15，係具有卡側檢測電路 18，該卡側檢測電路 18，係重現安裝有從晶圓 W 切出而被製作成產品之半導體元件的電路構成，例如 DRAM 的電路構成，該卡側檢測電路 18，係經由後述的配線 19 而被連接於各探針 16。在平台 11 往探針卡 15 接近而各探針 16 接觸於晶圓 W 之半導體元件的電極焊墊等（以下，僅稱為「電極焊墊」）時，各探針卡 16，係將來自所接觸之電極焊墊的電信號傳達至卡側檢測電路 18。

[0020] 測試箱 14，係具有：檢查控制單元或記錄單元（皆未圖示）；箱側檢測電路 20，重現安裝有 DRAM 之電路構成例如母板之電路構成的一部分；及板體 24，搭載由 SSD（Solid State Drive）等所構成的硬碟 23。配線 17，係從探針卡 15 之卡側檢測電路 18 將電信號傳達至箱側檢測電路 20。在探測器 10 中，係可藉由更換測試箱 14 所具有之箱側檢測電路 20 的方式，來重現複數種母板之電路構成的一部分。

[0021] 裝載器 13，係內藏有由電源、控制器或簡單的測定模組所構成的基座單元 21。基座單元 21，係藉由配線 22 而連接於箱側檢測電路 20，控制器，係指示開始向箱側檢測電路 20 進行半導體元件之電性特性的檢查。

[0022] 如上述，在探測器 10 中，雖係藉由箱側檢測電路 20 之更換，來重現複數種母板之電路構成的一部

分，但基座單元 21，係重現共用於各種母板的電路構成。亦即，箱側檢測電路 20 及基座單元 21 會一起動作，重現作為母板全體的電路構成。

[0023] 在探測器 10 中，係在進行半導體元件之電性特性的檢查時，例如箱側檢測電路 20 的檢查控制單元，係將資料發送到卡側檢測電路 18，根據來自卡側檢測電路 18 的電信號，來判定所發送的資料是否被卡側檢測電路 18（該卡側檢測電路 18，係經由各探針 16 而連接於半導體元件）正確處理。

[0024] 又，在探測器 10 中，卡側檢測電路 18、箱側檢測電路 20 及基座單元 21 中之安裝有半導體元件的卡側檢測電路 18，係物理性地被配置於最接近半導體元件。藉此，在檢查電性特性時，能夠儘可能地抑制因半導體元件及卡側檢測電路 18 之間之配線長的影響，例如配線電容之變化的影響，且能夠在極接近電腦（該電腦，係作為具有 DRAM 或母板的實機）中之配線環境的配線環境下進行半導體元件之電性特性的檢查。

[0025] 圖 3，係說明包含探針卡之卡側檢測電路及晶圓之半導體元件之電路構成的電路圖。

[0026] 在圖 3 中，卡側檢測電路 18，係經由配線 19 與探針 16 連接，並且經由保護二極體 25 與檢測電路電源 26 連接，開關 27，係介於檢測電路電源 26 及保護二極體 25 之間。晶圓 W 之半導體元件 28，係經由保護二極體 29 與元件電源 30 連接，保護二極體 29 及元件電源 30 之間

的配線 31，係經由開關 32 而接地。

[0027] 又，探針卡 15，係具有作為在探針 16 及卡側檢測電路 18 之間經由高電阻 33 而連接於配線 19 之電位測定手段的比較器 34。在配線 19 及比較器 34 之間的配線 35 中，係在比較器 34 的附近設置有拉升電阻 36，該拉升電阻 36，係拉升比較器 34 所測定的電位。

[0028] 高電阻 33，係例如具有 $500\ \Omega$ 以上的電阻值（在本實施形態中，係 $2\text{k}\Omega$ ），進而抑制流經配線 19 的電流分支，經由配線 35 積極地流至比較器 34 的情形。比較器 34，係視窗比較器，其判別配線 35 的電位是否屬於例如 3 個電位區域之任一，且連接於數位 I/O 卡（未圖示）。另外，在本實施形態中，探針卡 15，雖係使用視窗比較器作為電位測定手段，但電位測定手段只要是可進行電位測定的機器，亦可使用其他機器，例如可使用 DMM（數位萬用電錶）、一般的比較器或 A/D 轉換器。

[0029] 在探測器 10 中，係例如與 1000 個探針 16 之各個對應地設置有多數個卡側檢測電路 18 或配線 19，且與配線 19 之各個對應地設置有 1000 個比較器 34。

[0030] 又，在探測器 10 中，係在測定半導體元件 28 之電性特性之前，平台 11 向探針卡 15 接近時，進行接觸確認（該接觸確認，係確認各探針 16 與半導體元件 28 之電極焊墊 37 是否電性接觸）。在進行接觸確認時，開關 27 關閉，從檢測電路電源 26 將例如 1.3V 電壓施加至卡側檢測電路 18，而元件電源 30 被關閉，並且開關 32 關

閉，半導體元件 28 係經由配線 31 而接地，比較器 34，係測定此時之配線 19 的電位。

[0031] 如上述，由於高電阻 33 可抑制流經配線 19 之電流積極地流至比較器 34 的情形，故在高電阻 33 中，係例如僅流過 0.5mA 的電流，配線 19 及比較器 34 之間的電位差，係形成為 0.1V。又，在探測器 10 中，保護二極體 25 或保護二極體 29 的電位差，係設定為 0.7V。

[0032] 在探針 16 及電極焊墊 37 為電性正常接觸時（以下，稱為「正常接觸狀態」），由於在配線 19 的電位中，係如上述例如僅反映設定為 0.7V 之保護二極體 29 的電位差，故配線 19 的電位係 0.7V，配線 35 的電位係形成為 0.8V（配線 19 及比較器 34 之間的電位差加至配線 19 的電位）。

[0033] 在探針 16 及電極焊墊 37 為未電性接觸的異常狀態（以下，稱為「非接觸狀態」。）下，由於在配線 19 的電位中，反映檢測電路電源 26 所施加之電壓的電位及保護二極體 25 的電位差，故配線 19 的電位係 2.0V，配線 35 的電位係 2.1V。

[0034] 又，探針 16 及電極焊墊 37 雖是電性接觸，但在半導體元件 28 不經由配線 31 而直接接地（短路）的異常狀態（以下，稱為「短路狀態」）下，由於在配線 19 的電位中反映半導體元件 28 的電位，換言之接地電位，故配線 19 的電位係 0V，配線 35 的電位形成為 0.1V。

[0035] 亦即，配線 19 的電位進而配線 35 的電位，係因應於探針 16 及電極焊墊 37 是否電性接觸而產生變化，而且，亦因應於與探針 16 及電極焊墊 37 之接觸相關之異常狀態的原因而產生變化。在本實施形態中，比較器 34，係判別配線 35 之電位是否屬於上述 3 個電位區域（0.8V、2.1V、0.1V）之任一。例如，若配線 35 之電位在 0.8V 附近，則可判別為探針 16 及電極焊墊 37 是電性正常接觸，若配線 35 之電位在 2.1V 附近，則可判別為探針 16 及電極焊墊 37 並未電性接觸，若配線 35 之電位為 0.1V 附近，則判別為導體元件 28 為直接接地。因此，本實施形態之探測器 10，係不用使用 IC 測試器，進行探針 16 及電極焊墊 37 之接觸確認，在接觸確認中確認為異常狀態時，可判別異常狀態的原因。

[0036] 又，在上述的探測器 10 中，由於高電阻 33 可抑制流經配線 19 之電流積極地流至比較器 34 的情形，因此，在進行了探針 16 及電極焊墊 37 是否電性接觸的接觸確認之後，在進行半導體元件 28 之電性特性的測定時，可使流經配線 19 的電流穩定，而且，可穩定地測定半導體元件 28 的電性特性。

[0037] 以上，雖使用上述實施形態說明關於本發明，但本發明並不限定於上述實施形態者。

[0038] 例如，在上述實施形態中，雖然高電阻 33 之電阻值為 $2k\Omega$ ，檢測電路電源 26 所施加的電壓為 1.3V，保護二極體 25 或保護二極體 29 的電位差為 0.7V，流經

高電阻 33 的電流為 0.5mA，但該些電阻值、電壓、電位差、電流係一例，亦可因應於卡側檢測電路 18 或半導體元件 28 之規格予以設定其他值。此時，雖然正常接觸狀態中之配線 35 的電位，係形成為與 0.8V 不同的值，非接觸狀態中之配線 35 的電位，係形成為與 2.1V 不同的值，短路狀態中之配線 35 的電位，係形成為與 0.1V 不同的值，但由於正常接觸狀態、非接觸狀態及短路狀態中之配線 35 的電位係形成為彼此不同的值，因此，比較器 34，係藉由判別配線 35 之電位是否屬於 3 個電位區域（正常接觸狀態中之電位附近、非接觸狀態中之電位附近、短路狀態中之電位附近）之任一的方式，進行探針 16 及電極焊墊 37 之接觸確認，而且，可在接觸確認中確認為異常狀態時，判別異常狀態的原因。

[0039] 在上述實施形態中，如上所述，亦可使用 DMM 作為電位測定手段。藉此，可不用變更用於測定電位之電路，而測定起因於作為 DUT (Device Under Test) 之半導體元件 28 所內建之二極體或其他終端電路而產生很大變化之電極焊墊 37 的電位。

[0040] 又，在上述實施形態中，雖與各個配線 19（與 1000 個探針 16 對應）對應地設置有 1000 個比較器 34，但在探針卡 15 中亦可僅設置 1 個比較器 34。在該情況下，如圖 4 所示，配置有繼電器矩陣 38（連接切換手段），該繼電器矩陣 38，係將比較器 34 之接取點切換為從各配線 19（各配線 19，係連接各卡側檢測電路 18 及各

探針 16) 分支的複數個配線 35 任一。藉此，可不需在探針卡 15 中配置多數個比較器 34，而且，可簡化探針卡 15 的構成。

[0041] 而且，在上述實施形態中，雖然箱側檢測電路 20 或基座單元 21，係重現母板的電路構成，卡側檢測電路 18，係重現 DRAM 的電路構成，但箱側檢測電路 20 或基座單元 21 所重現的電路構成並不限於母板的電路構成，又，卡側檢測電路 18 所重現的電路構成並不限於 DRAM 的電路構成。亦即，卡側檢測電路 18、箱側檢測電路 20 或基座單元 21 所重現的電路構成，係只要是安裝有作為 DUT 之半導體元件 28 的電路構成即可。又，半導體元件 28 亦不特別限定構成，例如卡側檢測電路 18 所重現的電路構成為擴充卡的電路構成時，半導體元件 28，係亦可為 MPU (Main Processing Unit)；箱側檢測電路 20 或基座單元 21 所重現的電路構成如上述為母板的電路構成時，半導體元件係亦可為 APU (Accelerated Processing Unit) 或 GPU (Graphics Processing Unit)；卡側檢測電路 18、箱側檢測電路 20 及基座單元 21 所重現的電路構成為電視的電路構成時，半導體元件係亦可為 RF 調諧器。

【符號說明】

[0042]

W：晶圓

- 10：探測器（基板檢查裝置）
- 12：本體
- 13：裝載器
- 14：測試箱
- 15：探針卡
- 16：探針
- 17：配線
- 18：卡側檢測電路
- 19：配線
- 20：箱側檢測電路
- 21：基座單元
- 22：配線
- 23：硬碟
- 24：板體
- 28：半導體元件
- 33：高電阻
- 34：比較器
- 37：電極焊墊
- 38：繼電器矩陣

申請專利範圍

1. 一種基板檢查裝置，係具備有探針卡（該探針卡，係具有接觸於形成在基板之半導體元件之各電極的探針）的基板檢查裝置，其特徵係，

前述探針卡，係包含有：檢測電路，再現一電路構成，該電路構成，係安裝有從前述基板切出之前述半導體元件的電路構成；及電位測定裝置，測定前述探針及前述檢測電路之間之配線的電位，

前述檢測電路，係經由第 1 保護二極體與檢測電路電源連接，第 1 開關介於前述檢測電路電源與前述第 1 保護二極體之間，

前述半導體元件，係經由第 2 保護二極體與元件電源連接，前述第 2 保護二極體與前述元件電源之間的配線，係經由第 2 開關而接地，

前述電位測定裝置，係以對前述檢測電路施加預定電壓，並使前述半導體元件經由前述第 2 保護二極體與前述元件電源之間的配線而接地之方式，在關閉了前述第 1 開關及前述第 2 開關的狀態下，測定前述探針與前述檢測電路之間的配線之電位。

2. 如申請專利範圍第 1 項之基板檢查裝置，其中，在前述探針及前述檢測電路之間的配線與前述電位測定裝置之間，配置有電阻。

3. 如申請專利範圍第 2 項之基板檢查裝置，其中，前述高電阻的值，係 $500\ \Omega$ 以上。

4. 如申請專利範圍第 1~3 項中任一項之基板檢查裝置，其中，

前述探針卡，係具有：複數個前述配線，連接前述檢測電路及複數個前述探針；及連接切換手段，將前述電位測定裝置之接取點切換為複數個前述配線之任一。

5. 如申請專利範圍第 1~3 項中任一項之基板檢查裝置，其中，

前述電位測定裝置，係比較器、DMM（數位萬用電錶）或 A/D 轉換器。