

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公开说明书

H01L 29/78 (2006.01)

H01L 27/04 (2006.01)

H01L 21/336 (2006.01)

H01L 21/822 (2006.01)

[21] 申请号 200610006390.9

[43] 公开日 2006年8月23日

[11] 公开号 CN 1822394A

[22] 申请日 2006.1.20

[21] 申请号 200610006390.9

[30] 优先权

[32] 2005. 2. 16 [33] JP [31] 039668/05

[71] 申请人 三洋电机株式会社

地址 日本大阪府

[72] 发明人 石田裕康 及川慎 冈田喜久雄
宫原正二 落合直弘 栢山和成

[74] 专利代理机构 北京市柳沈律师事务所

代理人 李贵亮 杨 梧

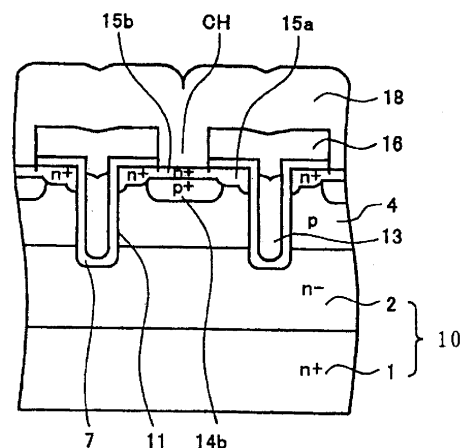
权利要求书 2 页 说明书 12 页 附图 17 页

[54] 发明名称

半导体装置及其制造方法

[57] 摘要

一种半导体装置，沟道层的杂质区域为较低的区域。以带状形成栅极电极，以梯状形成源极区域的图案中，由于部分地在源极区域正下方配置作为沟道层的低浓度区域，故发生电位降，存在雪崩能量劣化的问题。本发明中，在将栅极电极形成为带状，将源极区域形成为梯状的图案中，与栅极电极平行地设置带状体区。在与栅极电极邻接的第一源极区域间的沟道层表面露出第一体区，在将第一源极区域相互连结的第二源极区域下方设置第二体区。由此，可提高雪崩容量。另外，由于形成体区时不需要掩模，故有利于实现对位精度。



1、一种半导体装置，其特征在于，具有：漏极区域，其在一导电型半导体衬底上层积有一导电型半导体层；反向导电型沟道层，其设于所述漏极区域表面；绝缘膜，其与所述沟道层接触；栅极电极，其介由所述绝缘膜与所述沟道层邻接，并被设置成带状；一导电型源极区域，其设于所述沟道层表面，且与所述栅极电极相邻；反向导电型的第一体区，其设于所述沟道层表面；反向导电型的第二体区，其被埋入所述沟道层内部。

2、一种半导体装置，其特征在于，具有：漏极区域，其在一导电型半导体衬底上层积有一导电型半导体层；反向导电型沟道层，其设于所述漏极区域表面；槽，其贯通所述沟道层，被设置成带状；绝缘膜，其至少设于所述槽内壁；栅极电极，其被埋设于所述槽内；一导电型源极区域，其设于与所述槽邻接的所述沟道层表面；反向导电型的第一体区，其设于所述沟道层表面；反向导电型的第二体区，其被埋入所述沟道层内部。

3、如权利要求1或2所述的半导体装置，其特征在于，所述源极区域具有沿所述栅极电极带状设置的第一源极区域、和连结两个该第一源极区域的第二源极区域，所述第一体区被配置于所述第一源极区域间，所述第二体区设于所述第二源极区域下方。

4、如权利要求1或2所述的半导体装置，其特征在于，所述第一体区与设于衬底表面的源极电极接触。

5、如权利要求3所述的半导体装置，其特征在于，所述第二源极区域与设于衬底表面的源极电极接触。

6、如权利要求1或2所述的半导体装置，其特征在于，所述第一及第二体区与所述栅极电极平行配置。

7、一种半导体装置的制造方法，其特征在于，包括：在漏极区域形成反向导电型沟道层的工序，所述漏极区域在一导电型半导体衬底上层积有一导电型半导体层；形成覆盖所述沟道层的一部分的绝缘膜的工序；形成介由所述绝缘膜与所述沟道层相接的带状栅极电极的工序；在与所述栅极电极相邻的所述沟道层表面形成一导电型源极区域的工序；形成位于所述沟道层表面的反向导电型的第一体区、和被埋入所述沟道层内部的反向导电型的第二体区的工序。

8、一种半导体装置的制造方法，其包括：在漏极区域形成反向导电型沟道层并形成贯通该沟道层的带状的槽的工序，所述漏极区域在一导电型半导体衬底上层积有一导电型半导体层；至少在所述槽内壁形成绝缘膜的工序；在所述槽内形成栅极电极的工序；在与所述槽邻接的所述沟道层表面形成一导电型源极区域的工序；形成位于所述沟道层表面的反向导电型的第一体区、和被埋入所述沟道层内部的反向导电型的第二体区的工序。

9、如权利要求7或8中任一项所述的半导体装置的制造方法，其特征在于，所述源极区域形成沿所述栅极电极的带状的第一源极区域、和连结两个该第一源极区域的第二源极区域，所述第一体区形成于所述第一源极区域间，所述第二体区形成于所述第二源极区域下方。

10、如权利要求7或8中任一项所述的半导体装置的制造方法，其特征在于，在形成覆盖所述栅极电极上部的层间绝缘膜的同时，形成该层间绝缘膜间的接触孔，介由该接触孔注入反向导电型杂质，形成所述第一体区及第二体区。

11、如权利要求9所述的半导体装置的制造方法，其特征在于，所述第二源极区域及所述第二体区由于离子注入时的投影行程距离之差而形成不同的深度。

半导体装置及其制造方法

技术领域

本发明涉及半导体装置及其制造方法，特别是涉及防止雪崩容量劣化的半导体装置及其制造方法。

背景技术

在具有绝缘栅的半导体装置中，在平面图案上将源极区域形成为梯状的结构已被公知（例如参照专利文献1）。

参照图16~图17，说明如专利文献1，具有梯状源极区域的半导体装置及其制造方法。首先，作为一例，图16表示n沟道型槽结构的MOSFET。图16(B)是图16(A)的c-c线剖面图。

在n+型硅半导体衬底21上层积n-型外延层22等，设置漏极区域20，并在其表面设置p型沟道层24。槽27贯通沟道层24，到达漏极区域20而设置，且由栅极氧化膜31包覆槽27的内壁，设置由充填于槽27内的多晶硅构成的栅极电极33。

在与槽27邻接的沟道层24表面设置n+型源极区域35，并在相邻的两个单元的源极区域35间的沟道层24表面配置p+型体区34。栅极电极33上由层间绝缘膜36覆盖。在层间绝缘膜36间的接触孔CH露出的源极区域35及体区34上设置由铝合金等形成的源极电极38。

参照图17说明上述的MOSFET的制造方法。

在n+型硅半导体衬底21上层积n-型外延层22而形成漏极区域20，并在漏极区域20表面形成p型沟道层24。形成贯通沟道层24并到达漏极区域20的槽27。在槽27内壁形成栅极氧化膜31，并在槽27内埋设栅极电极33（图17(A)）。

其次，以抗蚀膜为掩模选择地离子注入p型杂质。然后，以新抗蚀膜PR为掩模选择地离子注入n型杂质。在整个面上利用CVD等方法堆积绝缘膜，通过绝缘膜的回流形成n+型源极区域35和p+型体区34（图17(B)）。

另外，以抗蚀膜（未图示）为掩模，蚀刻层间绝缘膜，至少在栅极电极

33 上残留层间绝缘膜 36, 同时, 形成用于与源极电极 38 接触的接触孔 CH。然后, 在整个面上喷溅铝合金等, 得到图 17 (C) 所示的最终结构 (例如参照专利文献 1)。

专利文献 1: 特开平 11 - 87702 号公报

图 16 (A) 的图案中, 栅极电极 33 为带状, 源极区域 35 被配置成梯状。源极区域 35 由沿栅极电极 33 的带状的源极区域 35a 和将它们连结的源极区域 35b 构成。在图 16 (A) 中, 例如沿水平方向延伸的源极区域 35b 与源极电极 38 接触, 如图 16 (B), 沿垂直方向延伸的源极区域 35a 与源极电极 38 接触。

另外, 体区 34 以小岛状配置于从源极区域 35 露出的沟道层 24 表面。即, 在 c-c 线剖面图中, 如图 16 (B), 在沟道层 24 表面设置体区 34。体区 34 的杂质浓度为 $1E19 \sim 1E20\text{cm}^{-3}$ 程度。沟道层 24 为杂质浓度较低的区域, 但在 c-c 线剖面, 在用于与源极电极 38 接触的接触孔 CH 下方配置有杂质浓度高的体区 34。即, 杂质浓度较低的区域实质上在接触孔 CH 的正下方不存在。

图 18 表示图 16 (A) 的 d-d 线剖面图。在 d-d 线剖面, 如图 18, 未配置体区 34, 而在沟道层 24 的最表面仅配置源极区域 35。

而且, 通过杂质的离子注入或扩散形成沟道层 24 的情况下, 峰值浓度也达到 $1E17\text{cm}^{-3}$ 。即, 在该图案中, 由于在杂质浓度高的 n 型源极区域 35 正下方配置杂质浓度较低的 p 型沟道层 24, 杂质浓度低的沟道层 24 使电位降低。

在该状态下, 在源极区域 35 - 沟道层 24 间 (发射极 - 基极间) 施加顺方向电压, 当发生寄生双极动作时, 引起雪崩破坏。

这样, 在将源极区域 35 形成为梯状的图案中, 可确保源极接触面积, 降低源极接触电阻。但是, 由于选择地设置体区 34, 故在未设置体区 34 的区域, 源极区域 35 正下方的电阻变大。因此, 容易产生寄生双极动作, 存在雪崩容量劣化的问题。

发明内容

本发明是鉴于这样的问题而构成的, 本发明第一方面提供半导体装置, 其具有: 漏极区域, 其在一导电型半导体衬底上层积有一导电型半导体层;

反向导电型沟道层，其设于所述漏极区域表面；绝缘膜，其与所述沟道层接触；栅极电极，其介由所述绝缘膜与所述沟道层邻接，并被设置成带状；一导电型源极区域，其设于所述沟道层表面，且与所述栅极电极相邻；反向导电型的第一体区，其设于所述沟道层表面；反向导电型的第二体区，其被埋入所述沟道层内部。

本发明第二方面提供半导体装置，其具有：漏极区域，其在一导电型半导体衬底上层积有一导电型半导体层；反向导电型沟道层，其设于所述漏极区域表面；槽，其贯通所述沟道层，被设置成带状；绝缘膜，其至少设于所述槽内壁；栅极电极，其被埋设于所述槽内；一导电型源极区域，其设于与所述槽邻接的所述沟道层表面；反向导电型的第一体区，其设于所述沟道层表面；反向导电型的第二体区，其被埋入所述沟道层内部。

本发明第三方面提供半导体装置的制造方法，其包括：在漏极区域形成反向导电型沟道层的工序，所述漏极区域在一导电型半导体衬底上层积有一导电型半导体层；形成覆盖所述沟道层的一部分的绝缘膜的工序；形成介由所述绝缘膜与所述沟道层相接的带状栅极电极的工序；在与所述栅极电极相接的所述沟道层表面形成一导电型源极区域的工序；形成位于所述沟道层表面的反向导电型的第一体区、和被埋入所述沟道层内部的反向导电型的第二体区的工序。

本发明第四方面提供半导体装置的制造方法，其包括：在漏极区域形成反向导电型沟道层并形成贯通该沟道层的带状的槽的工序，所述漏极区域在一导电型半导体衬底上层积有一导电型半导体层；至少在所述槽内壁形成绝缘膜的工序；在所述槽内形成栅极电极的工序；在与所述槽邻接的所述沟道层表面形成一导电型源极区域的工序；形成位于所述沟道层表面的反向导电型的第一体区、和被埋入所述沟道层内部的反向导电型的第二体区的工序。

根据本发明，第一，栅极电极形成为带状，将源极区域设置为梯状图案，从而得到增加了源极接触面积的结构，同时，在源极区域正下方也可配置体区。因此，消除局部容易雪崩破坏的区域，故装置整体的雪崩容量提高。

另外，由于源极区域形成为梯状，故可将沿栅极电极的第一源极区域作为发射极镇流电阻利用。由此，在 MOSFET 中，可防止寄生双极动作造成的二次击穿。另外，在作为双极晶体管的 IGBT 的情况下，也可以防止二次击穿。

第二，体区可以以层间绝缘膜为掩模进行离子注入，故可削减形成体区的掩模。由此，相应地更能充分实现对位精度。

附图说明

图 1 (A) 是说明本发明半导体装置的平面图，(B) 是剖面图，(C) 是剖面图；

图 2 是说明本发明半导体装置的制造方法的剖面图；

图 3 是说明本发明半导体装置的制造方法的剖面图；

图 4 是说明本发明半导体装置的制造方法的剖面图；

图 5 (A) ~ (B) 是说明本发明半导体装置的制造方法的剖面图；

图 6 (A) ~ (B) 是说明本发明半导体装置的制造方法的剖面图；

图 7 (A) ~ (B) 是说明本发明半导体装置的制造方法的剖面图；

图 8 (A) ~ (B) 是说明本发明半导体装置的制造方法的剖面图；

图 9 (A) ~ (B) 是说明本发明半导体装置的制造方法的剖面图；

图 10 (A) ~ (B) 是说明本发明半导体装置的制造方法的剖面图；

图 11 (A) ~ (B) 是说明本发明半导体装置的剖面图；

图 12 (A) ~ (B) 是说明本发明半导体装置的制造方法的剖面图；

图 13 (A) ~ (B) 是说明本发明半导体装置的制造方法的剖面图；

图 14 (A) ~ (B) 是说明本发明半导体装置的制造方法的剖面图；

图 15 (A) ~ (B) 是说明本发明半导体装置的制造方法的剖面图；

图 16 (A) 是说明现有的半导体装置的平面图，(B) 是剖面图；

图 17 (A) ~ (C) 是说明现有的半导体装置的制造方法的剖面图；

图 18 是说明现有的半导体装置的剖面图。

符号说明

1 n+ 型半导体衬底

2 n- 型外延层

4 沟道层

7 槽

11 栅极氧化膜

13 栅极电极

14 体区

- 14a 第一体区
- 14b 第二体区
- 14' p+型杂质区域
- 15 源极区域
- 15a 第一源极区域
- 15b 第二源极区域
- 15' n+型杂质区域
- 16 层间绝缘膜
- 18 源极电极
- 21 n+半导体衬底
- 22 n-型外延层
- 24 沟道层
- 27 槽
- 31 栅极氧化膜
- 33 栅极电极
- 34 体区
- 35 源极区域
- 36 层间绝缘膜
- 38 源极电极

具体实施方式

以n沟道型槽结构的MOSFET为例，参照图1~图15说明本发明的实施例。

图1是表示第一实施例的MOSFET的结构图。图1(A)是平面图，图1(B)是图1(A)的a-a线剖面图，图1(C)是图1(A)的b-b线剖面图。另外，在平面图中省略了层间绝缘膜及源极电极。

MOSFET具有半导体衬底1、半导体层2、槽7、沟道层4、栅极电极13、第一源极区域15a和第二源极区域15b、第一体区14a、第二体区14b。

如图1(A)，槽7在平面图案中被设置成带状。由栅极氧化膜11包覆槽7的内壁，并设置由充填于槽7内的多晶硅构成的栅极电极13。

在沟道层4表面设置作为高浓度的n型杂质区域的源极区域15。源极区

域 15 具有第一源极区域 15a 和第二源极区域 15b。第一源极区域 15a 沿槽 7 及栅极电极 13 设为带状。另外，第二源极区域 15b 向与第一源极区域 15a 正交的方向延伸，连结夹着体区 14 配置于其两侧的两个第一源极区域 15a。另外，第二源极区域 15b 在第一源极区域 15a 的延伸方向上配置多处。即，栅极电极 13 具有带状的图案，源极区域 15 具有梯状的图案。

体区 14 是与第一源极区域 15a 及栅极电极 13 平行配置的高浓度的 p 型杂质区域。体区 14 具有第一体区 14a 及第二体区 14b。第一体区 14a 是在没有配置梯状的源极区域 15 的衬底 10 表面露出的区域。另一方面，第二体区 14b 与第二源极区域 15b 重叠设置。

参照图 1 (B)、(C) 的剖面图，作为漏极区域的衬底 10 是在 n+ 型硅半导体衬底 1 上层积 n- 型外延层 2 等而设置的。在 n- 型外延层 2 表面设置有 p 型沟道层 4。沟道层 4 是例如通过进行离子注入及扩散而设在外延层 2 表面上的 p 型杂质层。槽 7 贯通沟道层 4，到达 n- 型外延层 2 (漏极区域 10) 而设置。

而且，在 a-a 线剖面，如图 1 (B)，在与槽 7 邻接的沟道层 4 表面设有第一源极区域 15a。并且，在相邻的两个第一源极区域 15a 间的沟道层 4 表面设置有第一体区 14a，并在沟道层 4 表面露出。

覆盖栅极电极 13 上部的层间绝缘膜 16 包覆第一源极区域 15a 上。即，在 a-a 线剖面中，设于表面的源极电极 18 介由层间绝缘膜 16 间的接触孔 CH 仅与第一体区 14a 接触。

另一方面，在 b-b 线剖面中，如图 1 (C)，第二源极区域 15b 连结相邻的两个第一源极区域 15a，并在层间绝缘膜 16 间的接触孔 CH 露出。在第二源极区域 15b 下方配置第二体区 14b。第二体区 14b 被埋入沟道层 4 内，没有在沟道层 4 表面露出。在 b-b 线剖面，构成第二体区 14b 的杂质还存在于沟道层 4 表面，但由于沟道层 4 表面的第二源极区域 15b 的杂质浓度高，故相互抵消，第二体区 14b 以被埋入第二源极区域 15b 下方的沟道层 4 内的状态存在，详见后述。

在该剖面中，源极区域 18 介由接触孔 CH 仅与第二源极区域 15b 接触。

通过形成为这样的结构，在 a-a 线剖面，在沟道层 4 表面配置第一体区 14a。另外，在 b-b 线剖面图中，在第二源极区域 15b 的下方配置第二体区 14b。即，在 n 型源极区域 15 正下方，在杂质浓度较低的 p 型沟道层 4

表面配置杂质浓度高的 p 型体区 14。由此，可抑制沟道层 4 中产生电压降，可避免寄生双极动作造成的雪崩破坏。

另外，体区 14 可以以层间绝缘膜 16 为掩模，在整个面上进行离子注入，该内容后述。即，不需要以往形成体区时必需的掩模。因此，相应地更能充分实现对位精度，可提高单元密度。源极区域 15 形成为梯状，与源极电极 18 接触的是第二源极区域 15b，而没有与第一源极区域 15a 接触。即，第一源极区域 15a 构成电阻成分，构成附加有发射极镇流电阻的晶体管结构。MOSFET 的寄生双极动作或 IGBT 等的双极晶体管具有正的温度系数。因此，当由于施加于 MOSFET 或 IGBT 的各单元上的偏压误差而一旦产生稍微的温度升高，则产生二次击穿。

在这种情况下，将具有负的温度系数的发射极镇流电阻与各单元连接，则可防止二次击穿的产生。即，在本实施例中，即使施加于各单元上的偏压产生误差，也可以通过第一源极区域 15a 进行温度补偿，可防止二次破坏。

图 2~图 10 表示上述 MOSFET 的制造方法。另外，在各图中，(A) 表示图 1 (A) 的 a-a 线剖面图，(B) 表示图 1 (A) 的 b-b 线剖面图。

本发明的半导体装置的制造方法具有：在一导电型半导体衬底上层积了一导电型半导体层的漏极区域形成反向导电型的沟道层，并形成贯通沟道层的带状槽的工序；至少在槽内壁形成绝缘膜的工序；在槽内形成栅极电极的工序；在与槽邻接的沟道层表面形成一导电型源极区域的工序；形成位于沟道层表面的反向导电型的第一体区和被埋入沟道层内部的反向导电型的第二体区的工序。

第一工序(参照图 2)：在一导电型半导体衬底上层积了一导电型半导体层的漏极区域形成反向导电型的沟道层，并形成贯通沟道层的带状槽的工序。

首先，在 n+ 型硅半导体衬底 1 上层积 n- 型外延层等，准备构成漏极区域的衬底 10。在表面形成氧化膜(未图示)后，蚀刻形成沟道层区域的氧化膜。以该氧化膜为掩模，在整个面上以剂量 $1.0 \times 10^{13} \text{cm}^{-2}$ 注入例如硼(B)，然后，进行扩散，形成 p 型沟道层 4。

其次，形成槽。利用 CVD 法在整个面上生成 NSG (Non-doped Silicate Glass) 的 CVD 氧化膜(未图示)，除形成槽开口部的部分外，以抗蚀膜为掩模，对 CVD 氧化膜进行干式蚀刻，将其部分地除去，形成露出 n- 型外

延层 2 的槽开口部。

另外，以 CVD 氧化膜为掩模，利用 CF 类及 HBr 类气体干式蚀刻槽开口部的硅半导体衬底，形成槽 7。槽 7 的深度根据贯通沟道层 4 的深度适宜选择。如图 1 (A)，槽 7 在平面图案中形成带状。

第二工序 (参照图 3): 至少在槽内壁形成绝缘膜的工序。

进行仿真氧化，在槽 7 内壁和沟道层 4 表面形成仿真氧化膜 (未图示)，并除去干式蚀刻时的蚀刻损伤。将通过该仿真氧化形成的仿真氧化膜和构成掩模的 CVD 氧化膜利用氟等氧化膜蚀刻剂同时除去。由此，可形成稳定的栅极氧化膜。另外，通过在高温下进行热氧化，使槽 7 开口部成弧形，可避免在槽 7 开口部电场集中。然后，形成栅极氧化膜 11。即，对整个面进行热氧化 (1000℃程度)，根据阈值将栅极氧化膜 11 形成为例如约数百 Å 厚度。

第三工序 (参照图 4): 在槽内形成栅极电极的工序。

在整个面上堆积非掺杂的多晶硅层，例如高浓度注入·扩散磷 (P)，谋求高导电率化。将堆积于整个面上的多晶硅层，在没有掩模的情况下，进行干式蚀刻，形成埋入槽 7 内的栅极电极 13。另外，也可以将掺杂了杂质的多晶硅堆积在整个面上后，进行反复腐蚀，在槽 7 内埋设栅极电极 13。

第四工序 (参照图 5 及图 6): 在与槽邻接的沟道层表面形成一导电型源极区域的工序。

设置具有源极区域的形成区域以梯状开口的图案的光致抗蚀剂膜 PR 的掩模。即，如图 5 (A)，抗蚀膜 PR 在图 1 (A) 的 a-a 线剖面中，将槽 7 周围的第一源极区域的形成区域选择地开口。另外，如图 5 (B)，在图 1 (A) 的 b-b 线剖面，抗蚀膜 PR 将第一源极区域及第二源极区域的形成区域开口，以使相邻的槽 7 间的沟道层 4 表面全部露出。

然后，以注入能量 100keV，剂量 $5 \times 10^{15} \text{cm}^{-2}$ 程度离子注入 n 型杂质砷 (As)，形成 n+ 型杂质区域 15'。

然后，如图 6，利用 CVD 法在整个面上堆积成为层间绝缘膜的由 BPSG (Boron Phosphorus Silicate Glass) 等多层膜构成的绝缘膜 16'。通过该成膜时的热处理 (不到 1000℃，60 分钟程度)，将 n+ 型杂质区域 15' 扩散，形成第一源极区域 15a、第二源极区域 15b。

第五工序 (参照图 7~图 9): 形成位于沟道层表面的反向导电型的第一体区和被埋入沟道层内部的反向导电型的第二体区的工序。

如图 7, 以新的抗蚀膜 PR 为掩模, 蚀刻绝缘膜 16', 至少在栅极电极 13 上残留层间绝缘膜 16, 同时, 形成露出体区形成区域的接触孔 CH。作为体区形成区域的抗蚀膜 PR 的开口部与栅极电极 13 (槽 7) 平行地形成带状。然后, 除去抗蚀膜 PR。

层间绝缘膜 16 完全覆盖第一源极区域 15a 上部而设置, 在层间绝缘膜 16 间仅露出第二源极区域 15b。

如图 8, 以层间绝缘膜 16 为掩模, 高加速离子注入 p 型杂质。注入能量为 100KeV 以上, 剂量 10^{15}cm^{-2} 台程度, 离子注入硼 (B) 等, 形成 p+ 型杂质区域 14'。

然后, 如图 9, 以 900℃ 进行 30 分钟程度的热处理, 扩散 p+ 型杂质区域 14', 形成在第一源极区域 15a 间的沟道层 4 表面露出的第一体区 14a。同时, 在第二源极区域 15b 下方, 形成埋入沟道层 4 内的第二体区 14b。体区 14 使衬底电位稳定化。

在此, 离子注入体区 14, 以通过进行高加速离子注入, 使峰值位于距沟道层 4 表面 $1 \mu\text{m}$ 程度的深度 (参照图 8)。然后, 通过热处理, 使其上下扩散, 第一体区 14a 在沟道层 4 表面露出。另一方面, 第二体区 14b 也同样扩散, 在第二体区 14b 上配置高浓度的第二源极区域 15b。因此, 具体地说, 构成第二体区 14b 的杂质的一部分到达沟道层 4 表面, 但由于第二源极区域 15b 而相互抵消, 实际上第二体区 14b 以被埋入第二源极区域 15b 下方的沟道层 4 内的状态存在。

另外, 源极区域 15 也通过该热处理而进一步扩散, 而由于源极区域 15 由砷形成, 故投影行程距离 R_p 短, 且扩散系数低。即, 即使进行扩散, 也会构成浅的扩散层。另一方面, 体区 14 为 100KeV 以上的高加速离子注入, 投影行程距离 R_p 比源极区域 15 的杂质长。因此, 如图 9 (B), 根据投影行程距离 R_p 之差, 可使第二体区 14b 位于第二源极区域 15b 下方。

这样, 在沟道层 4 表面设置第一体区 14a, 在第二源极区域 15b 正下方的沟道层 4 设置第二体区 14b。

如现有技术, 如果在梯状源极区域 35 间选择地形成体区 34, 则在没有配置体区 34 的区域中, 沟道层 24 的杂质浓度低, 并产生电位降 (参照图 18)。

但是, 如本实施例, 在第二源极区域 15b 下方配置第二体区 14b, 则实际上不存在沟道层 4 的较低浓度的区域。由此, 可防止电位降造成的雪崩破

坏。

以前，源极区域、体区、及层间绝缘膜的形成中分别需要掩模，需要考虑三个掩模对准误差。但是，根据本实施例，可将层间绝缘膜 16 作为形成体区 14 的掩模使用。因此，不需要用于形成体区 14 的掩模，相应地更能充分实现对位精度。

第六工序（参照图 10）：在整个面上形成源极电极的工序。

为抑制硅粒，且防止尖峰（金属和硅衬底的相互扩散），形成由钛系材料构成的势垒金属层（未图示）。

然后，在整个面上例如喷溅 5000Å 程度膜厚的铝合金。然后，为稳定金属和硅表面，进行合金化热处理。该热处理在含有氢的气体中以 300~500℃（例如 400℃ 程度）的温度进行 30 分钟程度。由此，除去金属膜内的晶体变形，使界面稳定化。

源极电极 18 被构图为所希望的形状，另外，省略图示，设置作为钝化膜的 SiN 等。然后，为除去损伤，在 300~500℃（例如 400℃）下进行 30 分钟程度的热处理。

由此，形成从接触孔 CH 露出的分别与第一体区 14b 及第二源极区域 15b 接触的源极电极 18。即，体区 14 通过第一体区 14a 与源极电极 18 接触（图 10(A)），源极区域 15 通过第二源极区域 15b 与源极电极 18 接触（图 10(B)）。

而且，如图 10(B)，在与源极电极 18 接触的第二源极区域 15b 的正下方设有第二体区 14b。因此，在沟道层 4 表面附近，且在杂质浓度较低的区域形成第二体区 14b，故不会发生杂质浓度差造成的电位降，可防止雪崩破坏。

参照图 11~图 15 说明本发明的第二实施例。第二实施例是平面结构的 MOSFET 的情况。

图 11 是平面结构的 MOSFET 的剖面图。另外，平面图与图 1(A) 相同，图 11(A) 是图 1(A) 的 a-a 线剖面图，图 11(B) 是 b-b 线剖面图。但是，栅极电极 13 的构图宽度比图 1(A) 所示的宽度宽。

由栅极氧化膜 11 包覆沟道层 4 表面，在栅极氧化膜 11 上设置由多晶硅构成的栅极电极 13。如图 1(A)，栅极电极 13 在平面图案中为带状。

在沟道层 4 表面与栅极电极 13 相邻的位置设置作为高浓度 n 型杂质区域的源极区域 15。源极区域 15 具有第一源极区域 15a 和第二源极区域 15b

(图 11 (B))。体区 14 是与第一源极区域 15a 及栅极电极 13 平行配置的高浓度的 p 型杂质区域。体区 14 具有设于沟道层 4 表面的第一体区 14a 和被埋入沟道层 4 内部的第二体区 14b。由于第一源极区域 15a、第二源极区域 15b 及第一体区 14a、第二体区 14b 的图案与第一实施例相同, 故省略说明(参照图 1 (A))。

即, 在相当于图 1 (A) 的 a-a 线剖面的区域, 如图 11 (A), 在与栅极电极 13 邻接的沟道层 4 表面设置第一源极区域 15a。在相邻的两个第一源极区域 15a 间的沟道层 4 表面配置第一体区 14a, 其露出于沟道层 4 表面。

覆盖栅极电极 13 上部的层间绝缘膜 16 还覆盖到第一源极区域 15a。即, 在 a-a 剖面, 设于表面的源极电极 18 介由层间绝缘膜 16 间的接触孔 CH 仅与第一体区 14a 接触(图 11 (A))。

另一方面, 在图 1 (B) 的 b-b 线剖面, 如图 11 (B), 第二源极区域 15b 连结相邻的两个第一源极区域 15a, 在层间绝缘膜 16 间的接触孔 CH 露出。在第二源极区域 15b 下方配置第二体区 14b。第二体区 14b 被埋入沟道层 4 内, 没有露出在沟道层 4 表面。即, 在 b-b 线剖面, 源极电极 18 介由接触孔 CH 仅与第二源极区域 15b 接触。

参照图 12~图 15, 说明第二实施例的 MOSFET 的制造方法。另外, 在各图中, (A) 表示图 1 (A) 的 a-a 线剖面图, (B) 表示图 1 (A) 的 b-b 线剖面图。另外, 与第一实施例重复的记载省略详细说明。

第一工序~第四工序: 首先, 参照图 12, 在 n+ 型硅半导体衬底 1 上层积 n- 型外延层等, 准备作为漏极区域的衬底 10。在衬底 10 表面形成 p 型沟道层 4。将整个面热氧化, 在沟道层 4 表面形成对应阈值的膜厚的栅极氧化膜 11。在整个面上堆积多晶硅层, 设置掩模, 进行蚀刻。由此, 形成在平面图案中构图成带状的栅极电极 13。栅极电极 13 介由栅极氧化膜 11 与沟道层 4 接触。

设置通过抗蚀膜 PR 将形成源极区域的区域构图成梯状的掩模。即, 如图 12 (A), 在图 1 (A) 的 a-a 线剖面, 抗蚀膜 PR 中栅极电极 13 周围的第一源极区域的形成区域选择地开口。另外, 如图 12 (B), 在图 1 (A) 的 b-b 线剖面, 抗蚀膜 PR 中将第一源极区域及第二源极区域的形成区域开口, 以使相邻的栅极电极 13 间的沟道层 4 表面全部露出。

然后, 以注入能量 100keV、剂量 $5 \times 10^{15} \text{cm}^{-2}$ 程度离子注入砷作为 n 型

杂质，形成 n+ 型杂质区域 15'。

参照图 13，利用 CVD 法在整个面上堆积成为层间绝缘膜的 BPSG(Boron Phosphorus Silicate Glass) 等绝缘膜 16'。通过该成膜时的热处理（不到 1000 °C、60 分钟程度），使 n+ 型杂质区域 15' 扩散，形成第一源极区域 15a、第二源极区域 15b。

第五工序：如图 14，以新的抗蚀膜 PR 为掩模蚀刻绝缘膜 16'，至少残留包覆栅极电极 13 的层间绝缘膜 16，同时，形成露出体区形成区域的接触孔 CH。成为体区形成区域的掩模的开口部与栅极电极 13 平行地设置为带状。

以层间绝缘膜 16 为掩模，高加速离子注入 p 型杂质。以注入能量 100KeV 以上，剂量 10^{15}cm^{-2} 台程度进行离子注入，形成 p+ 型杂质区域 14'。

然后，如图 15，以 900°C 进行 30 分钟程度的热处理，使 p+ 型杂质区域 14' 扩散，形成在第一源极区域 15a 间的沟道层 4 表面露出的第一体区 14a。同时，在第二源极区域 15b 下方，形成被埋入沟道层 4 内的第二体区 14b。体区 14 使衬底电位稳定化。

然后，在整个面上形成势垒金属层（未图示），将铝合金喷溅为 5000Å 程度的膜厚。形成进行合金化热处理，构图成所希望形状的源极电极 18，得到图 11 所示的最终结构。

以上，在本发明的实施例中以 n 沟道型 MOSFET 为例进行了说明，而导电型相反的 p 沟道层 MOSFET 也同样可以实施。另外，不限于此，如在一导电型硅半导体衬底 1 下方配置了反向导电型半导体层的双极晶体管即 IGBT 等，只要是绝缘栅型半导体元件，则同样可以实施，并得到相同的效果。

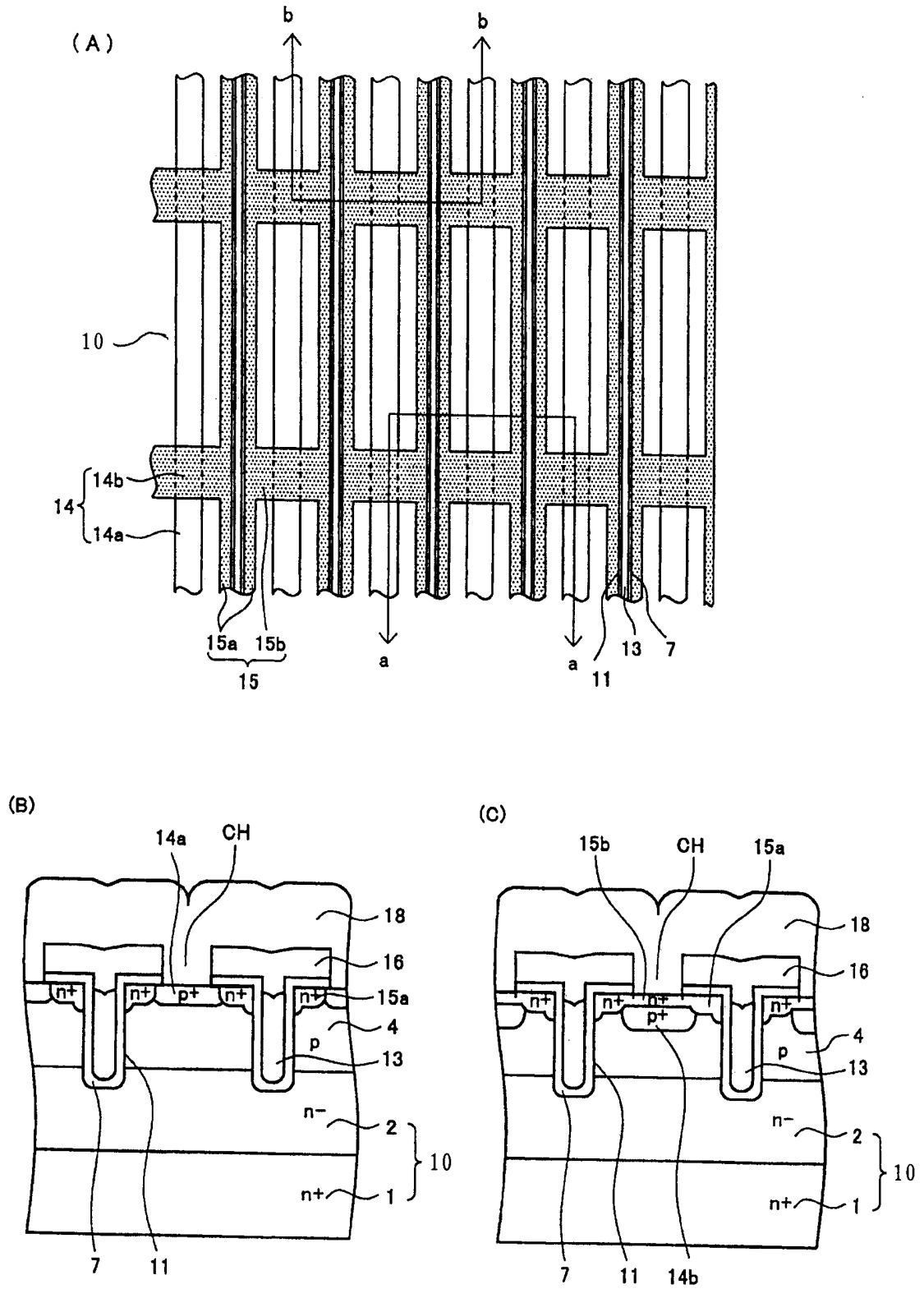


图 1

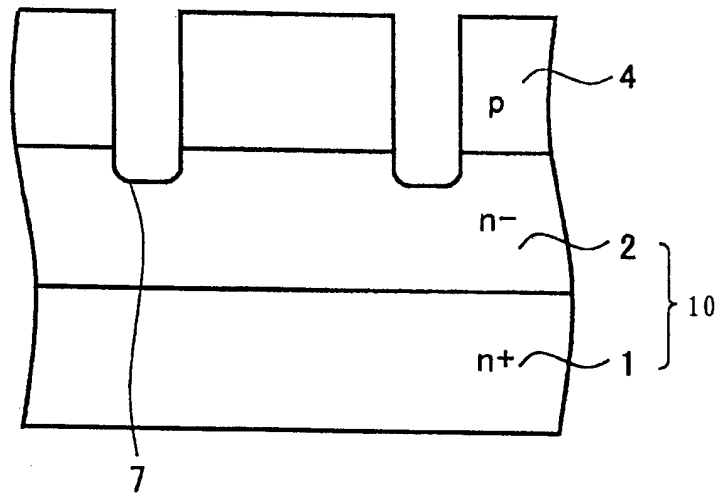


图 2

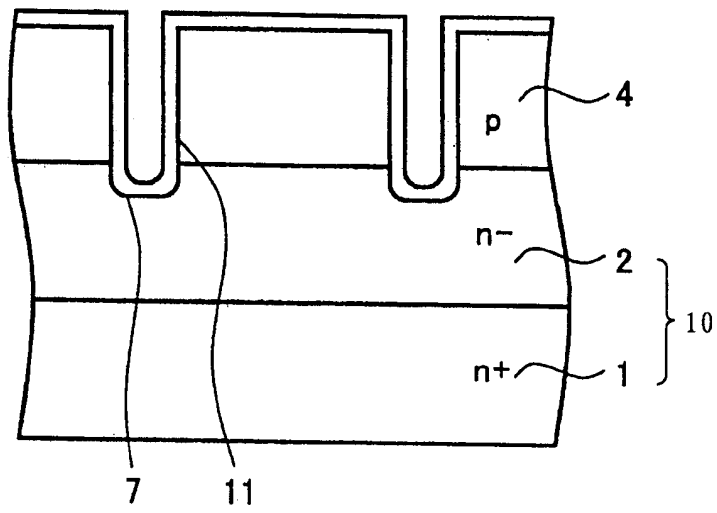


图 3

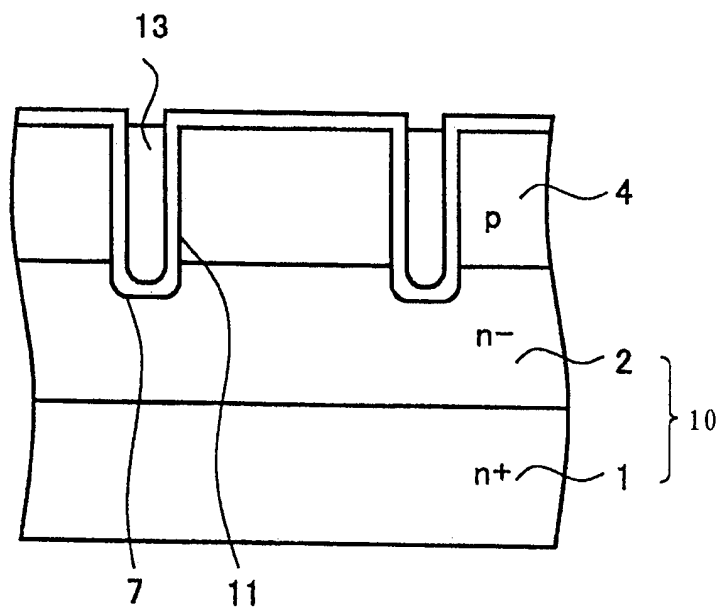


图 4

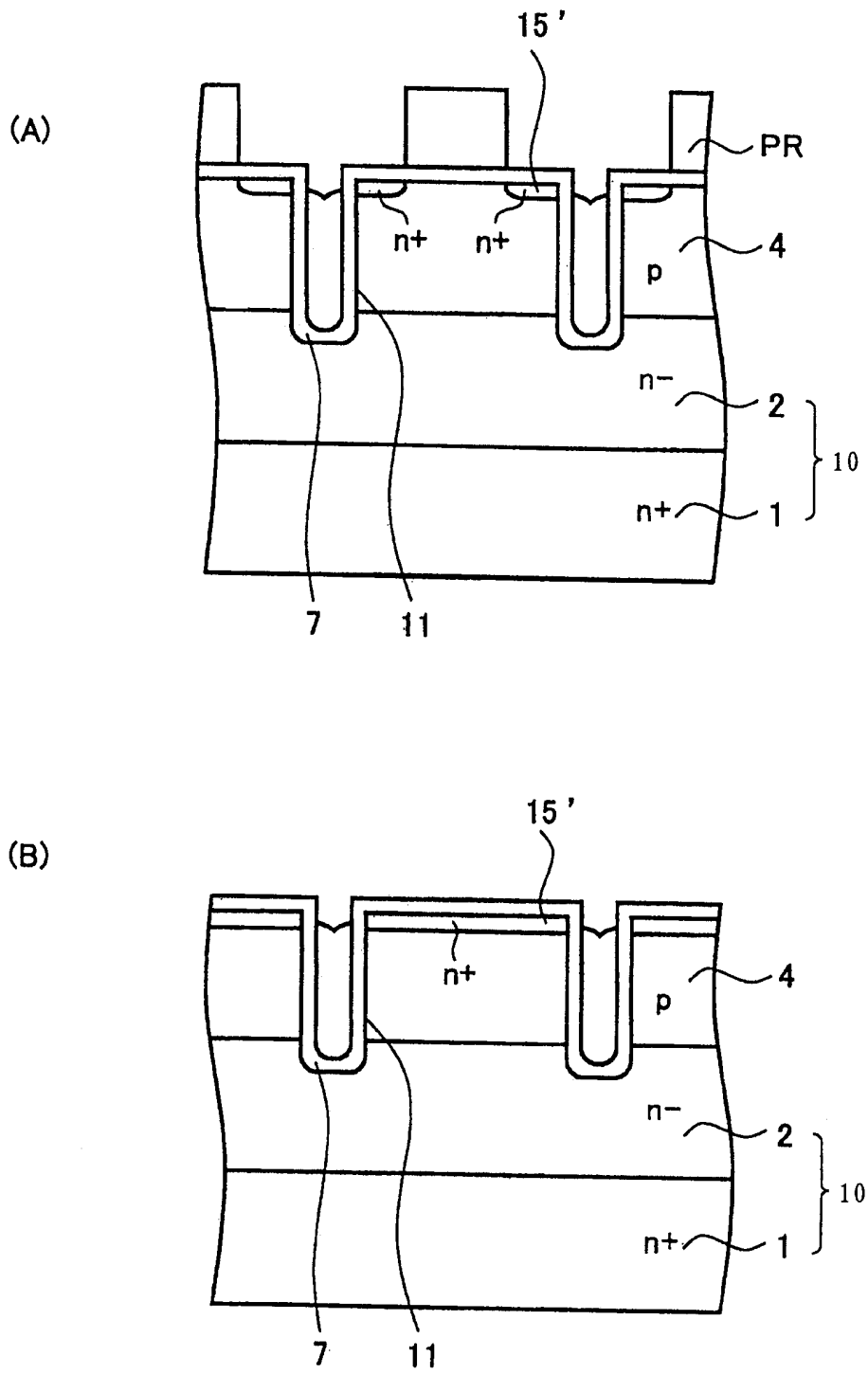
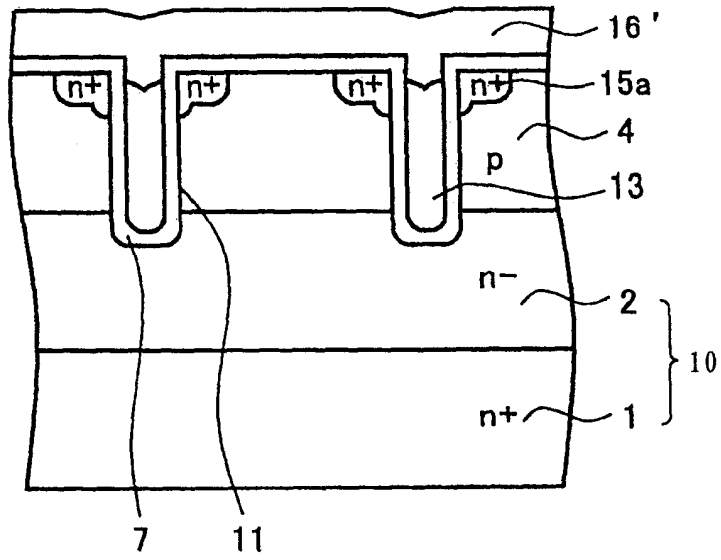


图 5

(A)



(B)

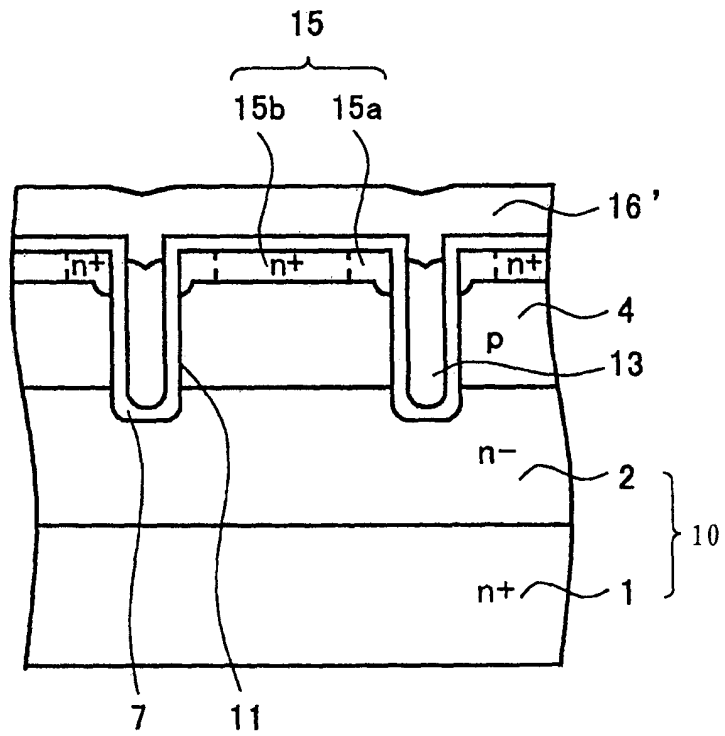


图 6

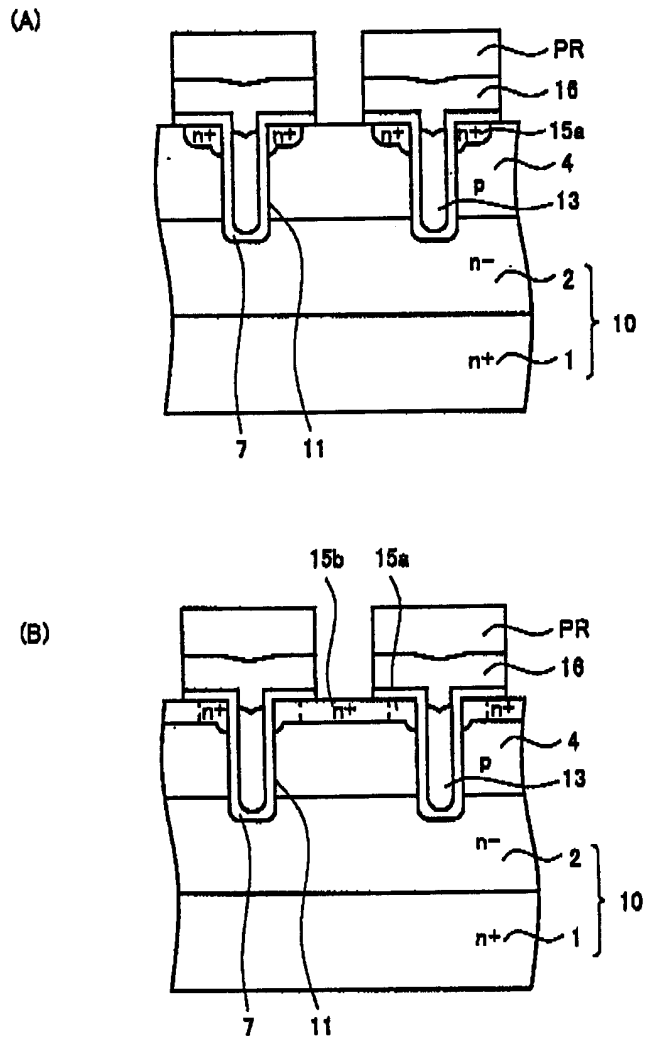
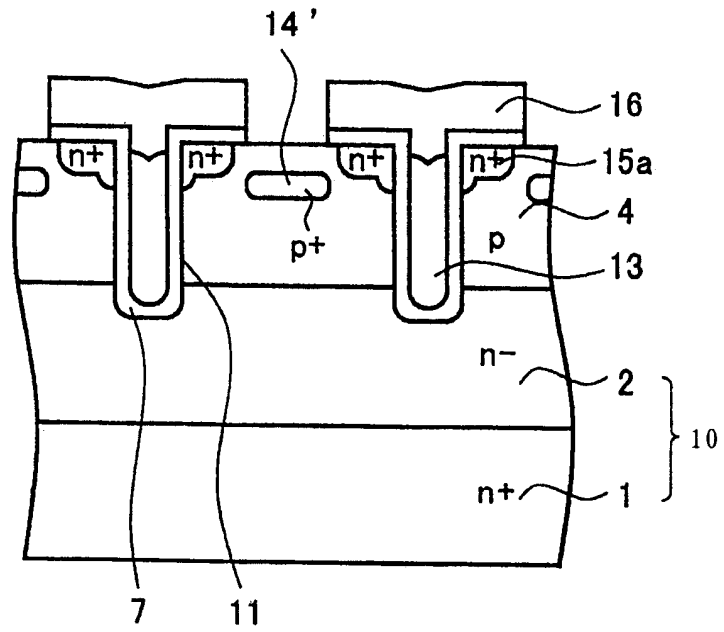


图 7

(A)



(B)

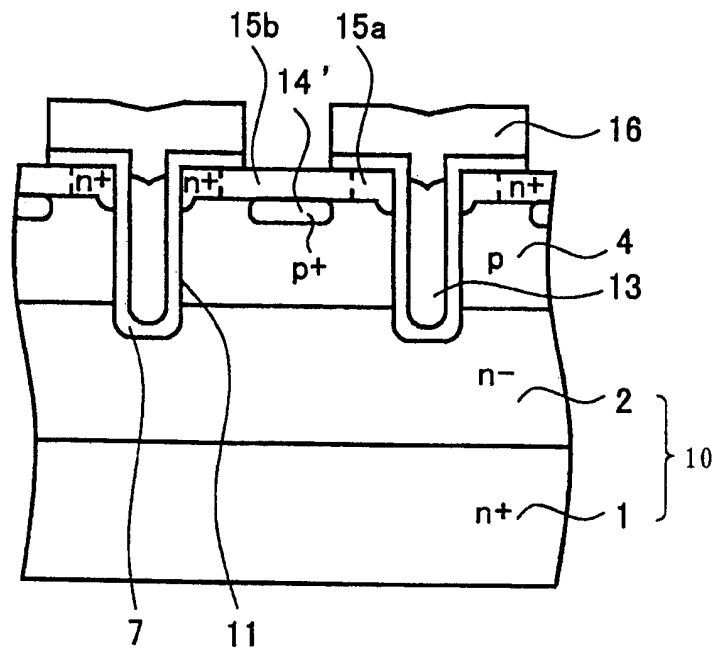


图 8

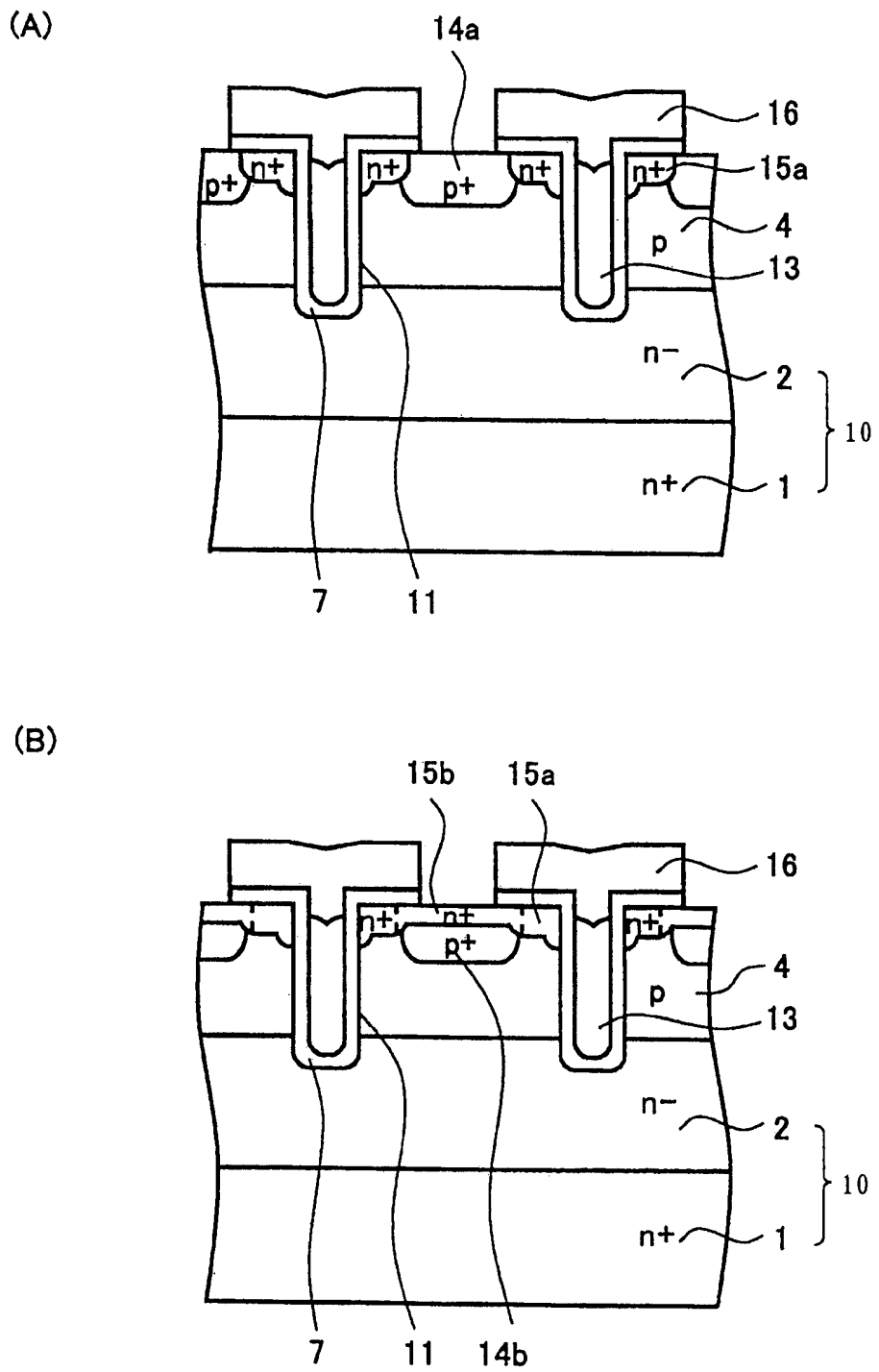


图 9

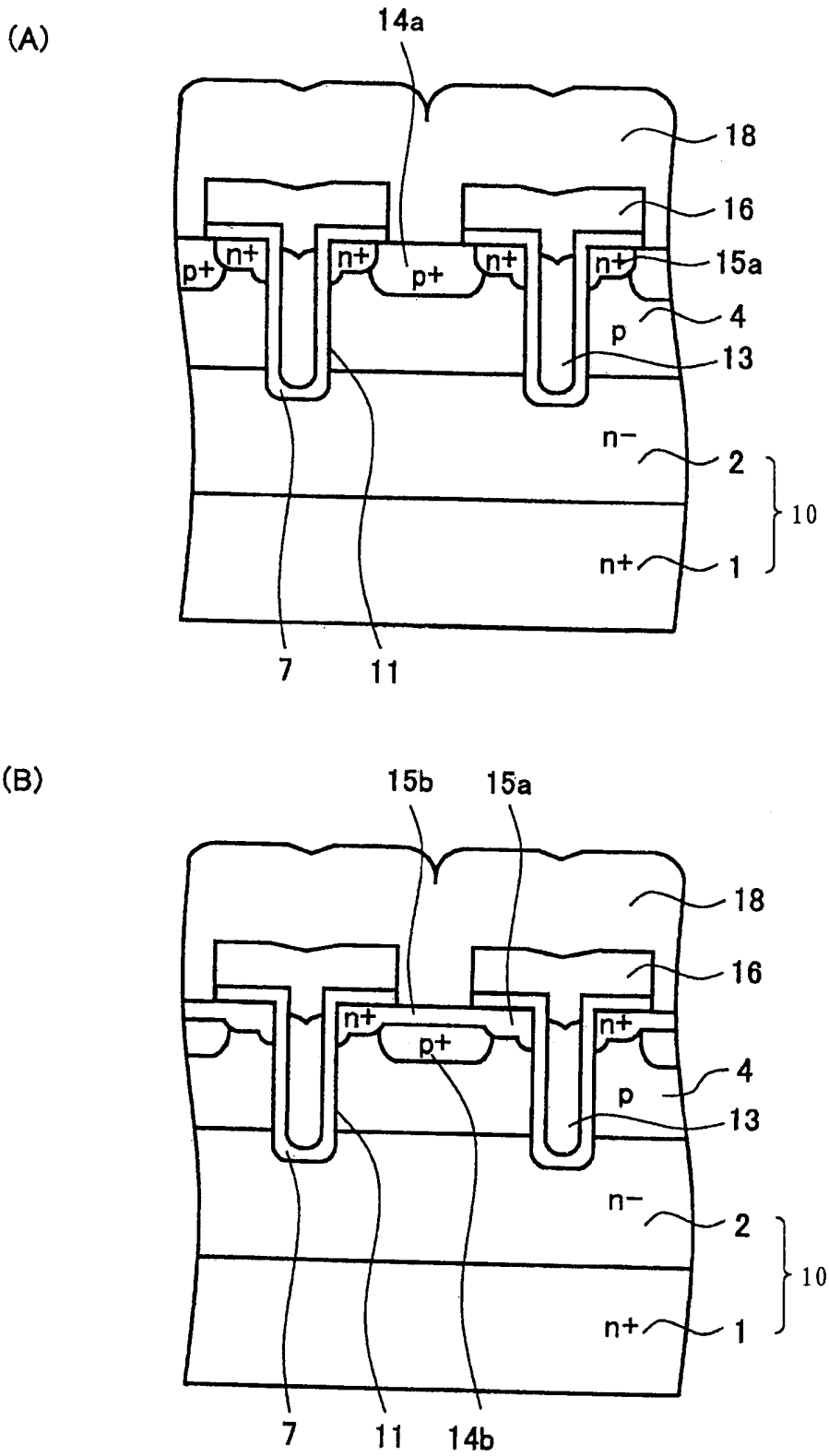


图 10

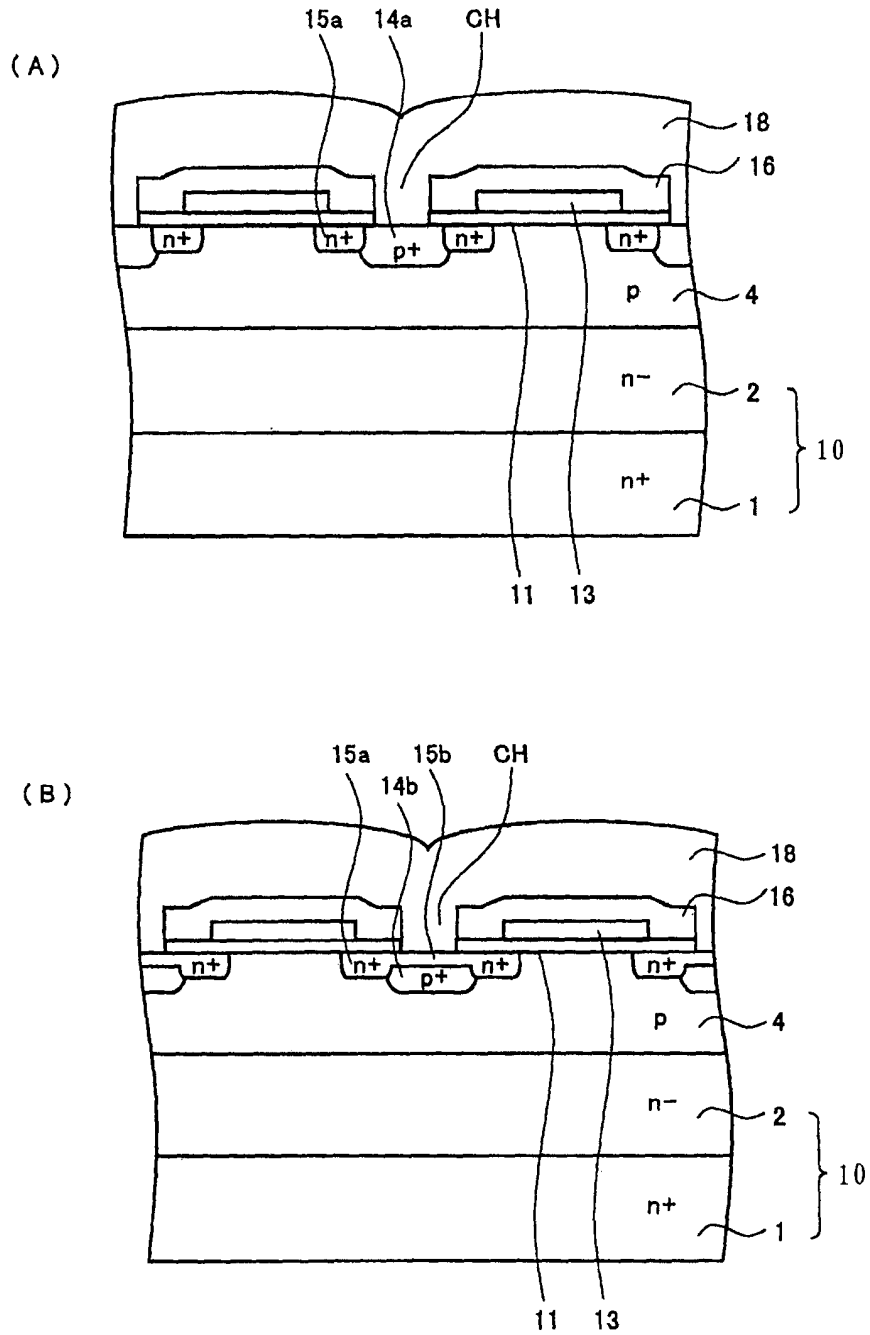


图 11

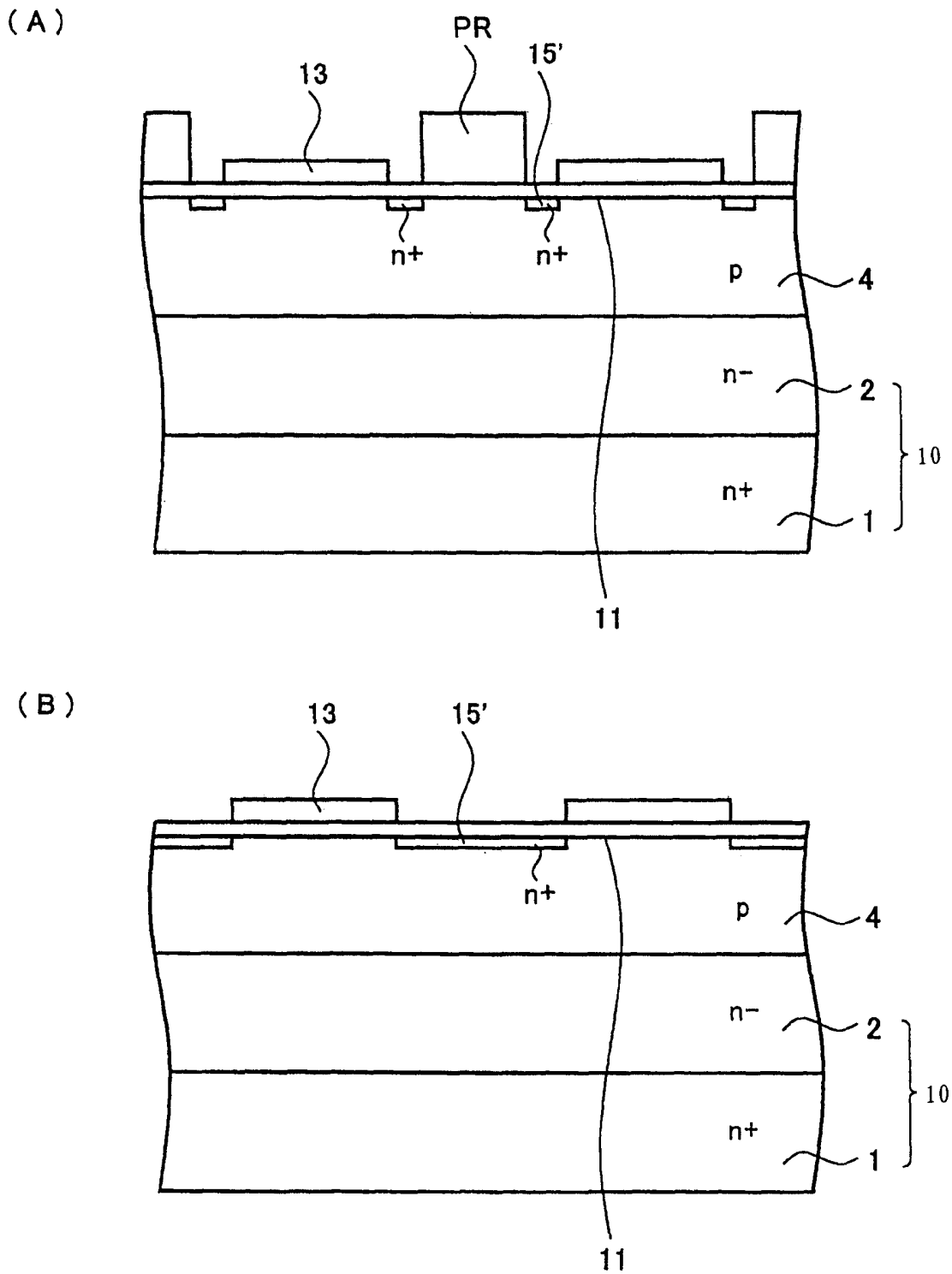


图 12

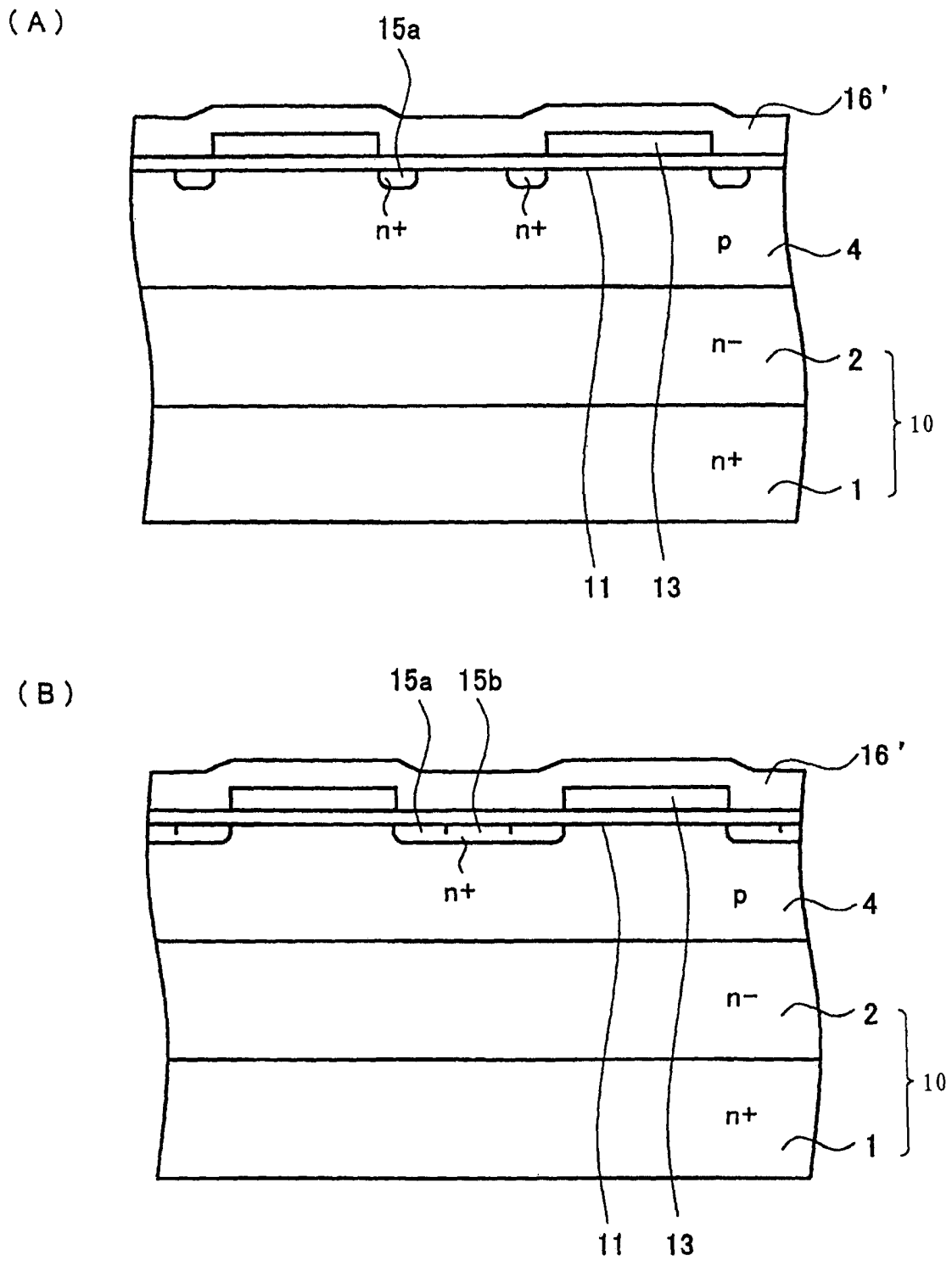


图 13

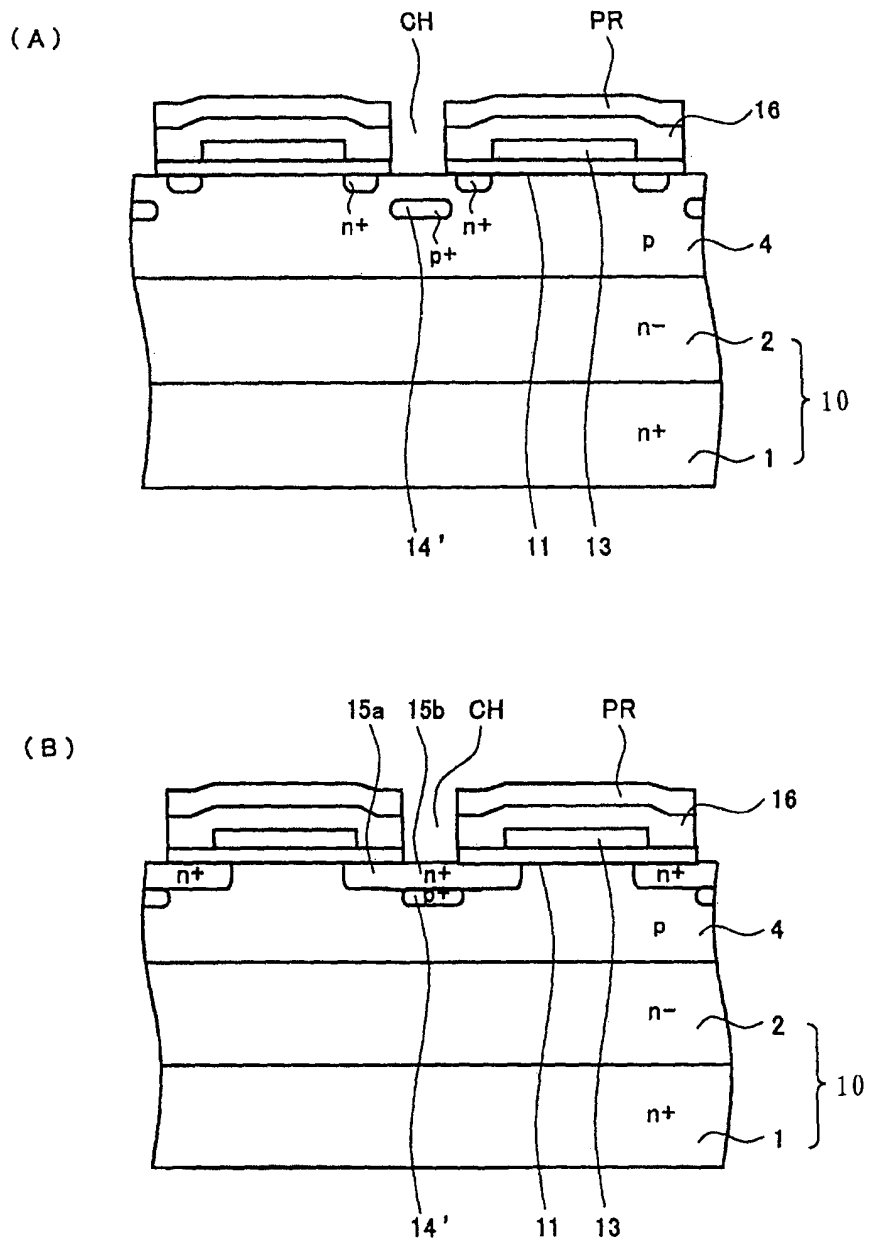
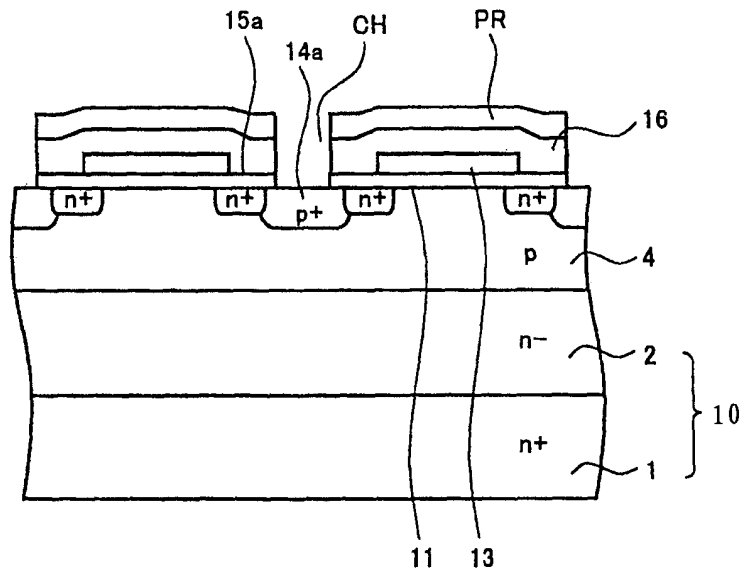


图 14

(A)



(B)

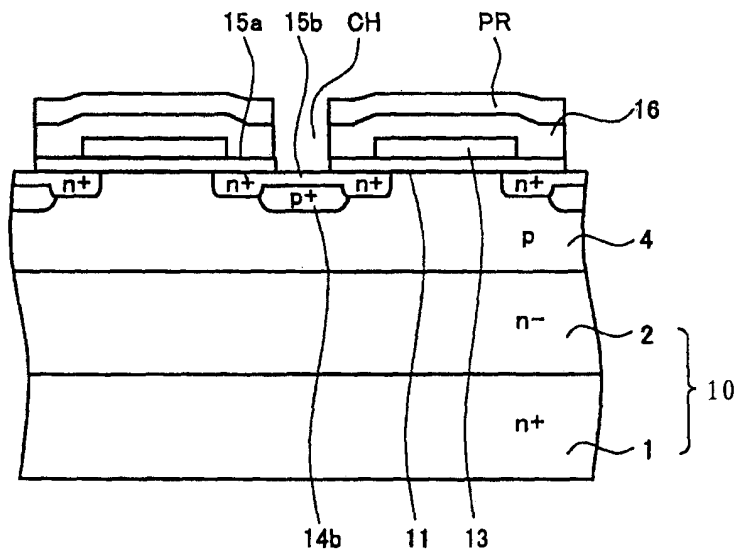


图 15

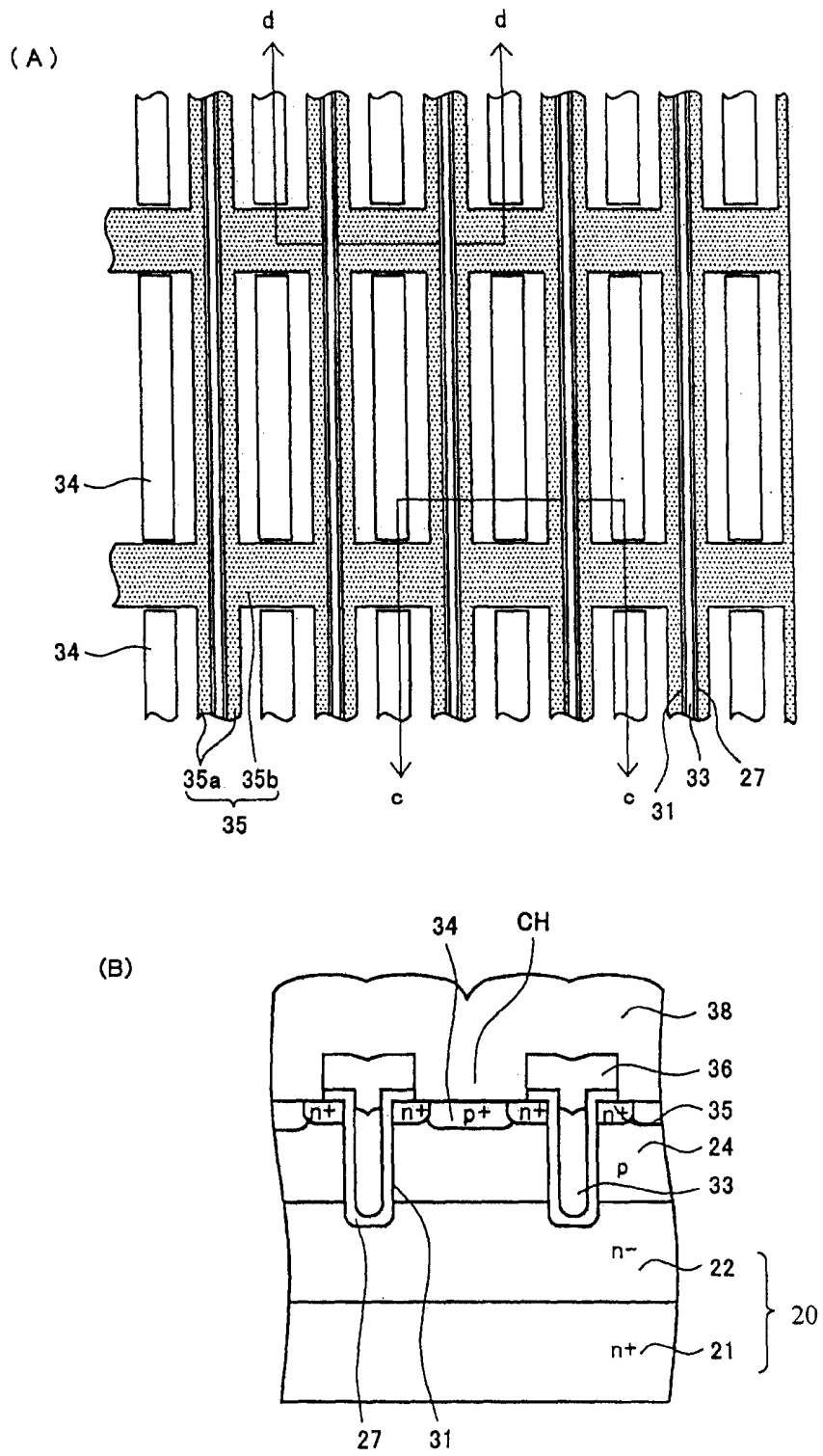


图 16

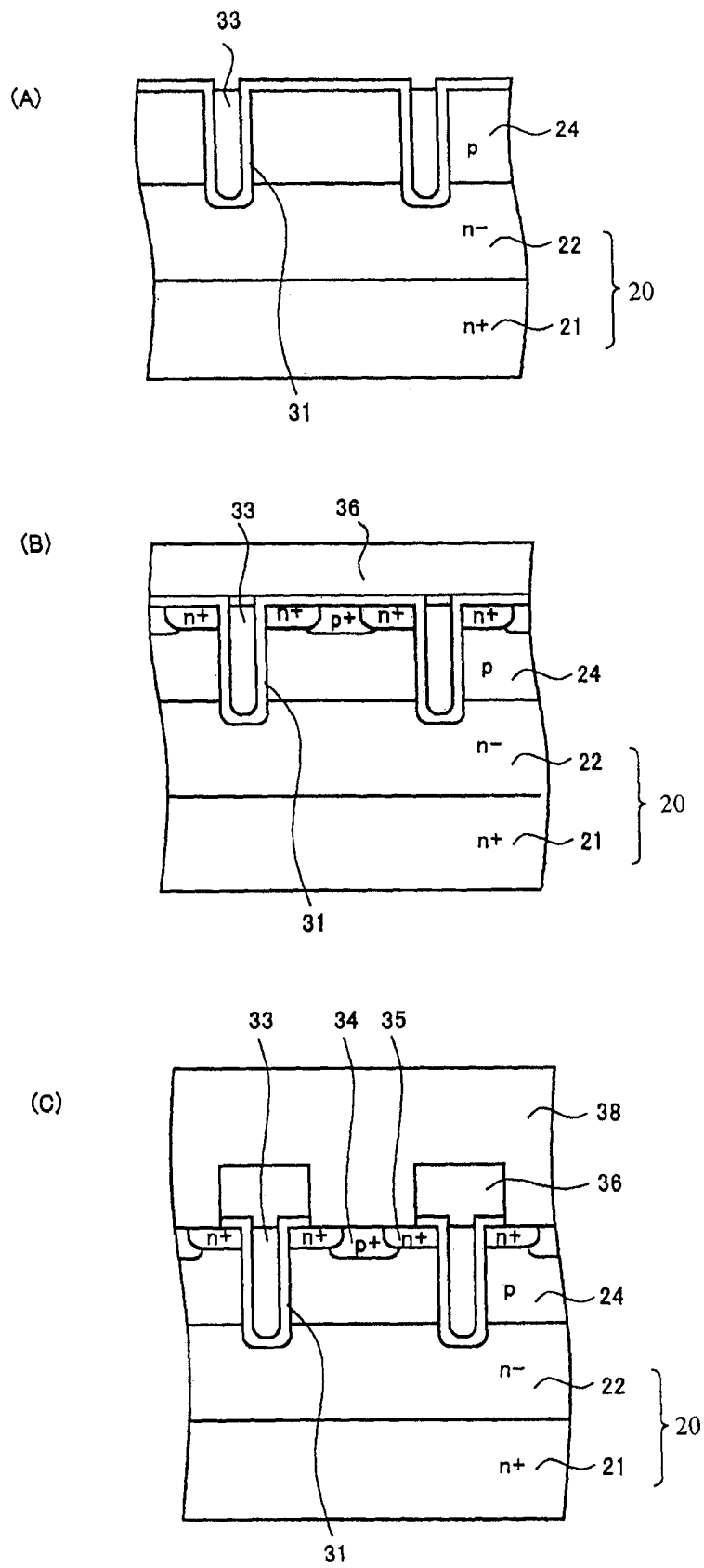


图 17

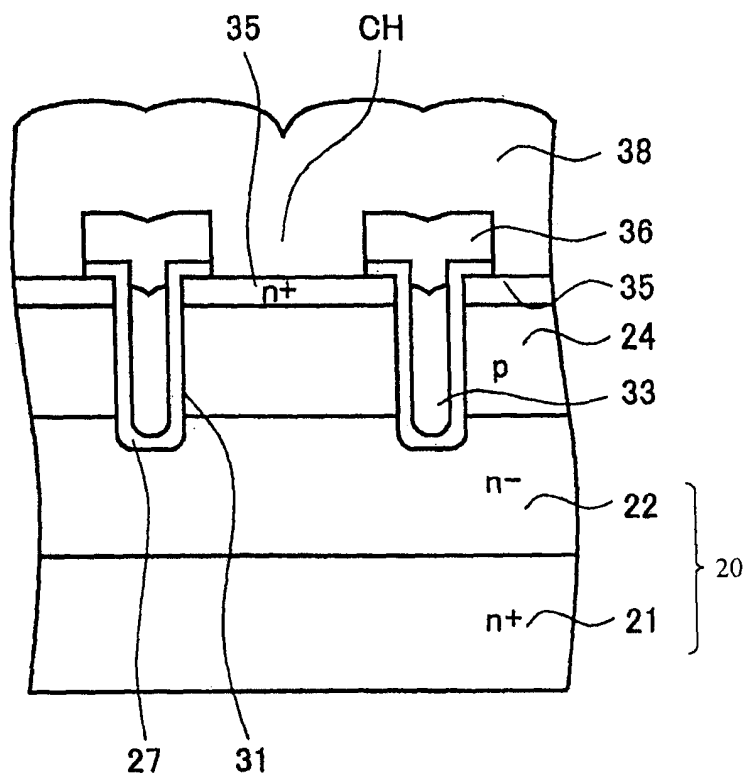


图 18