

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5215587号
(P5215587)

(45) 発行日 平成25年6月19日(2013.6.19)

(24) 登録日 平成25年3月8日(2013.3.8)

(51) Int. Cl.	F I
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 5 O 1 B
HO 1 L 23/28 (2006.01)	HO 1 L 23/12 5 O 1 T
	HO 1 L 23/28 F
	HO 1 L 23/12 5 O 1 W

請求項の数 4 (全 15 頁)

(21) 出願番号	特願2007-119772 (P2007-119772)	(73) 特許権者	308033711 ラピスセミコンダクタ株式会社 神奈川県横浜市港北区新横浜二丁目4番地8
(22) 出願日	平成19年4月27日(2007.4.27)	(73) 特許権者	390008855 ラピスセミコンダクタ宮崎株式会社 宮崎県宮崎市清武町木原727番地
(65) 公開番号	特開2008-277569 (P2008-277569A)	(74) 代理人	100079049 弁理士 中島 淳
(43) 公開日	平成20年11月13日(2008.11.13)	(74) 代理人	100084995 弁理士 加藤 和詳
審査請求日	平成22年3月19日(2010.3.19)	(74) 代理人	100085279 弁理士 西元 勝一
		(74) 代理人	100099025 弁理士 福田 浩志

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の両面電極パッケージが第2の両面電極パッケージ上に積層された半導体装置であって、

前記第1の両面電極パッケージが、

表面に第1の半導体チップの電極と電氣的に接続される第1の電極パッドが形成されると共に、裏面に前記第1の電極パッドと電氣的に接続された第1の外部接続パッドが形成された第1のパッケージ基板と、

前記第1のパッケージ基板の表面に載置され、前記電極が前記電極パッドに電氣的に接続された第1の半導体チップと、

前記第1のパッケージ基板の表面と平行で且つ研削により形成された研削表面を備え、前記第1の半導体チップを封止樹脂で封止する第1の封止樹脂層と、

前記第1の封止樹脂層を貫通するように形成され、一端が前記第1の電極パッドと電氣的に接続されると共に、他端が前記第1の封止樹脂層の表面に露出した柱状の第1の表面側端子と、

前記第1の封止樹脂層の研削表面に形成された再配線パッドと、

前記第1の封止樹脂層の研削表面に形成され、前記第1の表面側端子の他端と前記再配線パッドとを電氣的に接続する接続配線と、を含み、

前記第2の両面電極パッケージが、

表面に第2の半導体チップの電極と電氣的に接続される第2の電極パッドが形成される

と共に、裏面に前記第2の電極パッドと電氣的に接続された第2の外部接続パッドが形成された第2のパッケージ基板と、

前記第2のパッケージ基板の表面に載置され、前記電極が前記第2の電極パッドに電氣的に接続された第2の半導体チップと、

前記第2のパッケージ基板の表面と平行で且つ研削により形成された研削表面を備え、前記第2の半導体チップを封止樹脂で封止する第2の封止樹脂層と、

前記第2の封止樹脂層を貫通するように形成され、一端が前記第2の電極パッドと電氣的に接続されると共に、他端が前記第2の封止樹脂層の表面に露出し且つ前記端面の中央部が窪んだ凹面である柱状の第2の表面側端子と、

前記第2の封止樹脂層の表面に露出した前記第2の表面側端子の他端と前記第1の外部接続パッドとを電氣的に接続する接続端子と、を含む、

10

半導体装置。

【請求項2】

前記第2の表面側端子の他端の端面は、周辺部が前記封止樹脂層の表面と同じ高さであり且つ中央部がパッケージ基板側に窪んだ凹面であることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記第1の表面側端子が前記第1のパッケージ基板と一体に形成されていると共に、前記第2の表面側端子が前記第2のパッケージ基板と一体に形成されていることを特徴とする請求項1または請求項2に記載の半導体装置。

20

【請求項4】

前記第1の両面電極パッケージ及び第2の両面電極パッケージの各々は、フレーム基板からダイシングにより個片化されたものであり、ダイシングによる加工面を有することを特徴とする請求項1から請求項3までのいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に係り、特に、両面電極構造の半導体装置に関する。

【背景技術】

【0002】

30

近時、携帯電話など電子機器の小型化により、より実装密度の高い3次元パッケージ技術の開発が進められてきた。3次元パッケージ技術の中では、1つのパッケージ上に別のパッケージを積層するパッケージ・オン・パッケージ（POP）という方法が有望である。POPには、両面電極構造のパッケージ（両面電極パッケージ）が使用される。両面電極パッケージには、半導体チップと接続される内部配線と、パッケージ表面側の電極と内部配線とを接続する貫通電極と、パッケージ裏面側の電極と内部配線とを接続する貫通電極と、が必要である。

【0003】

従来、種々の構造の両面電極パッケージが提案されている。例えば、特許文献1には、樹脂封止型の両面電極パッケージが記載されている。この両面電極パッケージでは、半導体チップを封止した封止樹脂層に貫通電極を設け、この貫通電極を介して表面側の電極と内部配線とを接続している。

40

【0004】

また、特許文献2には、リードフレーム型の両面電極パッケージが記載されている。このパッケージでは、内部リードの一部を樹脂封止材の外部に露出させ、内部リードの表面及び裏面を外部電極としている。ここでは、内部リードが貫通電極の役割を果たしている。

【0005】

また、特許文献3には、ボール・グリッド・アレイ（BGA）型の両面電極パッケージが記載されている。このパッケージでは、パッケージ基板に段付き部を設け、この段付き部にワイヤボンディング用電極の端部を露出させ、パッケージ基板を貫通する貫通電極に

50

より、この端部と表面側又は裏面側の電極とを接続している。

【0006】

これら両面電極パッケージを高密度で実装するためには、個々のパッケージを薄型化する必要がある。例えば、特許文献3では、パッケージ基板に段付き部を設けると共に、パッケージ基板を裏面側から機械的に研削して、パッケージを薄型化している。

【特許文献1】特開2002-158312号公報

【特許文献2】特開2003-249604号公報

【特許文献3】特開2005-235824号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0007】

しかしながら、従来の両面電極パッケージの構造は、表面側の電極を任意のレイアウトで配置するものではなく、上下のパッケージを接続する融通性に欠けていた。また、封止樹脂層はトランスファー法により形成されているが、トランスファー法では、金型を用いてモールドを行うために、封止樹脂層を薄く形成することが難しかった。

【0008】

本発明は、上記事情に鑑み成されたものであり、薄く且つ簡易に製造でき、上側に積層されるパッケージとの接続を容易にした両面電極パッケージを提供することを目的とする。

【課題を解決するための手段】

20

【0009】

上記目的を達成するために本発明の半導体装置は、第1の両面電極パッケージが第2の両面電極パッケージ上に積層された半導体装置であって、前記第1の両面電極パッケージが、表面に第1の半導体チップの電極と電氣的に接続される第1の電極パッドが形成されると共に、裏面に前記第1の電極パッドと電氣的に接続された第1の外部接続パッドが形成された第1のパッケージ基板と、前記第1のパッケージ基板の表面に載置され、前記電極が前記電極パッドに電氣的に接続された第1の半導体チップと、前記第1のパッケージ基板の表面と平行で且つ研削により形成された研削表面を備え、前記第1の半導体チップを封止樹脂で封止する第1の封止樹脂層と、前記第1の封止樹脂層を貫通するように形成され、一端が前記第1の電極パッドと電氣的に接続されると共に、他端が前記第1の封止樹脂層の表面に露出した柱状の第1の表面側端子と、前記第1の封止樹脂層の研削表面に形成された再配線パッドと、前記第1の封止樹脂層の研削表面に形成され、前記第1の表面側端子の他端と前記再配線パッドとを電氣的に接続する接続配線と、を含み、前記第2の両面電極パッケージが、表面に第2の半導体チップの電極と電氣的に接続される第2の電極パッドが形成されると共に、裏面に前記第2の電極パッドと電氣的に接続された第2の外部接続パッドが形成された第2のパッケージ基板と、前記第2のパッケージ基板の表面に載置され、前記電極が前記第2の電極パッドに電氣的に接続された第2の半導体チップと、前記第2のパッケージ基板の表面と平行で且つ研削により形成された研削表面を備え、前記第2の半導体チップを封止樹脂で封止する第2の封止樹脂層と、前記第2の封止樹脂層を貫通するように形成され、一端が前記第2の電極パッドと電氣的に接続されると共に、他端が前記第2の封止樹脂層の表面に露出し且つ前記端面の中央部が窪んだ凹面である柱状の第2の表面側端子と、前記第2の封止樹脂層の表面に露出した前記第2の表面側端子の他端と前記第1の外部接続パッドとを電氣的に接続する接続端子と、を含むことを特徴とする。

30

40

【0013】

再配線パッドと接続配線とを更に含む半導体装置は以下の製造方法により製造することができる。即ち、上記半導体装置を製造する製造方法は、複数のパッケージ基板に分割されるフレーム基板に、パッケージ毎に、パッケージ基板の表面に半導体チップの電極と電氣的に接続される電極パッドと、パッケージ基板の裏面に前記電極パッドと電氣的に接続された外部接続パッドと、一端が前記電極パッドと電氣的に接続された柱状の表面側端子

50

とを、各々形成する工程と、パッケージ毎に、前記パッケージ基板の表面に前記半導体チップを載置し、前記電極を前記電極パッドに電氣的に接続する工程と、前記半導体チップを封止樹脂で封止するために、前記凹部と前記半導体チップとの隙間を埋めると共に、前記複数のパッケージ基板の表面と前記表面側端子とを覆うように封止樹脂を成形する工程と、成形された前記封止樹脂を前記表面側端子の他端が露出するまで研削して、前記パッケージ基板の表面と平行な研削表面を形成する工程と、前記研削表面に、パッケージ毎に、再配線パッドを形成すると共に、前記表面側端子の他端と前記再配線パッドとを電氣的に接続する接続配線を形成する工程と、前記半導体チップの各々がパッケージ毎に収納されると共に、前記電極パッド、前記外部接続パッド、前記表面側端子、前記封止樹脂層、前記再配線パッド、及び前記接続配線の各々がパッケージ毎に形成された前記フレーム基板をダイシングして、個々のパッケージに分割する工程と、を含むことを特徴とする。

10

【発明の効果】

【0014】

本発明によれば、薄く且つ簡易に製造することができ、上側に積層されるパッケージとの接続を容易にした両面電極パッケージを提供することができる、という効果がある。

【発明を実施するための最良の形態】

【0015】

以下、図面を参照して本発明の実施の形態の一例を詳細に説明する。

【0016】

<第1の実施の形態>

20

(両面電極パッケージ)

図1(A)は本発明の第1の実施の形態に係る両面電極パッケージの構成を示す概略断面図である。図1(B)は同じ両面電極パッケージを表面側から見た平面図である。図1(A)は図1(B)のA-A断面図である。

【0017】

第1の実施の形態に係る両面電極パッケージ10は、樹脂やセラミクスなどの絶縁体で構成された平板状のコア材16を備えている。コア材16の表面には、所定のパターンで配線20が形成されている。この配線20の端部が、LSIチップ等の半導体チップ44を接続するためのボンディングパッドとなる。コア材16には、コア材16を貫通するビア24が複数形成されている。各々のビア24内に、導電性材料26が充填されて、貫通電極28とされている。

30

【0018】

貫通電極28の一端はコア材16の表面に露出し、貫通電極28の他端はコア材16の裏面に露出している。コア材16の裏面には、貫通電極28の露出部を覆うように、外部接続用の電極パッド30が複数形成されている。また、コア材16の表面に露出した貫通電極28の一端は配線20に電氣的に接続され、コア材16の裏面に露出した貫通電極28の他端は電極パッド30に電氣的に接続されている。また、コア材16の裏面は、電極パッド30を残して、ソルダレジスト42で被覆されている。

【0019】

コア材16の表面には、半導体チップ44が配置されるチップ配置領域14(図2で点線で囲んだ領域)を四角く取り囲むように、円柱状の表面側端子36が複数形成されている。表面側端子36は、導電性材料で構成されている。チップ配置領域14は、平面視が矩形であり、そのサイズは半導体チップ44の平面サイズよりも大きい。表面側端子36は、配線20上にコア材16の表面に対し略垂直に立てられている。表面側端子36の高さは、0.1~0.3mm程度である。一般に、半導体チップ44の厚さは50~100μm程度である。表面側端子36の高さは、半導体チップ44の厚さの2倍~3倍程度にするのが好ましい。また、表面側端子36の一端は、配線20に電氣的に接続されている。

40

【0020】

図2(A)に示すように、配線20、貫通電極28、電極パッド30、表面側端子36

50

、及びソルダレジスト42が形成されたコア材16が、パッケージ基板12である。図2(B)はパッケージ基板12を表面側から見た平面図であり、図2(C)はパッケージ基板12を裏面側から見た平面図である。本実施の形態では、チップ配置領域14の周囲には、1つの半導体チップ44につき24本の表面側端子36が形成されている。また、本実施の形態では、パッケージ基板12の裏面には、49個の電極パッド30が形成されている。なお、表面側端子36の個数や電極パッド30の個数は、半導体チップ44の電極の数などに応じて、適宜変更することができる。

【0021】

LSIチップ等の半導体チップ44は、チップ配置領域14にフェイスダウンで配置されている。半導体チップ44の表面に形成された電極(図示せず)は、半田などの金属の bumps 68により、配線20と直接接続されている。即ち、半導体チップ44が、パッケージ基板12にフリップチップ接続されている。

10

【0022】

半導体チップ44は、封止樹脂50により封止されている。同様に、配線20及び bumps 68も、封止樹脂50により封止されている。封止樹脂50の表面は、後述する通り、半導体チップ44を覆うようにモールド形成された樹脂層を表面から研削(グランド)することで、表面側端子36の他端の端面36Aと同じ高さ(同一表面)とされている。封止樹脂50の表面は、研削により形成された研削面50Gである。図1(B)に示すように、この研削面50Gからは、複数の端面36Aが露出している。

【0023】

20

封止樹脂50の研削面50G上には、複数の再配線パッド52が形成されている。本実施の形態では、図1(B)に示すように、24個の再配線パッド52が、中央の1つを除いた5×5のマトリクス状に配置されている。なお、再配線パッド52の個数は、表面側端子36の本数などに応じて、適宜変更することができる。

【0024】

また、上述した通り、本実施の形態では、チップ配置領域14の周囲には24本の表面側端子36が形成され、研削面50Gからは24個の端面36Aが露出している。これら表面側端子36の端面36Aと再配線パッド52とを一对一で接続する配線54が形成されて、両面電極パッケージ10の表面で再配線が行われている。

【0025】

30

(両面電極パッケージの製造方法)

次に、上述した両面電極パッケージ10を製造する製造方法について説明する。図3～図8は第1の実施の形態に係る両面電極パッケージ10の製造工程を示す図である。この製造工程では、図3～図8に示すように、複数のパッケージ基板12が形成された単一の基板フレーム60が用いられる。この基板フレーム60上には、パッケージ基板毎に、両面電極パッケージの構造が形成される。最後に、基板フレーム60をダイシングすることにより、個々の両面電極パッケージに分割される。以下、両面電極パッケージ10の製造工程を、順を追って説明する。

【0026】

(基板フレームの準備工程)

40

まず、複数のパッケージ基板が形成された単一の基板フレームを用意する。

図3(A)及び(B)は基板フレームの準備工程を示す図である。図3(A)は基板フレームの部分断面図であり、図3(B)は基板フレームを表面側から見た平面図である。

【0027】

基板フレーム60には、複数のパッケージ基板12が形成されている。ここでは、図3(B)に示すように、基板フレーム60の一部を図示している。基板フレーム60の図示された部分には、16個のパッケージ基板12が4×4のマトリクス状に配置されている。なお、図3(A)には、2個のパッケージ基板12を含む部分のみを図示している。点線で囲んだ部分が、図2(A)～(C)に示す1個のパッケージ基板12に相当する。

【0028】

50

基板フレーム60は、平板状のコア材16と、コア材16に形成された配線20、貫通電極28、電極パッド30、表面側端子36、及びソルダレジスト42と、を備えている。複数の表面側端子36は、個々のパッケージ基板12のチップ配置領域14を取り囲むように四角く配置されている。換言すれば、複数の表面側端子36を枠状に配置することで、チップ配置領域14が形成されている。図3(B)に示す例では、基板フレーム60には、16個のチップ配置領域14が形成されている。

【0029】

コア材16やソルダレジスト42は、有機樹脂で構成することが好ましい。また、配線20、貫通電極28のビア24に充填される導電性材料26、電極パッド30、及び表面側端子36等の導電性部材は、銅(Cu)などの電気抵抗の低い導体で構成することが好ましい。

【0030】

(半導体チップの配置工程)

次に、個々のパッケージ基板12のチップ配置領域14に、半導体チップ44を配置する。図4(A)及び(B)は半導体チップの配置工程を示す図である。図4(A)は基板フレームの部分断面図であり、図4(B)は基板フレームを表面側から見た平面図である。ICチップやLSIチップなどの半導体チップ44は、同じ回路を複数形成した半導体ウェーハを、個々の回路に分割(ダイシング)して作製されている。半導体チップ44の表面には、図示はしていないが、複数の電極が設けられている。

【0031】

パッケージ基板12のチップ配置領域14に、半導体チップ44をフェイスダウンで配置する。半導体チップ44の表面に形成された電極(図示せず)を、バンプ68により、配線20に直接接続する。これにより、半導体チップ44はパッケージ基板12にフリップチップ接続される。同様にして、基板フレーム60のチップ配置領域14の各々に、半導体チップ44を固定する。

【0032】

(半導体チップの封止工程)

次に、半導体チップ44を封止樹脂により封止する。

図5(A)及び(B)は半導体チップの封止工程を示す図である。図5(A)は基板フレームの部分断面図であり、図5(B)は基板フレームを表面側から見た平面図である。

【0033】

封止樹脂による封止は、各々のチップ配置領域14に半導体チップ44が配置された基板フレーム60を、図示しないモールド金型にセットしてトランスファー法により行う。このモールド金型内に、封止樹脂を注入、充填することにより、基板フレーム60の表面を封止樹脂50Mで被覆する。

【0034】

複数のパッケージ基板12が形成された領域62(点線で示す)より広い範囲を、封止樹脂50Mで被覆する。封止樹脂としては、エポキシ樹脂を用いることができる。封止樹脂は、半導体チップ44と基板フレーム60との隙間を埋めるように充填される。また、表面側端子36が封止樹脂50Mで覆われるように、基板フレーム60の表面を封止樹脂50Mで被覆する。

【0035】

モールド終了後に、基板フレーム60をモールド金型から取り出して、封止工程が終了する。基板フレーム60の表面を封止樹脂50Mで被覆することで、半導体チップ44と共に、配線20及びバンプ68も同時に封止される。また、領域62より広い範囲を封止樹脂50Mで被覆することで、各々のチップ配置領域14に配置された半導体チップ44が一括して封止される。

【0036】

(封止樹脂の研削工程)

次に、封止樹脂50Mを表面側から研削する。

図6(A)及び(B)は封止樹脂の研削工程を示す図である。図6(A)は基板フレームの部分断面図であり、図6(B)は基板フレームを表面側から見た平面図である。

【0037】

基板フレーム60の表面を封止樹脂50Mで被覆した後に、グラインダー等の研削装置を用いて、表面側端子36の他端の端面36Aが露出するまで、封止樹脂50Mを表面側から研削(グラインド)する。封止樹脂50の表面には、表面側端子36の端面36Aと同じ高さ(同一表面)の研削面50Gが形成される。研削面50Gは、コア材16の表面に平行となる。この結果、図6(B)に示すように、封止樹脂50の研削面50Gには、複数の端面36Aが露出するようになる。

【0038】

従来のトランスファー法で薄い封止樹脂層を形成するためには、高度な金型作製技術が必要になる。これに対し、本発明では、モールドした封止樹脂50Mを表面側から研削することで、薄い封止樹脂層を形成し、両面電極パッケージの薄膜化を非常に簡易に実現することができる。また、基板フレーム60の表面は、表面側端子36の端面36Aを除いて封止樹脂50で一様に被覆されている。従って、基板フレーム60の表面が、熱膨張率や熱収縮率の異なる複数種類の樹脂で覆われている場合に比べて、樹脂の剥離が発生し難い。

【0039】

(再配線工程)

次に、封止樹脂50の研削面50G上で再配線を行う。

図7(A)及び(B)は再配線工程を示す図である。図7(A)は基板フレームの部分断面図であり、図7(B)は基板フレームを表面側から見た平面図である。

【0040】

封止樹脂50の研削面50G上に、金属ナノ粒子により、所定の再配線パターンで再配線パッド52と配線54とを形成する。本実施の形態では、表面側端子36の端面36Aと研削面50Gとが同じ高さ(同一表面)に形成されているので、再配線パターンの形成が容易である。また、研削面50Gは粗面であるため、再配線パッド52、配線54との接着性に優れている。

【0041】

本実施の形態では、図2(B)に示すように、1つのチップ配置領域14を四角く取り囲み、一辺に7個の端面36Aが並ぶように24本の表面側端子36が配置されている。例えば、図1(B)に示すように、端面36Aの個数に応じて、1つのチップ配置領域14に付き、24個の再配線パッド52を研削面50G上に形成することができる。

【0042】

再配線パッド52は、上側に積層されるパッケージとの接続が容易になるように、研削面50G上に任意のレイアウトで配置(再配線)することができる。例えば、図1(B)に示す再配線パターンでは、24個の再配線パッド52は、中央の1つを除いた5×5のマトリクス状に配列されている。図1(B)に示すように、配線54は、これら端面36Aと再配線パッド52とを一对一で接続するように形成される。

【0043】

金属ナノ粒子は、粒径が1~100nm程度の金属粒子である。金属ナノ粒子としては、例えば、銅ナノ粒子を用いることができる。また、再配線パターンは、金属ナノ粒子を含むインクを用いたインクジェット・プリントや、金属ナノ粒子を含むペーストを用いたスクリーン印刷により形成することができる。金属ナノ粒子を含むインクやペーストを用いた場合には、再配線パターンを形成した後に、原子状水素を用いた還元を実施して、有機溶媒等による汚れや酸化物を除去する。

【0044】

(ダイシング工程)

最後に、基板フレーム60をダイシングして各パッケージを個片化する。

図8(A)及び(B)はダイシング工程を示す図である。図8(A)は基板フレームの

10

20

30

40

50

部分断面図であり、図 8 (B) は基板フレームを表面側から見た平面図である。

【 0 0 4 5 】

基板フレーム 6 0 上には、複数のパッケージ構造 6 4 が形成されている。本実施の形態では、図 8 (B) に示すように、基板フレーム 6 0 の図示された部分には、1 6 個の両面電極パッケージ構造 6 4 が 4 × 4 のマトリクス状に配置されている。図示しないブレードを矢印方向に移動させて、基板フレーム 6 0 を基盤目状にソーカットして、両面電極パッケージ構造 6 4 の各々を個片化する。これにより、両面電極パッケージ 1 0 が完成する。また、ソーカットにより、ブレードの通過領域 6 6 の基板フレーム 6 0 が切除される。ブレードとしては、ダイヤモンドブレード等を用いることができる。

【 0 0 4 6 】

以上説明した通り、本実施の形態によれば、ザグリ加工した基板フレームなどを予め用意する必要がなく、半導体チップをモールド封止した封止樹脂を表面側から研削することで、両面電極パッケージの薄膜化を非常に簡易に実現することができる。

【 0 0 4 7 】

また、再配線パッドを任意のレイアウトで配置（再配線）することができるので、上側に積層されるパッケージとの接続が容易になる。また、表面側端子の端面と研削面とが同じ高さ（同一表面）に形成されているので、再配線パターンの形成が容易である。

【 0 0 4 8 】

また、研削面は粗面であり、再配線パターンとの接着性に優れている。このため、再配線パターンの剥離による断線が発生し難い。

【 0 0 4 9 】

また、パッケージ基板の表面が 1 種類の樹脂（封止樹脂）で被覆されているので、基板実装時のリフロー（半田付け）等の熱による樹脂の剥離を防止することができる。これにより、パッケージ内部への水分の浸入や、再配線パターンの剥離による断線を防止することができる。

【 0 0 5 0 】

< 第 2 の実施の形態 >

上記の第 1 の実施の形態では、両面電極パッケージの表面に再配線パターンを形成しているが、第 2 の実施の形態では、両面電極パッケージの表面に、上側のパッケージとバンブ接続するためのバンブ接続部を設けている。その他の構成は第 1 の実施の形態と略同じであるため、同じ構成部分には同じ符号を付して説明を省略する。

【 0 0 5 1 】

（両面電極パッケージ）

図 9 (A) は本発明の第 2 の実施の形態に係る両面電極パッケージの構成を示す概略断面図である。図 9 (B) は表面側端子の端部周辺（点線で囲んだ部分 1 8 ）の部分拡大図である。

【 0 0 5 2 】

第 2 の実施の形態に係る両面電極パッケージ 1 0 A は、第 1 の実施の形態と略同じ構造のパッケージ基板 1 2 を備えている。パッケージ基板 1 2 は、上述したように、配線 2 0、貫通電極 2 8、電極パッド 3 0、表面側端子 3 6、及びソルダレジスト 4 2 が形成されたコア材 1 6 を備えている。第 1 の実施の形態と違って、表面側端子 3 6 の端部は、凹状に形成された端面 3 6 B とされている。即ち、表面側端子 3 6 の端面 3 6 B は、中央が下に凸状に窪んだ凹面である。

【 0 0 5 3 】

また、半導体チップ 4 4 は、チップ配置領域 1 4 にフェイスダウンで配置され、パッケージ基板 1 2 にフリップチップ接続されている。半導体チップ 4 4 は、封止樹脂 5 0 により封止されている。封止樹脂 5 0 の表面は、半導体チップ 4 4 を覆うようにモールド形成された樹脂層を表面から研削（グランド）することで、表面側端子 3 6 の他端の一番高い部分と同じ高さとしてされている。封止樹脂 5 0 の表面は、研削により形成された研削面 5 0 G である。研削面 5 0 G は、コア材 1 6 の表面に平行となる。凹状に形成された表面側

10

20

30

40

50

端子 36 の端面 36 B は、封止樹脂 50 の研削面 50 G に露出している。このため、封止樹脂 50 の研削面 50 G には、複数の凹部が形成されている。

【 0054 】

図 9 (B) に示すように、表面側端子 36 の凹状に形成された端面 36 B には、半田ペースト 46 などを保持し易くなり、端面 36 B 上に更に接続端子を形成することが容易になる。例えば、端面 36 B 上に半田ペーストを塗布して L G A (Land Grid Array) 型パッケージとしてもよく、端面 36 B 上に半田ボールを設けて B G A (Ball Grid Array) 型パッケージとしてもよい。

【 0055 】

(両面電極パッケージの製造方法)

次に、上述した両面電極パッケージ 10 A の製造方法について説明する。第 2 の実施の形態に係る両面電極パッケージ 10 A は、端面 36 A を凹状に加工して端面 36 B を形成する以外は、第 1 の実施の形態と同様に作製することができるので、封止工程以前の工程については説明を省略する。

【 0056 】

(封止樹脂の研削工程)

図 6 (A) 及び (B) と同様にして、基板フレーム 60 の表面を封止樹脂 50 M で被覆した後に、グラインダー等の研削装置を用いて、表面側端子 36 の他端の端面 36 A が露出するまで、封止樹脂 50 M を表面側から研削 (グラインド) する。封止樹脂 50 の表面には、表面側端子 36 の端面 36 A と同じ高さ (同一表面) の研削面 50 G が形成される。図 6 (B) に示すように、封止樹脂 50 の研削面 50 G には、複数の端面 36 A が露出するようになる。

【 0057 】

(凹部の形成工程)

次に、表面側端子 36 の端面 36 A を凹状に加工する。

図 6 (B) に示すように、封止樹脂 50 の研削面 50 G には、複数の端面 36 A が露出している。これを表面側からエッチング処理して、端面 36 A を凹状に加工する。こうして、凹状の端面 36 B が形成される。

【 0058 】

(ダイシング工程)

最後に、基板フレーム 60 をダイシングして各パッケージを個片化する。これにより、両面電極パッケージ 10 A が完成する。

【 0059 】

以上説明した通り、本実施の形態によれば、ザグリ加工した基板フレームなどを予め用意する必要がなく、半導体チップをモールド封止した封止樹脂を表面側から研削することで、両面電極パッケージの薄膜化を非常に簡易に実現することができる。

【 0060 】

また、表面側端子の凹状に形成された端面には、半田ペーストなどを保持し易く、端面上に更に半田ボールなどの接続端子を容易に形成することができる。

【 0061 】

また、パッケージ基板の表面が 1 種類の樹脂 (封止樹脂) で被覆されているので、基板実装時のリフロー (半田付け) 等の熱による樹脂の剥離を防止することができる。

【 0062 】

< 第 3 の実施の形態 >

第 3 の実施の形態として、2 個の両面電極パッケージを積層してマザーボード上に実装した POP モジュールの一例を示す。両面電極パッケージの構成などは、第 1 及び第 2 の実施の形態と同じであるため、同じ構成部分には同じ符号を付して説明を省略する。

【 0063 】

(POP モジュール)

図 10 は本発明の第 3 の実施の形態に係る POP モジュールの構成を示す概略断面図で

10

20

30

40

50

ある。第3の実施の形態に係るPOPモジュール22は、マザーボード32と、両面電極パッケージ10Aと、両面電極パッケージ10と、で構成されている。

【0064】

マザーボード32の表面には、複数の接続パッド34が形成されている。マザーボード32上には、両面電極パッケージ10Aが積層されている。両面電極パッケージ10Aの裏面側の電極パッド30は、半田ボール38を介して、マザーボード32表面の接続パッド34に電氣的に接続されている。両面電極パッケージ10A上には、別の両面電極パッケージ10が積層されている。電極パッケージ10Aの表面には、表面側端子36の凹状に形成された端面36Bが露出している。両面電極パッケージ10の裏面側の電極パッド30は、半田ボール40を介して、両面電極パッケージ10Aの表面に露出した端面36Bに電氣的に接続されている。

10

【0065】

(パッケージ積層工程)

両面電極パッケージ10Aの裏面側の電極パッド30に、半田ボール38を溶接する。また、両面電極パッケージ10Aの表面に露出した端面36Bに、半田ペースト(図示せず)を塗布し、この半田ペーストを介して半田ボール40を溶接する。両面電極パッケージ10Aには、半田ボール38、40が外部端子として形成される。両面電極パッケージ10Aの半田ボール38をマザーボード32表面の接続パッド34に圧接し、半田ボール40を両面電極パッケージ10の裏面側の電極パッド30に圧接する。これにより、マザーボード32上に、両面電極パッケージ10A及び両面電極パッケージ10が実装され、POPモジュール22が完成する。

20

【0066】

以上説明した通り、本実施の形態によれば、表面側端子36の端面36Bが凹状に形成されているので、半田ペーストを保持し易く、半田ペーストを介して半田ボール(接続端子)を形成しやすい。従って、別のパッケージとの接続性が向上し、両面電極パッケージのPOP実装が容易になる。

【0067】

(変形例)

以下、変形例について説明する。

【0068】

上記の第1の実施の形態では、両面電極パッケージの表面に再配線パッドが形成され、両面電極パッケージの裏面に電極パッドが形成される例について説明したが、これらパッド上に更に接続端子を形成することができる。例えば、パッド上に半田ペーストを塗布してLGA(Land Grid Array)型パッケージとしてもよく、パッド上に半田ボールを設けてBGA(Ball Grid Array)型パッケージとしてもよい。

30

【0069】

また、上記の第3の実施の形態では、両面電極パッケージの電極パッド上に半田ボールを設けてBGA型パッケージとする例について説明したが、電極パッド上に半田ペーストを塗布してLGA型パッケージとすることもできる。LGA型パッケージでは、半田ペーストのスクリーン印刷により、外部端子として半田バンプを形成して、パッケージの薄型化を図ることができる。

40

【0070】

また、上記の第1～第3の実施の形態では、パッケージ基板を、絶縁体で構成された平板状のコア材、配線、貫通電極、電極パッド、表面側端子、及びソルダレジストで構成する例について説明したが、パッケージ基板を、多層配線した多層有機基板で構成することもできる。多層有機基板は、複数層(例えば、2層～4層)からなる樹脂基板の各層にそれぞれ配線パターンを形成し、必要に応じて各層の配線パターンを接続するためのビアホールを形成したものである。このビアホールの内部には導体層が形成され、この導体層が下面側に形成された端面電極部であるランドと接続されている。

【0071】

50

また、上記の第1～第3の実施の形態では、1つの両面電極パッケージに1つの半導体チップを収容する例について説明したが、1つの両面電極パッケージに複数の半導体チップを収容することもできる。

【0072】

また、上記の第1～第3の実施の形態では、半導体チップをフリップチップ接続しているが、金属ワイヤを用いてワイヤボンダ接続してもよい。

【0073】

また、上記の第1～第3の実施の形態では、両面電極パッケージ表面のソルダレジストは省略したが、両面電極パッケージの表面をソルダレジストで被覆することができる。

【0074】

また、上記の第1～第3の実施の形態では、表面側端子の形状を円柱状としたが、角柱状の表面側端子を用いることもできる。柱状の表面側端子を基板（コア材）表面に平行な面で切断したときの切断面の外周形状は、円、楕円、長円等の円形、四角形（正方形、長方形、平行四辺形、ひし形）、五角形、六角形、七角形、八角形等の多角形でもよい。

【図面の簡単な説明】

【0075】

【図1】（A）は本発明の第1の実施の形態に係る両面電極パッケージの構成を示す概略断面図である。（B）は同じ両面電極パッケージを表面側から見た平面図である。

【図2】（A）はパッケージ基板の断面図であり、（B）はパッケージ基板を表面側から見た平面図であり、（C）はパッケージ基板を裏面側から見た平面図である。

【図3】（A）及び（B）は基板フレームの準備工程を示す図である。（A）は基板フレームの部分断面図であり、（B）は基板フレームを表面側から見た平面図である。

【図4】（A）及び（B）は半導体チップの配置工程を示す図である。（A）は基板フレームの部分断面図であり、（B）は基板フレームを表面側から見た平面図である。

【図5】（A）及び（B）は半導体チップの封止工程を示す図である。（A）は基板フレームの部分断面図であり、（B）は基板フレームを表面側から見た平面図である。

【図6】（A）及び（B）は封止樹脂の研削工程を示す図である。（A）は基板フレームの部分断面図であり、（B）は基板フレームを表面側から見た平面図である。

【図7】（A）及び（B）は再配線工程を示す図である。（A）は基板フレームの部分断面図であり、（B）は基板フレームを表面側から見た平面図である。

【図8】（A）及び（B）はダイシング工程を示す図である。（A）は基板フレームの部分断面図であり、（B）は基板フレームを表面側から見た平面図である。

【図9】（A）は本発明の第2の実施の形態に係る両面電極パッケージの構成を示す概略断面図である。（B）は表面側端子の端部周囲（点線で囲んだ部分）の部分拡大図である。

【図10】本発明の第3の実施の形態に係るPOPモジュールの構成を示す概略断面図である。

【符号の説明】

【0076】

10 両面電極パッケージ

10A 両面電極パッケージ

12 パッケージ基板

14 チップ配置領域

16 コア材

18 部分

19 平成

20 配線

22 モジュール

24 ピア

26 導電性材料

10

20

30

40

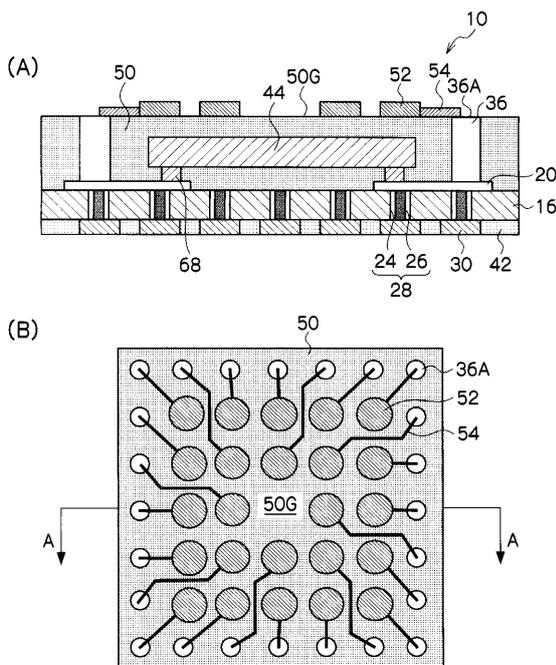
50

- 2 8 貫通電極
- 3 0 電極パッド
- 3 2 マザーボード
- 3 4 接続パッド
- 3 6 表面側端子
- 3 6 A 端面
- 3 6 B 端面
- 3 8 半田ボール
- 4 0 半田ボール
- 4 2 ソルダレジスト
- 4 4 半導体チップ
- 4 6 半田ペースト
- 5 0 封止樹脂
- 5 0 M 封止樹脂
- 5 0 G 研削面
- 5 2 再配線パッド
- 5 4 配線
- 6 0 基板フレーム
- 6 2 領域
- 6 4 パッケージ構造
- 6 4 両面電極パッケージ構造
- 6 6 通過領域
- 6 8 パンプ

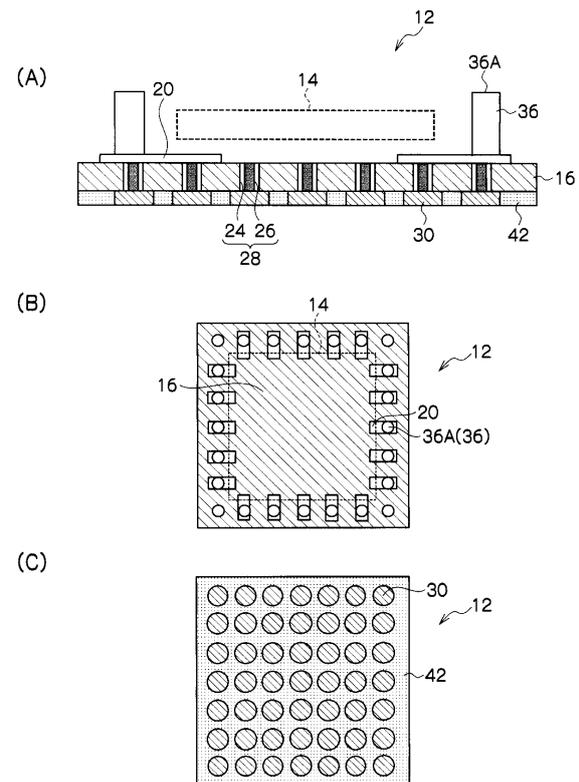
10

20

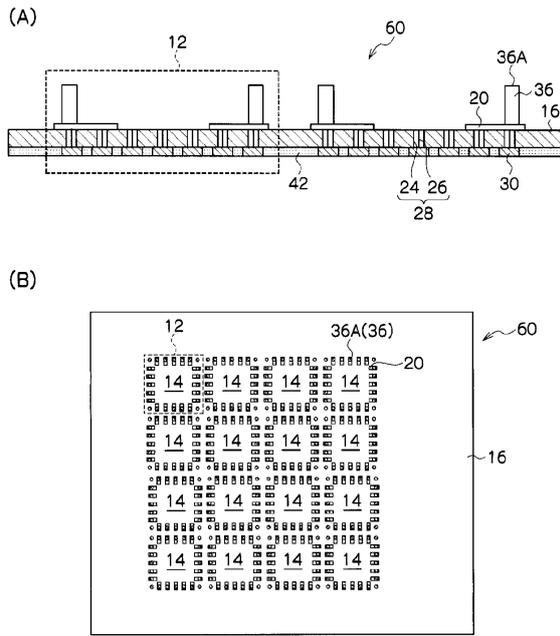
【図 1】



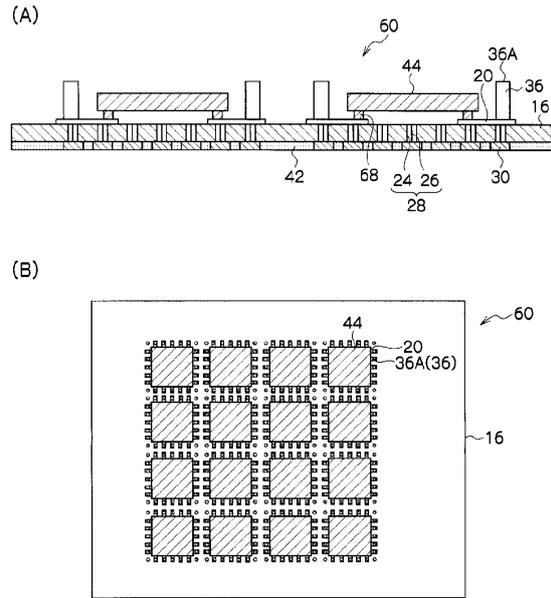
【図 2】



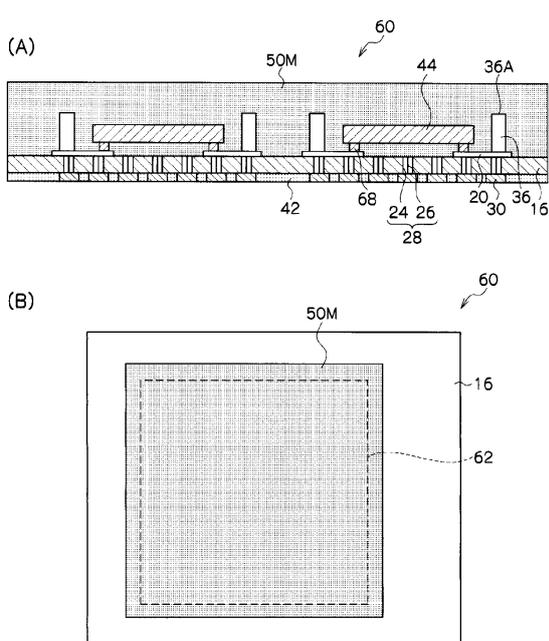
【 図 3 】



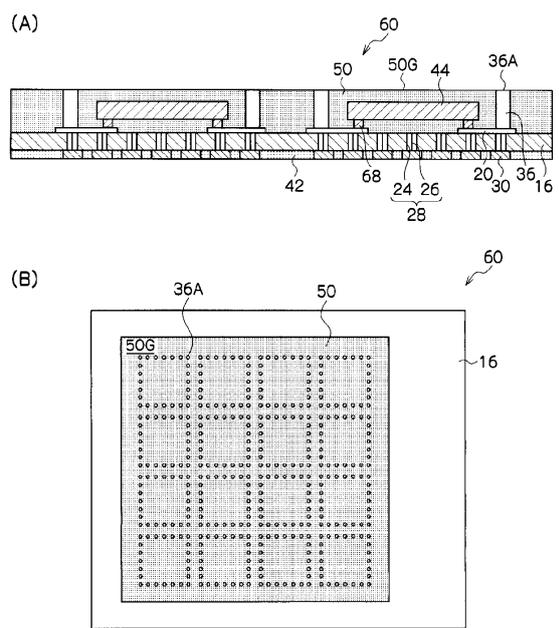
【 図 4 】



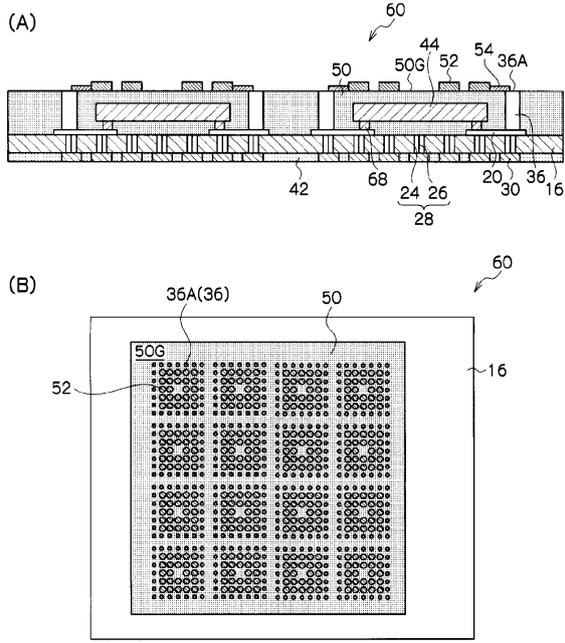
【 図 5 】



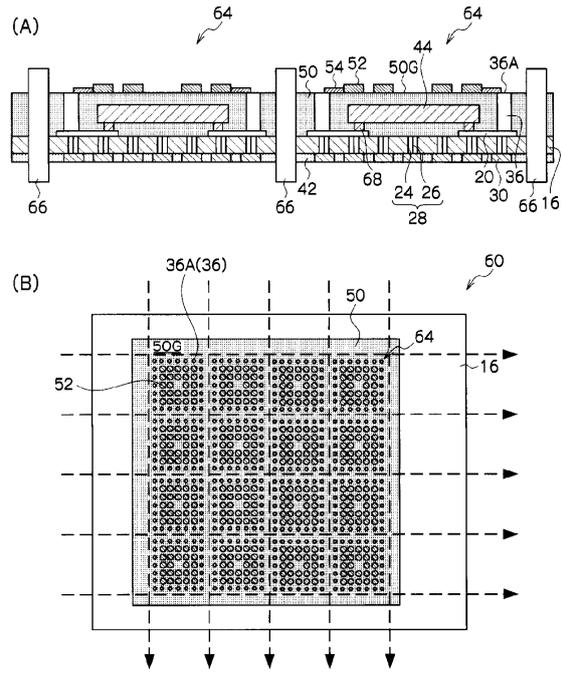
【 図 6 】



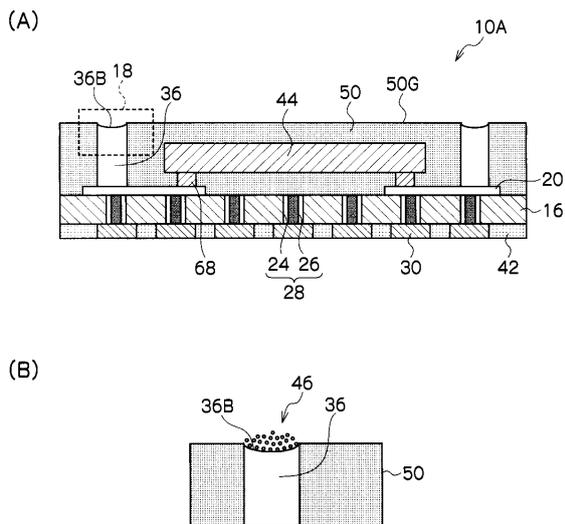
【 図 7 】



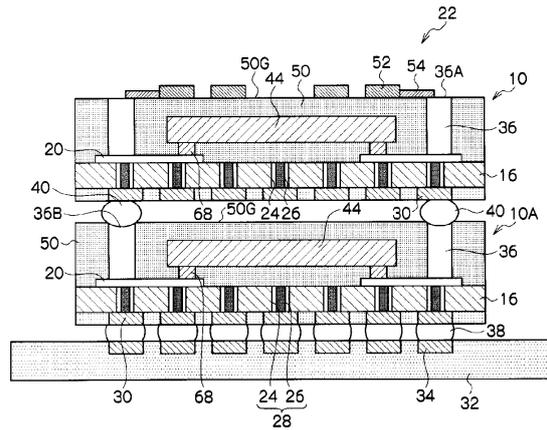
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(72)発明者 長谷川 秀則

宮崎県宮崎郡清武町大字木原727番地 宮崎沖電気株式会社内

審査官 萩原 周治

(56)参考文献 特開2002-158312(JP,A)
特開2007-027526(JP,A)
特開2006-041401(JP,A)
特開2006-269804(JP,A)
特開2001-144218(JP,A)
特開2002-359323(JP,A)
特開2003-347473(JP,A)
特開2004-304153(JP,A)
特開2003-031955(JP,A)
特開2002-359350(JP,A)
特開2000-183283(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12 - 23/15

H01L 23/28 - 23/31