

公告本

88年6月22日修正/更正/補充

393769

|      |             |
|------|-------------|
| 申請日期 | 87.1.16     |
| 案號   | 87100530    |
| 類別   | H01L 27/108 |

A4  
C4

393769

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

|             |               |   |
|-------------|---------------|---|
| 一、發明<br>名稱  | 中 文           | 具有雙極性電荷放大之動態隨機存取記憶體單元的結構與製造方法<br>(第八七一〇〇五三〇號專利案說明書及圖式修正本) |
|             | 英 文           |   |
| 二、發明<br>創作人 | 姓 名           | 季明華   |
|             | 國 籍           | 中華民國  |
|             | 住、居所          | 新竹市竹村七路二之八號四樓   |
| 三、申請人       | 姓 名<br>(名稱)   | 世界先進積體電路股份有限公司  |
|             | 國 籍           | 中華民國  |
|             | 住、居所<br>(事務所) | 新竹科學工業園區新竹縣園區3路123號                                       |
|             | 代 表 人<br>姓 名  | 張忠謀   |

裝

訂

線

公告本

88年6月22日修正/更正/補充

393769

|      |             |
|------|-------------|
| 申請日期 | 87.1.16     |
| 案號   | 87100530    |
| 類別   | H01L 27/108 |

A4  
C4

393769

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

|             |               |   |
|-------------|---------------|---|
| 一、發明<br>名稱  | 中 文           | 具有雙極性電荷放大之動態隨機存取記憶體單元的結構與製造方法<br>(第八七一〇〇五三〇號專利案說明書及圖式修正本) |
|             | 英 文           |   |
| 二、發明<br>創作人 | 姓 名           | 季明華   |
|             | 國 籍           | 中華民國  |
|             | 住、居所          | 新竹市竹村七路二之八號四樓   |
| 三、申請人       | 姓 名<br>(名稱)   | 世界先進積體電路股份有限公司  |
|             | 國 籍           | 中華民國  |
|             | 住、居所<br>(事務所) | 新竹科學工業園區新竹縣園區3路123號                                       |
|             | 代 表 人<br>姓 名  | 張忠謀   |

裝

訂

線

## 五、發明說明 ( / )

### 發明背景

### 發明領域

本發明是關於一種動態隨機存取記憶體(DRAM)，更精確的說是有關動態隨機存取記憶體(DRAM)的電荷放大功能之結構與製造方法。

### 相關技術描述

在本項技術中，動態隨機存取記憶體(DRAM)單元和動態隨機存取記憶體(DRAM)陣列的結構與製造方法是眾所皆知的。在先前技術中，高密度動態隨機存取記憶體(DRAM)典型的單元結構，如圖1a所示，是由一個用來切換電荷的電晶體M1 10及一個用來儲存電荷的儲存電容器C 15所組成。如圖1b所示，電晶體M1 10是製造於三重井區的n型金氧半場效電晶體(n-MOSFET)。在p型基材30中形成一個深的N型井(deep N-well)35。藉由矽基材局部氧化(LOCOS)所形成絕緣的開端來形成深n型井35的區域。在深n型井35中將形成一個較淺的p型井40。n型金氧半場效電晶體M1 10之閘極60將用導電材料，例如多晶矽，堆疊於絕緣閘極氧化層55來形成，並用以定義出位於n型金氧半場效電晶體M1 10之汲極50與源極80之間的通道區域。電容器C 15是藉由在疊於電晶體M1 10之n<sup>+</sup>汲極80上的介電質 70上方，放置一導電金屬並連接至基材偏壓電壓源V<sub>ss</sub> 75。電容器C 15如圖所示。電容器C 15的特殊結構是眾所皆知的，並描述於B.El-Kareh等人所著，"動態隨機存取記憶體之發展"("The Evolution Of DRAM Cell Technology", Solid

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

## 五、發明說明( )

State Technology, May1997, pp.89-101.)一文中。爲了維持一個單元的最小儲存電容值30-40fF，動態隨機存取記憶體單元結構導致了複雜的半導體製程以發展這些結構。

在將相關的極性與操作偏壓反相後，當然可以使用p型金氧半場效電晶體(p-MOS)之一致的動態隨機存取記憶體單元。深n型井35通常偏壓於電源電壓Vcc(意即晶片上的最高電位)，而p型井40偏壓於基材的偏壓電源Vss 75(意即晶片上的最低電位)。基材的偏壓電源Vss 75可以偏壓在接地點以下(意極負電位)，如此可使得通過傳輸電晶體M1 10的漏電流降低。在儲存電容器C 15中存在電荷時代表著邏輯上的"1"，而缺乏電荷代表著邏輯上的"0"。儲存電容器C 15連接到電晶體M1 10的n<sup>+</sup>汲極80上，而電晶體M1 10的另一個n<sup>+</sup>源極50連接到控制動態隨機存取記憶體單元讀寫的位元線(bit-line)Vbit 25上。MOS電晶體M1 10之閘極連接到控制動態隨機存取記憶體單元選擇的字線(word line)Vword上。

如圖2所示，動態隨機存取記憶體單元Cell 11 200，Cell 12 205，Cell 21 210，Cell 22 215，排列成列(字線WL0，WL1，WL2，和WL3)與行(位元線BL0和BL1)的陣列。受歡迎的動態隨機存取記憶體陣列是摺疊式位元線結構。每對位元線BL0和BL1連接到一個感測放大器220上，其中一條位元線BL0或BL1作爲參考偏壓而另一條位元線BL1或BL0在做讀取運作時作爲位元線感測。在寫入運作時，位元線BL0和BL1於寫入邏輯"1"時被充電至Vcc而寫入邏輯"0"時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 3 )

被充電至 $V_{SS}$ 。被選擇的字線 $WL_0$ ， $WL_1$ ， $WL_2$ ，或 $WL_3$ 被充電至 $V_{CC}$ ，如此使得連接到相同列的所有電晶體導通且每個單元的電容器分別被充電至 $V_{CC}$ 或是 $V_{SS}$ 以分別代表"1"或"0"的資訊。在讀取運作開始之前，位元線 $BL_0$ 和 $BL_1$ 被先行充電至 $V_{CC}/2$ 之電壓。在開始讀取一單元時，被選擇的字線 $WL_0$ ， $WL_1$ ， $WL_2$ ，或 $WL_3$ 電壓上升至 $V_{CC}$ 以使得所有連接到字線 $WL_0$ ， $WL_1$ ， $WL_2$ ，或 $WL_3$ 的電晶體導通。每一個感測放大器220偵測儲存在電容器C的電荷相對於相關位元線 $BL_0$ 與 $BL_1$ 電壓的極性(意即 $V_{CC}/2$ )。因為記憶單元電容值比起位元線電容值小(<10%)，所以呈現在感測放大器220輸入端的訊號非常小(~100-00mV)。在所有的動態隨機存取記憶體世代中，最小的儲存電容如上所述必須為30-40 fF以達到維持讀取運作的特性。傳統單一電晶體單元對於大儲存電容的需求導致了高且多層之堆疊式或是深壕渠式的電容器，而成爲動態隨機存取記憶體技術中主要的尺寸限制之一。因此，必須改革以降低動態隨機存取記憶體單元中儲存電容值的需求。先前技術中的單一動態隨機存取記憶體單元加入一個雙極性電晶體，如圖3a所示，用來作爲動態隨機存取記憶體單元之電荷放大。具有電荷放大功能的動態隨機存取記憶體單元，如圖3a和3b所示，爲美國專利4677589號(Haskell等人)以及美國專利5363325號(Sunouchi等人)所發表的。此單元結構類似於圖1a和1b所示。n型金氧半場效電晶體M1 300作爲切換電荷進入或流出電容器C 305。然而，電晶體Q1 310作爲放大於電容器上所呈現的電荷發展

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

之訊號，並允許較少電荷呈現而仍可偵測出邏輯"1"或是邏輯"0"。當位元線Vbit 320被接到Vcc電壓位準時，發生邏輯"1"的寫入動作。這將允許雙極性電晶體Q1 310之射極-基極所形成的p/n接面350導通，因而對電容器C 305充電直到電壓接近電源供應電壓Vcc。當單元要被寫入邏輯"0"時，雙極性電晶體Q1 310將不被導通且任何電容器C 305所呈現的電荷必須要藉由寄生路徑從電容器C 315漏放。這將導致邏輯"0"的寫入動作非常緩慢。

雙極性電晶體Q1 310的結構是在形成n型金氧半場效電晶體M1 300之N型源極區域內，藉由擴散p+型的射極352而形成。雙極性電晶體Q1 310因此是以n型金氧半場效電晶體M1 300作為p+型射極352，N型基極350(同時為n型金氧半場效電晶體M1 300之源極，以及p型井340作為集極之融合電晶體。"次1v電源之動態隨機存取記憶體互補增益單元技術"("A Complementary Gain Cell Technology For Sub-1v Supply Dram's", Shukuuri et al., Digest of IEDM, p.1006, 1992 )以及"超低電壓操作之半靜態互補增益動態隨機存取記憶體單元"("Super-Low-Voltage Operation Of Semi-Static Complementary Gain DRAM Memory Cell", Shukuri et al., Digest of VLSI Technology Symposium, p.23, 1993 )文章中描述了結合有電荷放大功能的動態隨機存取記憶體單元。互補式單元具有一個n型金氧半場效電晶體以及一個擁有浮動閘極結構作為儲存節點之p型金氧半場效電晶體。浮動閘極儲存著代

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 5 )

表邏輯"1"或是邏輯"0"的電荷，並導致p型金氧半場效電晶體臨界電壓偏移以允許從儲存單元中做邏輯"1"或是邏輯"0"的讀取。"超高密度動態隨機存取記憶體之環繞式閘極電晶體 (SGT) 增益單元"("A Surrounding Gate Transistor (SGT) Gain Cell For Ultra High Density Dram's", M.Terauchi et. Al., Digest of VLSI Technology Symposium, p.21,1993)一文中發表了環繞式閘極電晶體增益單元。環繞式閘極電晶體單元具有一個n型金氧半場效電晶體，一個接面場效電晶體(JFET)，以及一個電荷儲存電容器。電荷儲存電容器是由接面場效電晶體的閘極所形成。"邏輯相容高密度動態隨機存取記憶體之新的融合式增益單元"("A Novel Merged Gain Cell For Logic Compatible High Density DRAM's", M. Mukai et. al., Digest of VLSI Technology Symposium, p.155,1997)一文中描述了具有一個p型金氧半場效電晶體，一個n型金氧半場效電晶體，一個n型接面場效電晶體，和一個作為寫入運作之第二位元線的融合式動態隨機存取記憶體單元。p型金氧半場效電晶體控制電荷的傳輸，n型金氧半場效電晶體被用來做電荷儲存與讀取電晶體，而n型接面場效電晶體用來控制讀出電流。電荷儲存發生在n型金氧半場效電晶體的通道區域。

Shukuri等人，M. Terauchi等人，以及M. Mukai等人的動態隨機存取記憶體單元之讀取與寫入運作是由分開的電晶體與位元線操作，以避免如上述圖3a和3b中雙極性/金

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

氧半電晶體增益單元較慢的放電速度。美國專利5066607號(Banerjee)提出一個雙電晶體增益型動態隨機存取記憶體單元。雙電晶體動態隨機存取記憶體單元具有一個高品質傳輸電晶體和一個大電容儲存單元。增益電晶體的閘極連接於儲存單元和傳輸電晶體之間以在讀取運作過程中放大儲存單元之電荷。美國專利4791611號(Eldin等人)發表了包含一個雙極性電晶體，一個接面場效電晶體，以及一個電容器之記憶體單元。電容器包括一個操作於累積模式的金氧半場效電晶體。雙極性電晶體控制電容器的寫入，而接面場效電晶體控制資料從電容器讀出。

### 發明的簡要說明

本發明的目的在於提供一個具有電荷放大功能的動態隨機存取記憶體單元結構。

本發明的另一目的為提供具有快速寫入運作之動態隨機存取記憶體單元結構。為了完成這些與其他目的，動態隨機存取記憶體單元被製造於半導體基材上動態隨機存取記憶體單元陣列內。動態隨機存取記憶體單元具有一個電荷儲存電容器以儲存可代表數位資料之位元的電荷。電荷儲存電容器具有第一電極板與連接到基材偏壓電壓源的第二電極板。動態隨機存取記憶體單元擁有一個金氧半場效電晶體。金氧半場效電晶體的閘極連接到可控制此金氧半場效電晶體動作與不動作之字線。金氧半場效電晶體之汲極連接到電荷儲存電容器之第一電極板。在井區與局部二氧化矽(LOCOS)隔離物之眾所皆知的形成方法之後，在半導

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄



## 五、發明說明(7)

體基材上成長一層薄二氧化矽以形成閘極氧化物。然後在閘極氧化物上沉積光罩並蝕刻一導電材料，例如多晶矽，以形成閘極。

動態隨機存取記憶體單元具有一雙極性電晶體以放大電荷儲存電容器中所儲存的電荷。此雙極性電晶體擁有與金氧半場效電晶體之源極相同功用的基極。藉由安排第一離子佈植光罩以形成雙極性電晶體的基極，並在閘極氧化物附近佈植第一導電型態的第一種材料以形成基極。基極的離子佈植具有高能量與大角度，以提供雙極性電晶體大的電流增益。雙極性電晶體的集極是以半導體基材的基礎材料形成，並連接到基材偏壓電壓源。雙極性電晶體的射極在可動作時連接到位元線用以控制由雙極性電晶體放大之電荷感測。射極是在第一導電型態的第一種材料和閘極附近區域內安排第二離子佈植光罩並佈植第二導電型態的第二種材料所形成。第二導電型態的第二種材料之離子佈植具有高劑量和高傾斜角度以確保射極大幅重疊覆蓋於閘極上。射極大幅重疊覆蓋於閘極上是為了確保在半導體晶片表面上重疊覆蓋的區域中間極引發汲極漏電流的發生，如此可以在對儲存電容器寫入邏輯"0"時提供儲存電容器的放電。

### 圖例的簡要說明

圖1a和1b分別圖解式和剖面圖式顯示了先前技術中傳統動態隨機存取記憶體單元。

圖2顯示了先前技術中摺疊式位元線動態隨機存取記憶體結

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 8 )

構之圖解圖。

圖3a和3b分別圖解式和剖面圖式顯示了先前技術中具有電荷放大功能之傳統動態隨機存取記憶體單元。

圖4顯示了本發明中具有電荷放大功能之動態隨機存取記憶體單元的剖面圖。

圖5顯示了本發明中具有電荷放大功能之動態隨機存取記憶體單元陣列的圖解圖。

圖6a和6b顯示了本發明中具有電荷放大功能之動態隨機存取記憶體單元位於讀取運作時之圖解圖。

圖7a和7b顯示了本發明中具有電荷放大功能之動態隨機存取記憶體單元位於寫入運作時之圖解圖。

圖7c和7d顯示了本發明中具有電荷放大功能之動態隨機存取記憶體單元在寫入0運作時之剖面圖與能量圖。

圖8顯示了本發明中具有電荷放大功能之動態隨機存取記憶體單元的製程流程圖。

圖號的簡要說明

|             |            |
|-------------|------------|
| 10 金氧半場效電晶體 | 15 儲存電容器   |
| 30 p型基材     | 35 深n型井    |
| 40 p型井      | 55 閘極氧化層   |
| 60 閘極       | 80 汲極      |
| 50 源極       | 75 基材偏壓電壓源 |
| 70 介電質      | 45場氧化層     |
| 20 位元線      | 25 字線      |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明(9)

- |                                    |              |
|------------------------------------|--------------|
| M1 n型金氧半場效電晶體                      | Q1雙極性pnp電晶體  |
| 200, 205, 210, 215 動態隨機存取記憶體單元     |              |
| 220 感測放大器                          | 300金氧半場效電晶體  |
| 310雙極性電晶體                          | 305 315儲存電容器 |
| 330 p型基材                           | 335 深n型井     |
| 340 p型井/集極                         | 355 閘極氧化層    |
| 360 閘極                             | 380 汲極       |
| 350 源極/ N型基極                       | 375 基材偏壓電壓源  |
| 370 介電質                            | 345場氧化層      |
| 320 位元線                            | 325 字線       |
| 350 p/n界面                          | 352 p+型射極    |
| 400 p型基材                           | 405 深n型井     |
| 410 p型井/集極                         | 440 閘極氧化層    |
| 460 閘極                             | 435 汲極       |
| 420 源極/ N型基極                       | 430絕緣間隔      |
| 455 介電質                            | 415場氧化層      |
| 452 p+型射極                          | 465通道        |
| 470 475 重疊覆蓋                       |              |
| 500, 505, 510, 515動態隨機存取記憶體單元的陣列結構 |              |
| 600 電流Ibit                         | 605 電壓Vc     |
| 700 反向通道                           |              |
| 710 電場 $\epsilon$                  | 750 電子e-     |
| 755 價電帶Ev                          | 760 導電帶Ec    |

裝

訂

線

## 五、發明說明(10)

### 發明的詳細說明

本發明之動態隨機存取記憶體單元的結構如圖4所示，而其集總元件之圖解圖如圖3a所示。本發明之動態隨機存取記憶體單元的結構具有一個"融合式"電晶體和一個如上所述位於三重井區前端之儲存電容器。"融合式"電晶體除了位元線Vbit320連接到雙重離子佈植p+射極425/n型-基極420之外，類似於典型n型金氧半電晶體，如此可以產生一個寄生的雙極性pnp電晶體Q1 310。寄生雙極性pnp電晶體Q1 310是以p+射極425，n型-基極420以及p型井集極410所形成。寄生雙極性pnp電晶體Q1 310與n型金氧半電晶體M1 300融合於一起(n型-基極420同時為n型金氧半電晶體M1 300之源極)。在做讀取與寫入運作時，n型-基極420為浮動狀態。儲存電容器C305連接到n型金氧半電晶體M1 300汲極。在讀取運作時，寄生雙極性pnp電晶體Q1 310被用來放大電容器中所儲存的電荷，宛如將電荷增加寄生雙極性pnp電晶體Q1 310之電流增益( $\beta$ )倍。因此所需要的最小單元電容器被大幅降低。這將降低上述的堆疊式電容器高度或是壕渠式電容器深度。

由圖4與圖8將可以了解本發明之動態隨機存取記憶體單元的結構與製造程序。而其集總元件之圖解圖再一次如圖3a所示。本發明之動態隨機存取記憶體單元的結構擁有一個單元區域，是在做基材局部氧化(LOCOS)隔離801時的開口所定義的區域。三重井區的形成802起始於將n型材料擴散進入單元區域中以形成深n型井區405。深n型井區405

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( // )

在稍後的後段製程中連接到電源供應電壓源Vcc上，將深n型井區405偏壓在縮小流到p-型基材400之漏電流以及從週邊電路至動態隨機存取記憶體單元的雜訊偶合。然後將p型材料擴散進入深n型井區405中以形成p型井區410。p型井區410在稍後的後段製程806中連接到接上基材偏壓電壓源Vss375之金屬上。基材偏壓電壓源Vss375一般是記憶體陣列中的最低電壓。將p型井區410偏壓到基材偏壓電壓源Vss375更進一步縮小位元線的電容值並作為後續製程中將形成的pnp雙極性電晶體之集極。額外的n型材料將被擴散進入深n型井區405中以建構週邊電路中的p型金氧半電晶體。據此看來包含此步驟使得動態隨機存取記憶體單元陣列之製程描述更加完整。單元區域中電晶體的形成803起始於在區域中成長閘極氧化物440以作為n型金氧半電晶體M1300之通道465。並在閘極區域內通道465上方形成多晶矽閘極460。融合式pnp電晶體Q1 310是藉由佈植n型材料以形成n型基極420而達成。n型基極420的離子佈植是以磷(P31)原子於介於50KeV至100KeV的佈植能量植入，直到n型基極擁有大約每立方公分10E13至10E14電子密度而形成。n型基極的佈植能量必須夠高且植入傾斜角度必須夠大，以使得n型基極比p+射極深。這可以使得融合式pnp電晶體Q1 310具有高電流增益( $\beta$ )。接著繼續形成融合式pnp電晶體Q1 310的p+射極425，藉由在n型基極420區域上佈植p型材料以形成。p+射極425的佈植是以氟化硼(BF2)於10KeV的佈植能量植入，直到p+射極425擁有大約每立方公分10E15至10E16

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(12)

電洞密度而形成。p+射極425之離子佈植需有高劑量和大傾斜角度以確保p+射極425及閘極區域460足夠大的重疊覆蓋OV2 475。n型金氧半電晶體M1 300與動態隨機存取記憶體陣列週邊控制電路所有電晶體之汲極是藉由p型與n型低摻雜濃度汲極(1dd)之光罩與離子佈植而形成。1dd間隔氧化物是在閘極邊緣沉積並蝕刻而成。而n+型與p+型之光罩與蝕刻完成了n型金氧半電晶體N+汲極的形成。著804形成位元線Vbit320並連接至p+射極425。位元線的形成與連接製程在本技術中是眾所皆知的。此外805形成儲存電容器C305。如圖4所示，儲存電容器C305的結構具有一層覆蓋在n型金氧半電晶體M1 300汲極上的介電質層。在介電質層上疊上一層金屬層並連接至基材400偏壓電壓源Vss375。此結構將被舉例說明。儲存電容器C305被形成805為堆疊式電容器或是壕渠式電容器之形成過程在本技術中已眾所皆知。以壕渠式電容器為例，將於三重井區的形成802之後與電晶體形成803之前被形成。最後，後段製程806將提供接觸點和相互連接的金屬線，以供應動態隨機存取記憶體陣列內部連線，週邊控制電路之內部連線，以及連接動態隨機存取記憶體陣列至外部電路之接觸墊(bonding pad)之所需。儲存電容器C305已被描述成標準的堆疊式或是壕渠式電容器。然而，pnp電晶體的電荷放大功能允許將儲存電容器C305簡化為一個標準金氧半電晶體閘極至源極與閘極至汲極的電容。這將使得製造過程簡化為標準CMOS邏輯製程。

由圖5，本發明中動態隨機存取記憶體單元的陣列結構

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(13)

Cell111 500, Cell112 505, Cell121 510, Cell122 515, 可以是本技術中眾所皆知的摺疊式位元線陣列。如圖4所示, 每個單元n型金氧半電晶體M1 300之閘極均連接到字線Vword。多重字線WL0, WL1, WL2, 和WL3將連接到週邊的控制電路以選擇動態隨機存取記憶體單元Cell111 500, Cell112 505, Cell121 510, Cell122 515之列。雙極性pnp電晶體Q1 310之p+射極425連接到如上述的位元線BL0與BL1。位元線BL0與BL1將連接至週邊的控制電路以控制動態隨機存取記憶體陣列中行WL0, WL1, WL2, 和WL3的選取。完整的動態隨機存取記憶體單元Cell111 500, Cell112 505, Cell121 510, Cell122 515將放置於深n型井區405中。深n型井區405的偏壓將使得週邊控制電路所產生的雜訊被隔絕在動態隨機存取記憶體單元之陣列之外。

爲了瞭解在讀取運作時, 本發明的動態隨機存取記憶體單元之操作, 現在參考圖6a與6b。如圖6a所示, 在讀取邏輯"1"時, 儲存電容器C305被充電至接近電源供應電壓源Vcc之Vc 605電壓位準。字線電壓Vword 325位於電源供應電壓源Vcc之位準且位元線Vbit 320之電壓位準被先行充電至電源供應電壓源位準的一半Vcc/2。當字線電壓Vword 325位於電源供應電壓源Vcc之位準時, n型金氧半電晶體M1 300將位於導通狀態, 因此將存在儲存電容器C305上的電壓Vc605放置於pnp電晶體Q1 310之基極420上。pnp電晶體Q1 310將位於未導通狀態, 且沒有電流Ibit 600會流過位元線Vbit。這將由位於動態隨機存取記憶體陣列之週邊控制電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (14)

路的感測放大器偵測為邏輯"1"。現參考圖6b以瞭解從動態隨機存取記憶體單元讀取邏輯"0"之運作。儲存電容器C305上的電壓 $V_{c605}$ 接近0V。再一次字線電壓 $V_{word\ 325}$ 將位於接近電源供應電壓源 $V_{cc}$ 之位準。而位元線 $V_{bit\ 320}$ 之電壓位準也被先行充電至電源供應電壓源位準的一半 $V_{cc}/2$ 。n型金氧半電晶體M1 300將位於導通狀態並使得儲存電容器C305上的電壓 $V_{c605}$ 放置於pnp電晶體Q1 310之基極420上。pnp電晶體Q1 310將導通電流 $I_{bit\ 600}$ 至最大可獲得之電流位準 $I_{max}$ 。這個位元線電流位準 $I_{bit}$ 將代表感測放大器偵測到邏輯"0"。

現在參考圖7a, 7b, 7c和7d以瞭解從動態隨機存取記憶體單元的寫入運作。圖7a顯示了動態隨機存取記憶體單元寫入邏輯"1"的情形。字線電壓 $V_{word\ 325}$ 將被設定為電源供應電壓源 $V_{cc}$ 以使n型金氧半電晶體M1 300導通。而位元線 $V_{bit\ 320}$ 之電壓也將被設定為電源供應電壓源 $V_{cc}$ 之位準。如果儲存電容器C305已經被放電至接近0V位準時, pnp電晶體Q1 310之射極-基極接面的p/n接面將變成順偏並將儲存電容器C305充電至接近電源供應電壓源 $V_{cc}$ 之位準。然而, 如果儲存電容器C305已經充電至電源供應電壓源 $V_{cc}$ 之位準, 將不會對這改變有反應。

本發明之動態隨機存取記憶體單元的讀取邏輯"1"和邏輯"0"以及寫入邏輯"1"之運作, 與先前技術中所顯示者並無差異。而如下所述之邏輯"0"的寫入動作則是不同的。現在參考圖7d以瞭解從動態隨機存取記憶體單元寫入邏輯"0"

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明(15)

之運作。字線電壓Vword 325將被設定為電源供應電壓源Vcc以使n型金氧半電晶體M1 300導通。而位元線Vbit 320之電壓被設定為0V。在此偏壓下，pnp電晶體Q1 310將位於未導通狀態。如果儲存電容器C305已經被放電至0V位準Vc 605時，則此單元已經被設定為邏輯"0"且無須作反應。然而，如果儲存電容器C305被充電至接近電源供應電壓源Vcc之電壓位準Vc 605時，pnp電晶體Q1 310將再次位於未導通狀態。為了克服如先前技術中因為漏電流導致儲存電容器C305之放電緩慢，一閘極引發汲極漏電(GIDL)電流將造成儲存電容器C305之快速放電。現在參考圖7c和7d以瞭解閘極引發汲極漏電(GIDL)效應。閘極在n型基極420與p+射極425上的重疊覆蓋部分OV1 470和OV2 475將允許電子e-在p+射極425的表面產生電流，經由通道465流至n型基極420，以使儲存電容器C315放電。字線電壓Vword 325所產生的電場 $\epsilon$  710將導致電子藉由能帶-能帶間之穿透產生於p+射極425的介面上。閘極氧化物440必須夠薄，使得垂直電場 $\epsilon$  710夠大( $>2\text{MeV/cm}$ )好造成能帶-能帶間穿透之觸發。這將導致並增強界面漏電電流流過反偏的p+射極425和n型基極420之二極體。或如同圖7d所示，藉由能帶-能帶間穿透機制，從價電帶Ev 755至導電帶Ec 760產生的電子e- 750通過位於p+射極425表面上的空乏層715，並將在n型基極420區域中流動且經由反向通道700流到n型金氧半電晶體M1 300之汲極435以達成儲存電容器C315之放電。

熟悉本技術的人均可知，材料型態的反轉以使用p型金

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明 (16)

氧半電晶體和nnp電晶體並適當地改變偏壓電源可以保持本發明的結構與操作。雖然本發明特別展示並描述了所選的實施例，熟悉本技術的人均可明瞭任何形式或是細節上可能的變化均未脫離本發明的精神與範圍。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：)

### 具有雙極性電荷放大之動態隨機存取記憶體單元的結構與 製造方法

本發明揭露一種具有電荷放大功能之動態隨機存取記憶體單元結構，此動態隨機存取記憶體單元具有一電容器以儲存電荷。此動態隨機存取記憶體單元還有一金氧半電晶體，該金氧半電晶體之閘極連接到字線以控制金氧半電晶體動作或不動作。金氧半電晶體之汲極連接至電容器的一個電極板上。此動態隨機存取記憶體單元具有一雙極性電晶體以放大儲存於電容器上之電荷，該雙極性電晶體以金氧半電晶體之源極作為基極，且雙極性電晶體之基極是藉由在閘極附近光罩並佈植第一種導電型態材料而形成。

英文發明摘要(發明之名稱：)

A DRAM cell structure having charge amplification is disclosed. The DRAM cell has a capacitor to store an electrical charge. The DRAM cell further has a MOS transistor. The gate of the MOS transistor is coupled to a word line control to activate and deactivate the MOS transistor. The drain MOS transistor is coupled to one plate of the capacitor. The DRAM cell has a bipolar transistor to amplify the electrical charge stored on the capacitor. The bipolar transistor has a base that is the source for the MOS transistor. The base of the bipolar transistor is formed by masking and implanting a material of the first conductivity type adjacent to the gate to form the base.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

四、中文發明摘要(發明之名稱: )

雙極性電晶體之集極為半導體基材。雙極性電晶體之射極連接至位元線，當位元線動作時可以偵測由雙極性電晶體放大之電荷射極是藉由在第一種導電型態材料內光罩並植入第二種導電型態材料而形成。射極之離子佈植確保射極和閘極有大區域重疊覆蓋。重疊覆蓋區域是為確保閘極引發汲極漏電電流之產生，並在對儲存電容器寫入"0"時提供儲存電容器放電路徑。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱: )

The collector of the bipolar transistor is the semiconductor substrate. The bipolar transistor has an emitter coupled to a bit-lines control which when activated will sense the charge amplified by the bipolar transistor. The emitter is formed by masking and implanting a material of the second conductivity type within the material of the first conductivity type. The emitter is implanting to ensure a large overlap of the gate of the emitter. The overlap of the gate of the emitter will ensure generation of gate induced drain leakage current to discharge the storage capacitor during writing of a logical "0" to the storage capacitor.

訂

錄

## 六、申請專利範圍

(案號第八七一〇〇五三〇號專利案之申請專利範圍修正本)

1.一種眾多動態隨機存取記憶體單元之製造方法，其中每個動態隨機存取記憶體單元均具有一個第一金氧半電晶體，一個雙極性電晶體，和一個儲存電極，前述的方法包含下列步驟：

a)提供一個半導體晶片；

b)在前述的半導體晶片上選擇性成長一隔離層，用以在前述的半導體晶片上定義出前述的眾多動態隨機存取記憶體單元；

c)在前述的隔離區所定義之區域內形成第一導電型態的一個眾多深井區；

d)在前述的眾多深井區內形成第一導電與第二導電型態之眾多井區；

e)藉由下列步驟形成前述的金氧半電晶體和前述的雙極性電晶體：

於前述的半導體晶片上第二導電型態之眾多井區內沉積並蝕刻出閘極氧化物，於前述的半導體晶片上沉積，光罩，並蝕刻出第一多晶矽層以形成每個動態隨機存取記憶體單元金氧半電晶體之閘極，安置第一離子佈植光罩並在前述的閘極氧化物附近植入第一種導電型態之第一種材料以形成前述的雙極性電晶體之基極，其中所述的離子佈植具有高能量及大角度，安置第二離子佈植光罩並在前述的第一種導電型態之第一種材料和前述的閘極氧化物附近植入第二種導電型態之第二種材料以形成前

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

(案號第八七一〇〇五三〇號專利案之申請專利範圍修正本)

1.一種眾多動態隨機存取記憶體單元之製造方法，其中每個動態隨機存取記憶體單元均具有一個第一金氧半電晶體，一個雙極性電晶體，和一個儲存電極，前述的方法包含下列步驟：

a)提供一個半導體晶片；

b)在前述的半導體晶片上選擇性成長一隔離層，用以在前述的半導體晶片上定義出前述的眾多動態隨機存取記憶體單元；

c)在前述的隔離區所定義之區域內形成第一導電型態的一個眾多深井區；

d)在前述的眾多深井區內形成第一導電與第二導電型態之眾多井區；

e)藉由下列步驟形成前述的金氧半電晶體和前述的雙極性電晶體：

於前述的半導體晶片上第二導電型態之眾多井區內沉積並蝕刻出閘極氧化物，於前述的半導體晶片上沉積，光罩，並蝕刻出第一多晶矽層以形成每個動態隨機存取記憶體單元金氧半電晶體之閘極，安置第一離子佈植光罩並在前述的閘極氧化物附近植入第一種導電型態之第一種材料以形成前述的雙極性電晶體之基極，其中所述的離子佈植具有高能量及大角度，安置第二離子佈植光罩並在前述的第一種導電型態之第一種材料和前述的閘極氧化物附近植入第二種導電型態之第二種材料以形成前

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

述的雙極性電晶體之射極，其中所述的第二種導電型態之第二種材料的離子佈植具有高劑量以確保前述的射極和前述的閘極有大區域重疊覆蓋，安置離子佈植光罩並佈植第一種導電型態之低摻雜濃度汲極以形成動態隨機存取記憶體單元金氧半電晶體之汲極和週邊金氧半電晶體之第一種導電型態的汲極與源極，安置離子佈植光罩並佈植第二種導電型態之低摻雜濃度汲極與源極以形成週邊金氧半電晶體之第二種導電型態的汲極與源極，沉積並回蝕絕緣材料以形成低摻雜濃度汲極之間隔，以及安置離子佈植光罩並接著佈植第一種導電型態之材料與第二種導電型態之材料以完成動態隨機存取記憶體單元金氧半電晶體之汲極和週邊金氧半電晶體之第一與第二種導電型態的汲極與源極之形成；

- f) 在前述的半導體晶片上形成一眾多位元線，其中單一條位元線連接至每個眾多動態隨機存取記憶體單元之每個動態隨機存取記憶體單元的雙極性電晶體之射極上；
- g) 在眾多動態隨機存取記憶體單元中形成儲存電容器；以及
- h) 成金屬相互聯結器以連接眾多動態隨機存取記憶體單元為一記憶體陣列且連接記憶體陣列至由第一和第二週邊金氧半電晶體形成的周邊電路。

2. 如申請專利範圍第1項的一種眾多動態隨機存取記憶體單元之製造方法，其中所述在形成前述的雙極性電晶體時，用來形成前述的基極之離子佈植具有高能量和大角度以提供大電流增益( $\beta$ )。

## 六、申請專利範圍

- 3.如申請專利範圍第1項的一種眾多動態隨機存取記憶體單元之製造方法，其中所述在形成前述的雙極性電晶體時，用來形成前述的射極之離子佈植具有高劑量的第二種導電型態之材料以確保前述的射極和前述的閘極有大區域重疊覆蓋。
- 4.如申請專利範圍第3項的一種眾多動態隨機存取記憶體單元之製造方法，其中所述的前述的射極和前述的閘極之大區域重疊覆蓋是為確保在所述的半導體晶片之前述的重疊覆蓋區域內產生閘極引發汲極漏電電流，以在對前述的儲存電容器寫入"0"時提供前述的儲存電容器放電路徑。
- 5.如申請專利範圍第1項的一種眾多動態隨機存取記憶體單元之製造方法，其中所述在形成前述的雙極性電晶體時，用來形成前述的基極之離子佈植是藉由於能量範圍約為50KeV至大約100KeV佈植磷原子(P31)，至前述的基極中濃度達到約每立方公分 $10E13$ 至 $10E14$ 顆電子而達成。
- 6.如申請專利範圍第1項的一種眾多動態隨機存取記憶體單元之製造方法，其中所述在形成前述的雙極性電晶體時，用來形成前述的射極之離子佈植是藉由於能量範圍約為10KeV佈植氟化硼(BF<sub>2</sub>)，至前述的射極中濃度達到約每立方公分 $10E15$ 至 $10E16$ 顆電洞而達成。
- 7.如申請專利範圍第1項的一種眾多動態隨機存取記憶體單元之製造方法，其中所述儲存電容器是從包括堆疊式電容器，壕渠式電容器，以及由前述的動態隨機存取記憶體單元中形成的第二金氧半電晶體之閘極和源極與汲極間的電



## 六、申請專利範圍

容的群體中所選擇。

8.一種製造於一半導體基材上之動態隨機存取記憶體單元陣列中單一動態隨機存取記憶體單元的裝置，包括：

a)一個用來儲存代表數位資料位元之電荷的儲存電容器，並擁有一第一電極板和連接至基材偏壓電源之第二電極板；

b)一個金氧半電晶體，包含有閘極連接至控制前述的金氧半電晶體動作或不動作之字線，汲極連接至前述的儲存電容器之第一電極板，以及源極，其中前述的閘極形成於：

於前述的半導體晶片上沉積，光罩，並蝕刻出一絕緣層以形成介於前述的汲極與前述的源極之閘極氧化物，以及於前述的閘極氧化物上沉積，光罩，並蝕刻出一導電材料，例如多晶矽，以形成前述的閘極；

c)一個雙極性電晶體，用以放大前述的儲存電容器所儲存之電荷，並具有同時作為前述的金氧半電晶體源極功用之基極，並以下列步驟形成：

安置第一離子佈植光罩並在前述的閘極氧化物附近植入第一種導電型態之第一種材料以形成前述的基極，其中所述的離子佈植具有高能量及大角度，由前述的半導體基材之容積材料所形成的集極，並連接至基材偏壓電源，以及連接至位元線之射極，位元線動作時可以偵測由前述的雙極性電晶體放大之電荷，前述之射極可由下列步驟形成：

## 六、申請專利範圍

安置第二離子佈植光罩並在前述的第一種導電型態之第一種材料和前述的閘極氧化物附近植入第二種導電型態之第二種材料以形成前述的射極，其中所述的第二種導電型態之第二種材料的離子佈植具有高劑量以確保前述的射極和前述的閘極有大區域重疊覆蓋。

- 9.如申請專利範圍第8項的一種製造於一半導體基材上之動態隨機存取記憶體單元陣列中單一動態隨機存取記憶體單元的裝置，其中所述在形成前述的雙極性電晶體時，用來形成前述的基極之離子佈植具有高能量和大角度以提供大電流增益。
- 10.如申請專利範圍第8項的一種製造於一半導體基材上之動態隨機存取記憶體單元陣列中單一動態隨機存取記憶體單元的裝置，其中所述在形成前述的雙極性電晶體時，用來形成前述的射極之離子佈植具有高劑量的第二種導電型態之材料以確保前述的射極和前述的閘極有大區域重疊覆蓋。
- 11.如申請專利範圍第10項的一種製造於一半導體基材上之動態隨機存取記憶體單元陣列中單一動態隨機存取記憶體單元的裝置，其中所述的前述的射極和前述的閘極之大區域重疊覆蓋是為確保在所述的半導體晶片之前述的重疊覆蓋區域內產生閘極引發汲極漏電電流，以在對前述的儲存電容器寫入"0"時提供前述的儲存電容器放電路徑。
- 12.如申請專利範圍第8項的一種製造於一半導體基材上之動態隨機存取記憶體單元陣列中單一動態隨機存取記憶體單元的裝置，其中所述在形成前述的雙極性電晶體時，用來形

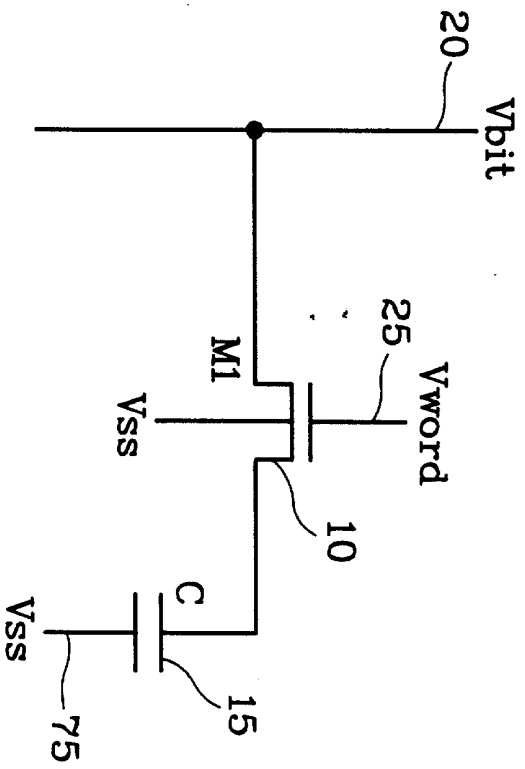
## 六、申請專利範圍

成前述的基極之離子佈植是藉由於能量範圍約為50KeV至大約100KeV佈植磷原子(P31)，至前述的基極中濃度達到約每立方公分 $10E13$ 至 $10E14$ 顆電子而達成。

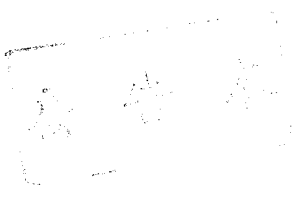
- 13.如申請專利範圍第8項的一種製造於一半導體基材上之動態隨機存取記憶體單元陣列中單一動態隨機存取記憶體單元的裝置，其中所述在形成前述的雙極性電晶體時，用來形成前述的射極之離子佈植是藉由於能量範圍約為10KeV佈植氟化硼(BF<sub>2</sub>)，至前述的射極中濃度達到約每立方公分 $10E15$ 至 $10E16$ 顆電洞而達成。
- 14.如申請專利範圍第8項的一種製造於一半導體基材上之動態隨機存取記憶體單元陣列中單一動態隨機存取記憶體單元的裝置，其中所述儲存電容器是從包括堆疊式電容器，壕渠式電容器，以及由前述的動態隨機存取記憶體單元中形成的第二金氧半電晶體之閘極和源極與汲極間的電容的群體中所選擇。

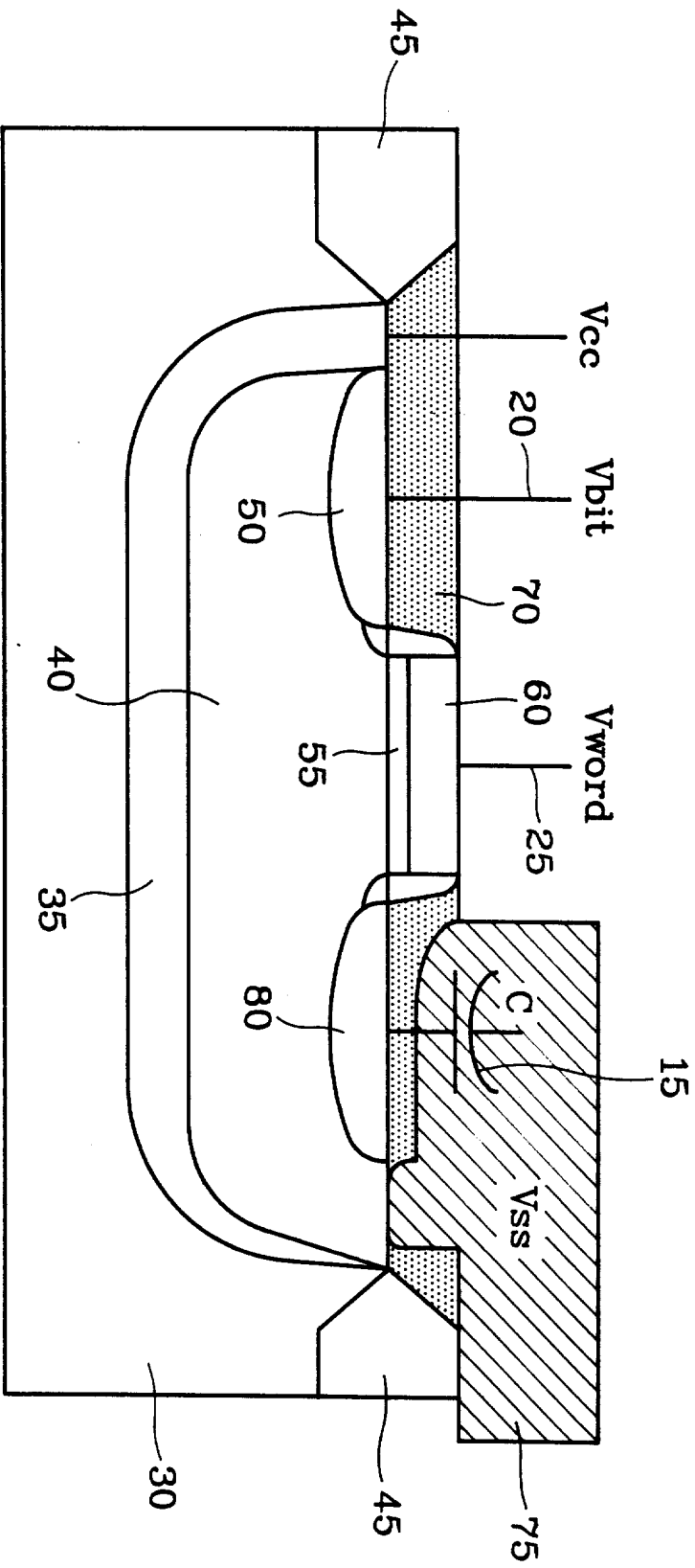
(請先閱讀背面之注意事項再填寫本頁)

訂  
線



→ A





□ — B

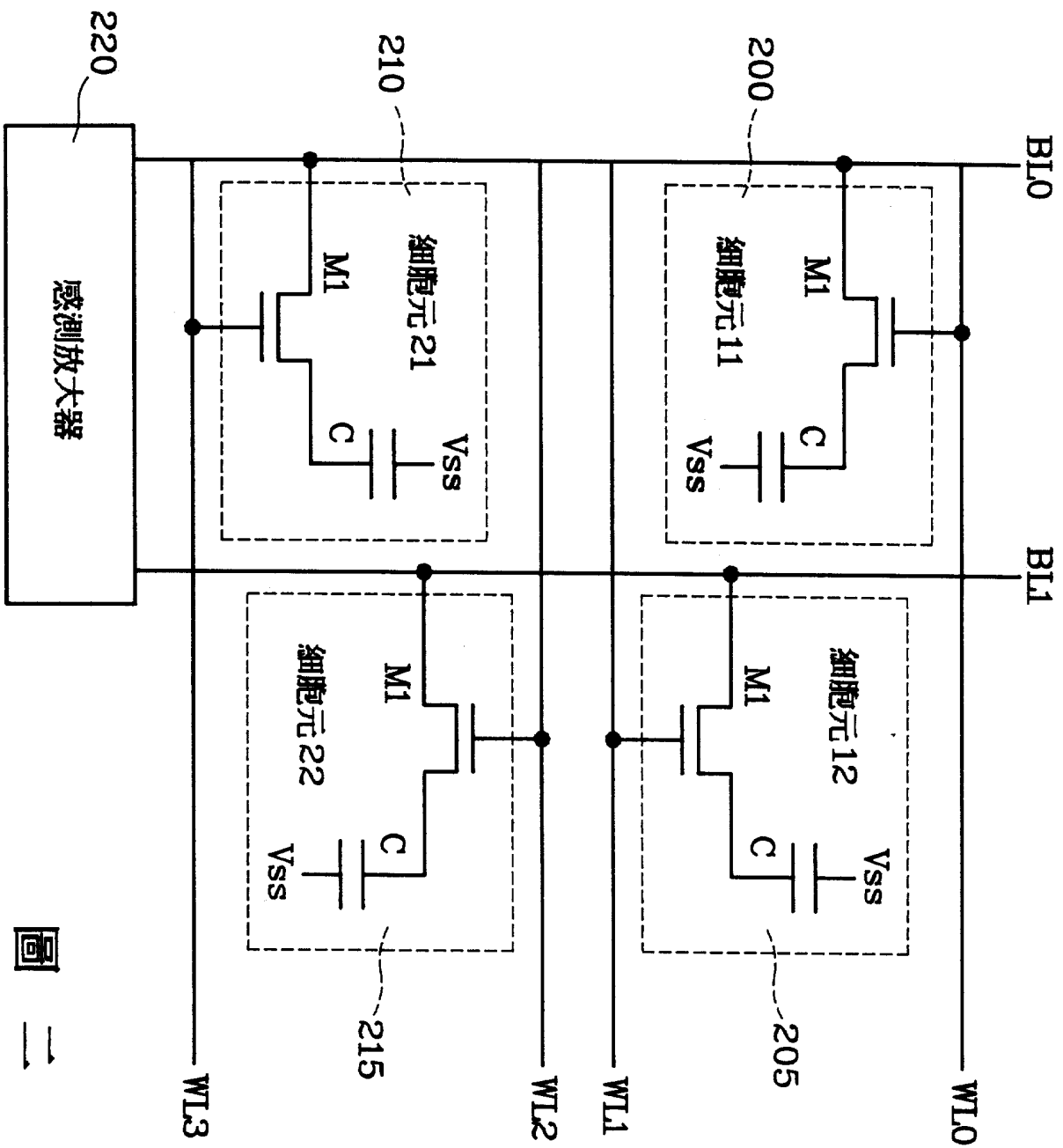


圖 二

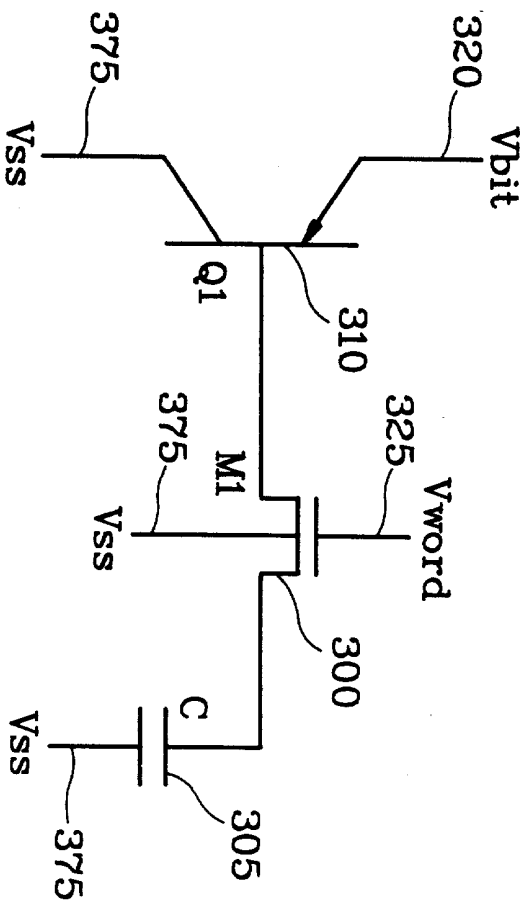
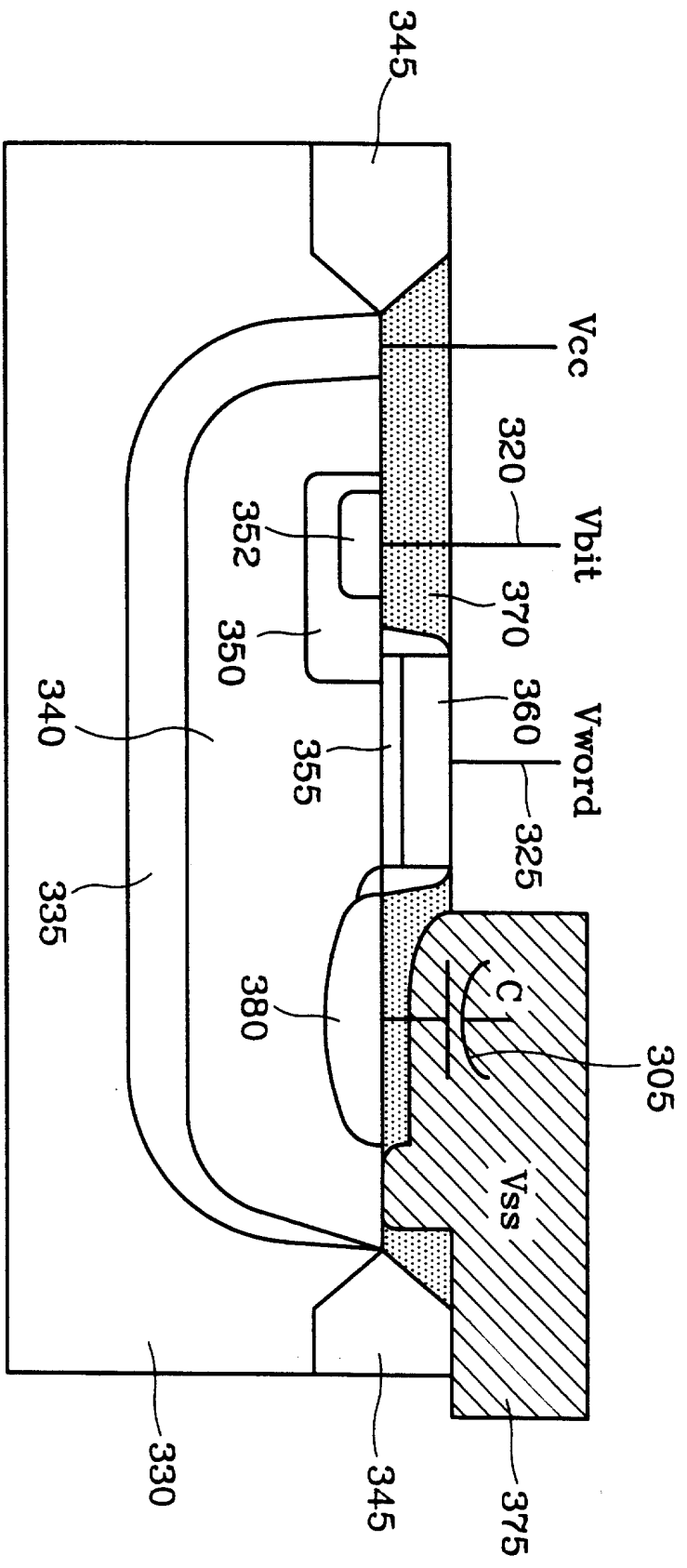


圖 三 A



三 B



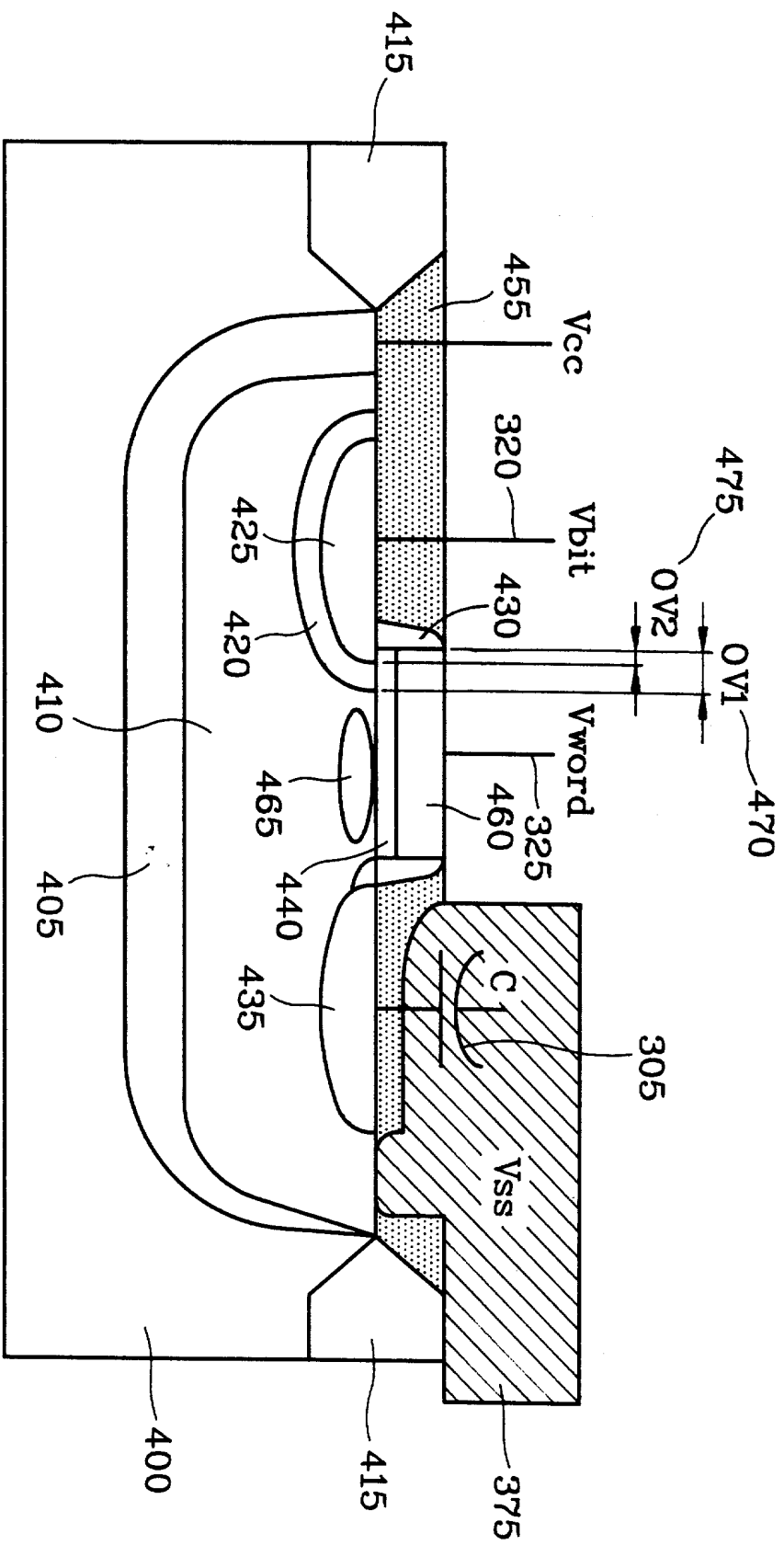


圖 四

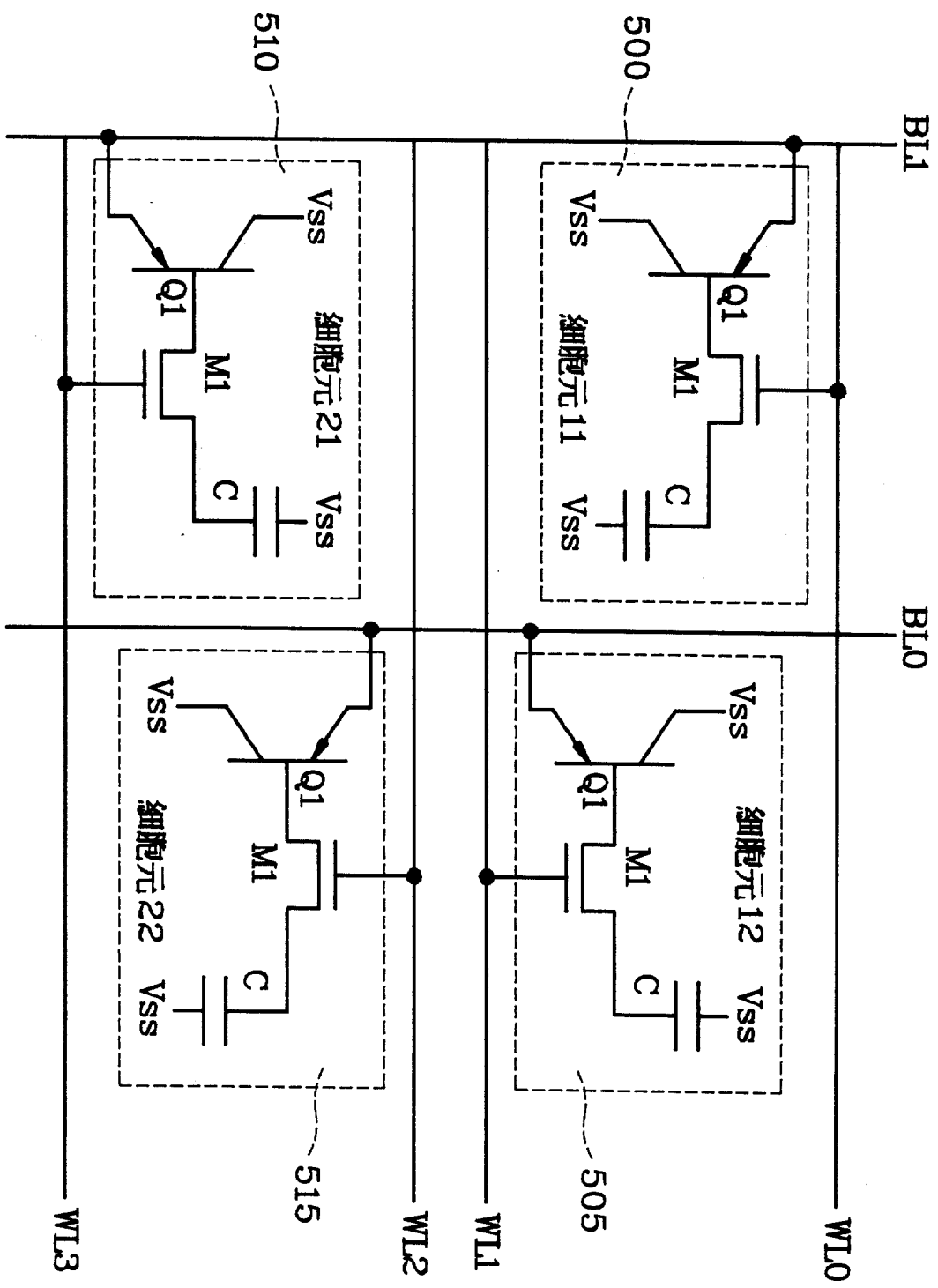


圖 五

393769

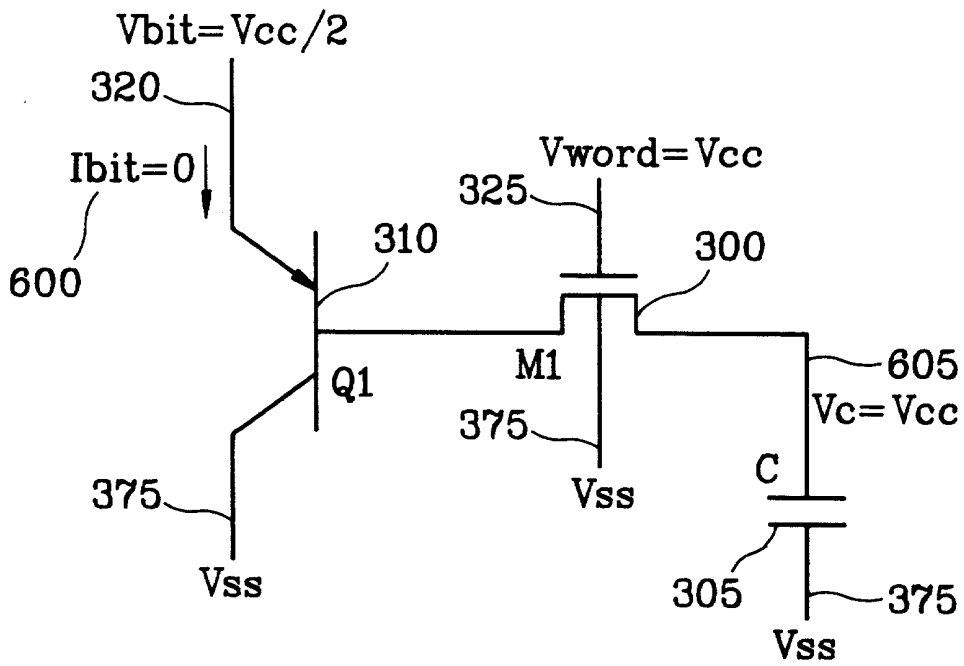


圖 六A

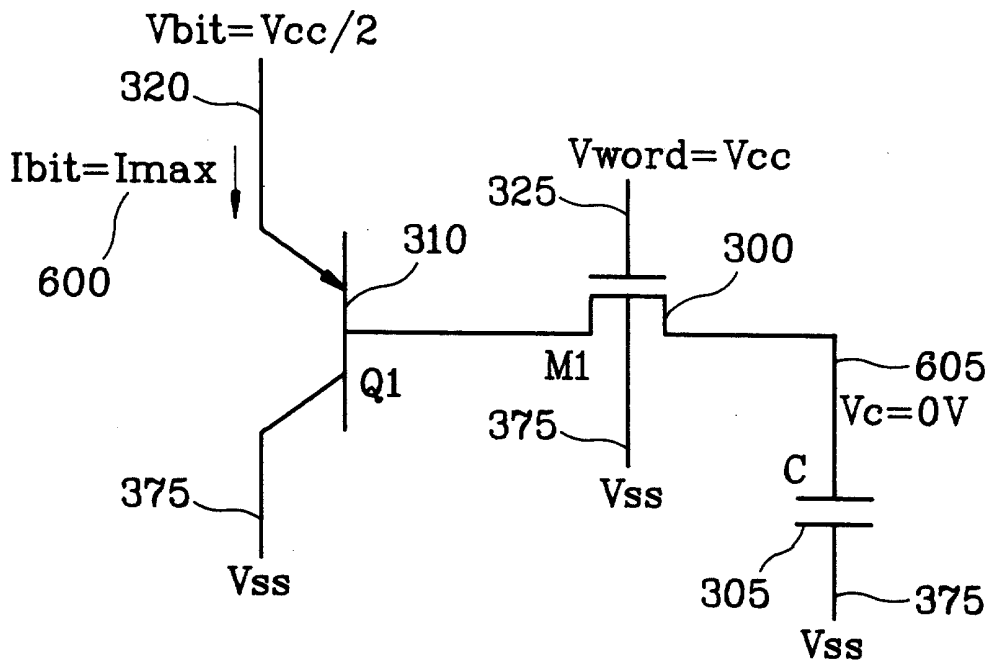


圖 六B

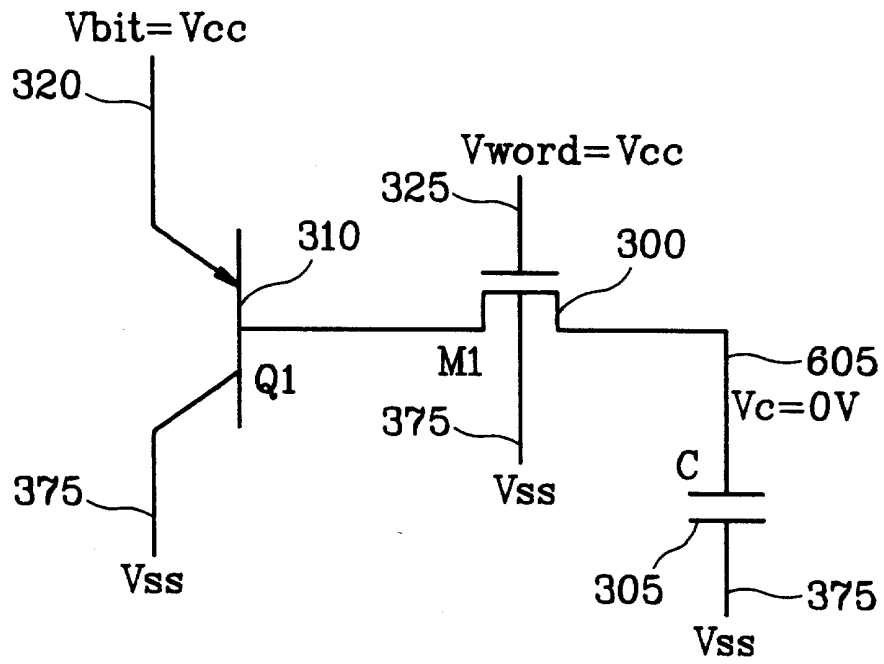


圖 七 A

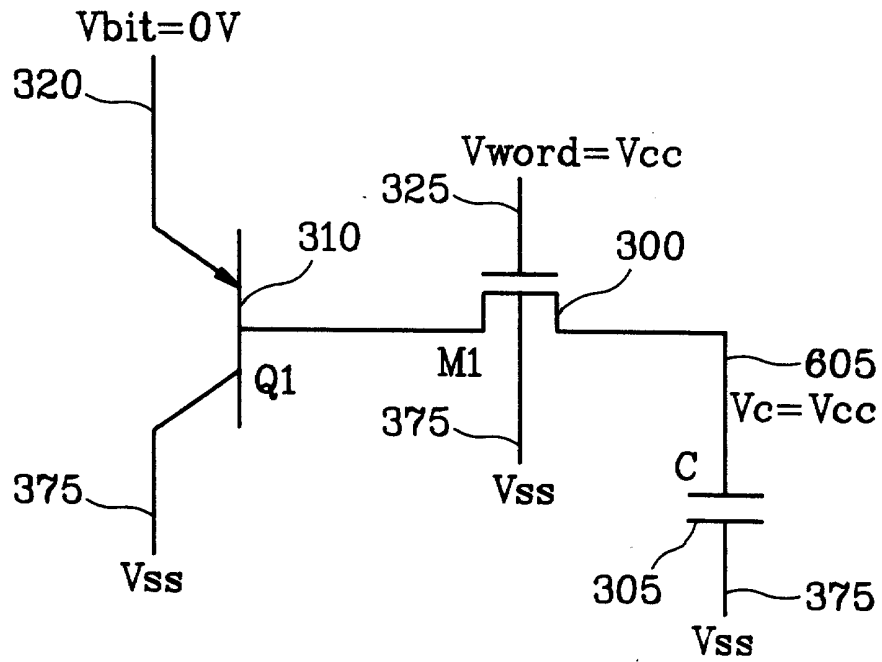


圖 七 B



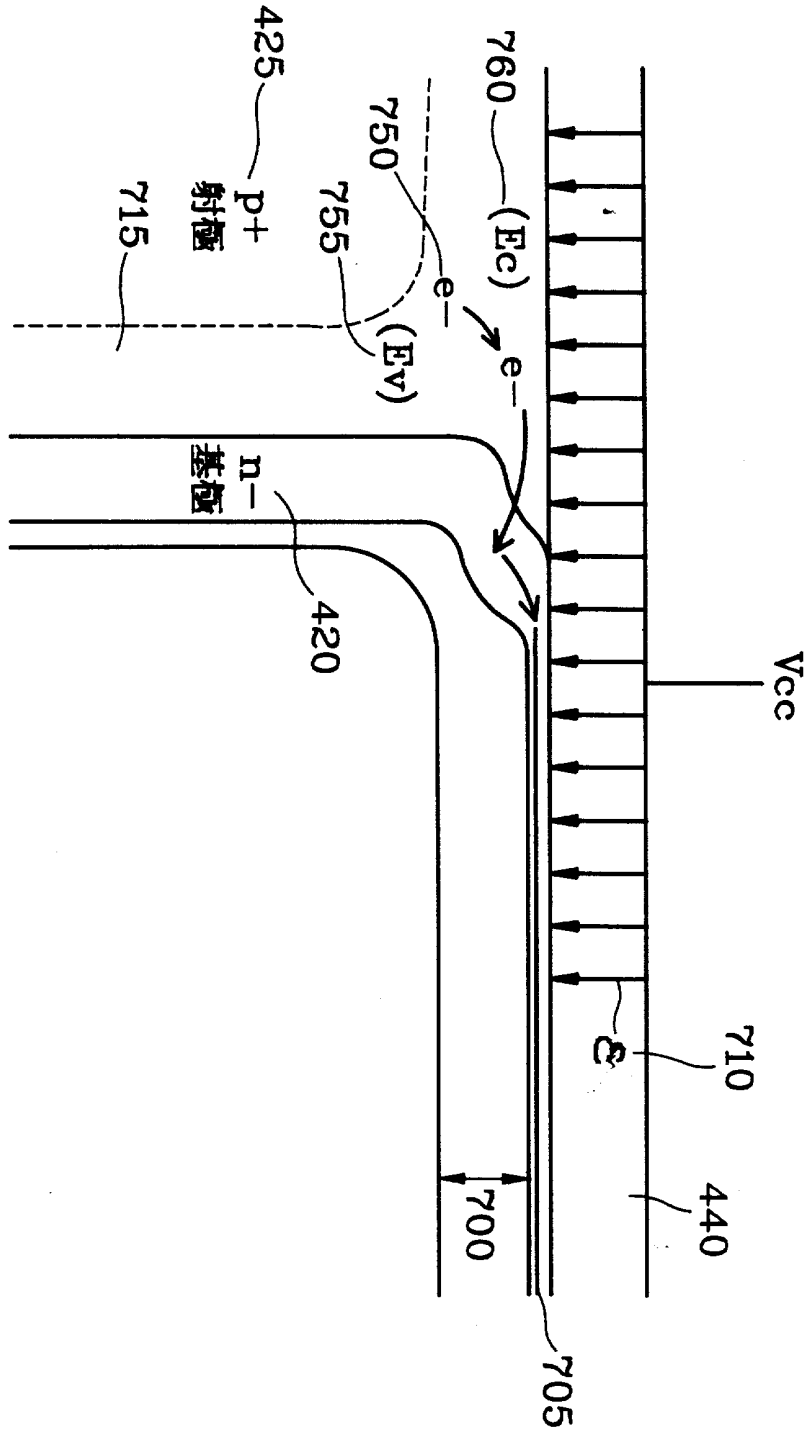


圖 七D

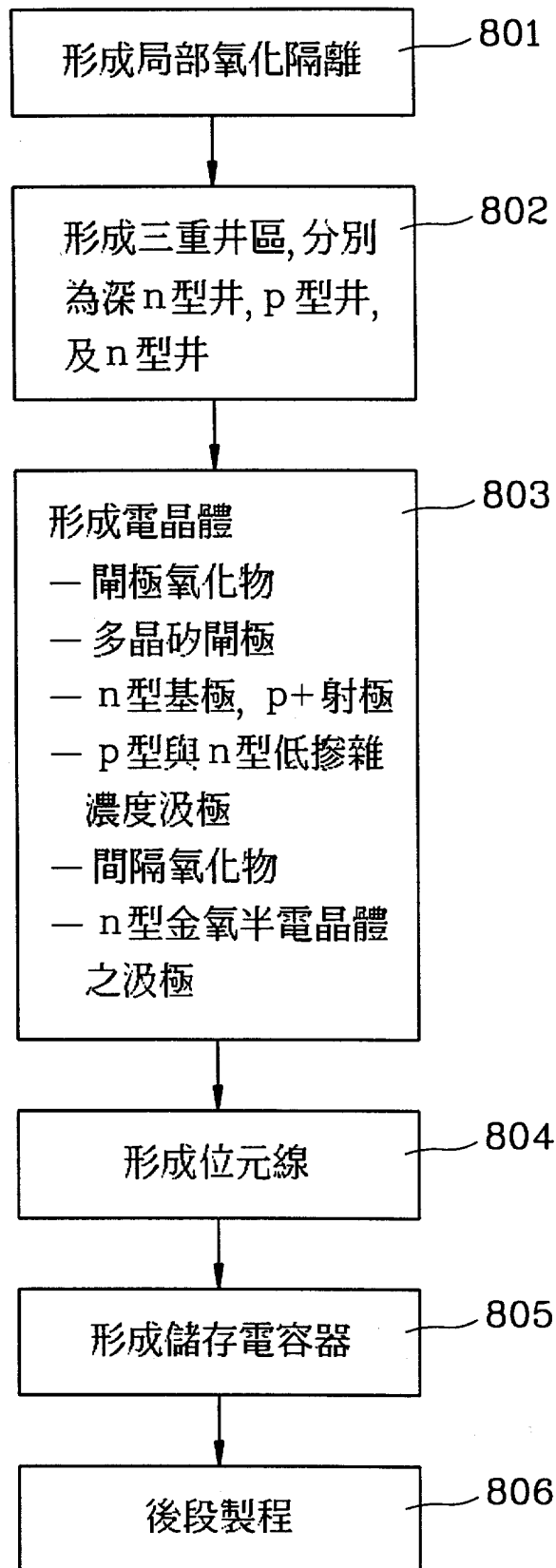


圖 八