



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I451597 B

(45) 公告日：中華民國 103 (2014) 年 09 月 01 日

(21) 申請案號：100102057

(22) 申請日：中華民國 100 (2011) 年 01 月 19 日

(51) Int. Cl. : **H01L33/02 (2010.01)**

(30) 優先權：2010/10/29 中華民國 099137445

(71) 申請人：晶元光電股份有限公司 (中華民國) EPISTAR CORPORATION (TW)
新竹市新竹科學工業園區力行五路 5 號

(72) 發明人：彭韋智 PENG, WEI CHIH (TW)；謝明勳 HSIEH, MIN HSUN (TW)；許明祺 HSU, MING CHI (TW)；顏偉昱 YEN, WEI YU (TW)；王俊凱 WANG, CHUN KAI (TW)；陳彥志 CHEN, YEN CHIH (TW)；洪詳竣 HON, SCHANG JING (TW)

(56) 參考文獻：

TW 535300

審查人員：董柏昌

申請專利範圍項數：18 項 圖式數：14 共 0 頁

(54) 名稱

光電元件及其製造方法

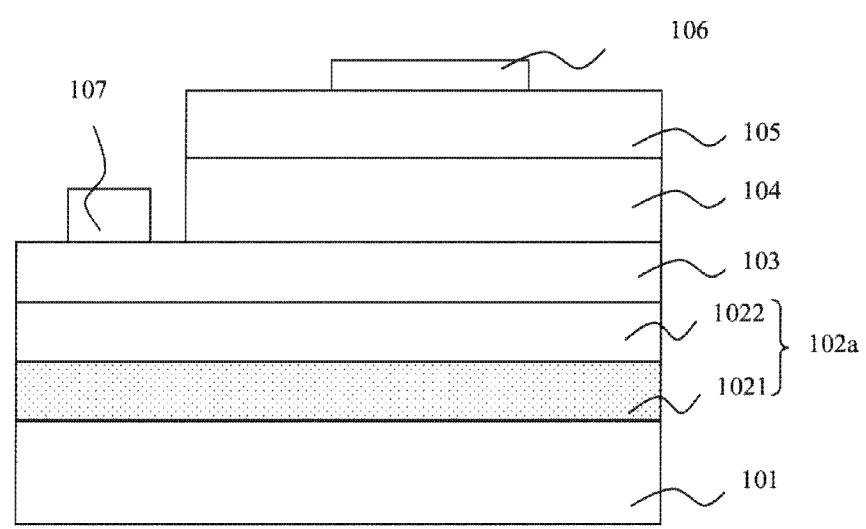
OPTOELECTRONIC DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57) 摘要

一種光電元件，包含：一基板，及一第一過渡疊層，位於基板之上，其中第一過渡疊層包含至少一第一過渡層，位於基板之上，且第一過渡層內部具有至少一孔洞結構，及一第二過渡層，係為一非故意摻雜層或未摻雜層，且位於第一過渡層之上。

An optoelectronic device includes a substrate and a first transition stacked layer formed on the substrate including at least a first transition layer formed on the substrate and having at least a void structure formed inside the first transition layer, and a second transition layer wherein the second transition layer is an unintentional doped layer or an undoped layer formed on the first transition layer.

100'



- 101 . . . 基板
- 102a . . . 第一過渡
疊層
- 103 . . . 第一半導體
層
- 104 . . . 主動層
- 105 . . . 第二半導體
層
- 106、107 . . . 電極

第 1E 圖

發明專利說明書



(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：100102059

※ 申請日：100.1.19

※IPC 分類：H01L 33102 (2010.01)

一、發明名稱：(中文/英文)

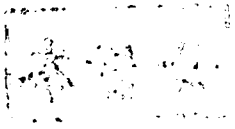
光電元件及其製造方法 / OPTOELECTRONIC DEVICE AND METHOD FOR MANUFACTURING THE SAME

二、中文發明摘要：

一種光電元件，包含：一基板，及一第一過渡疊層，位於基板之上，其中第一過渡疊層包含至少一第一過渡層，位於基板之上，且第一過渡層內部具有至少一孔洞結構，及一第二過渡層，係為一非故意摻雜層或一未摻雜層，且位於第一過渡層之上。

三、英文發明摘要：

An optoelectronic device includes a substrate and a first transition stacked layer formed on the substrate including at least a first transition layer formed on the substrate and having at least a void structure formed inside the first transition layer, and a second transition layer wherein the second transition layer is an unintentional doped layer or an undoped layer formed on the first transition layer.



四、指定代表圖：

(一)本案指定代表圖為：第 (1E) 圖。

(二)本代表圖之元件符號簡單說明：

基板 101

第一過渡疊層 102a

第一半導體層 103

主動層 104

第二半導體層 105

電極 106、107

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種具有形成在半導體與基板間之緩衝疊層結構之光電元件。

【先前技術】

發光二極體是半導體元件中一種被廣泛使用的光源。相較於傳統的白熾燈泡或螢光燈管，發光二極體具有省電及使用壽命較長的特性，因此逐漸取代傳統光源，而應用於各種領域，如交通號誌、背光模組、路燈照明、醫療設備等產業。

隨著發光二極體光源的應用與發展對於亮度的需求越來越高，如何增加其發光效率以提高其亮度，便成為產業界所共同努力的重要方向。

第 4A 圖係習知之發光元件結構示意圖，如第 4A 圖所示，習知之發光元件 100，包含有一透明基板 10、一緩衝層 11、一位於透明基板 10 上之半導體疊層 12，以及至少一電極 14 位於上述半導體疊層 12 上，其中上述之半導體疊層 12 由下而上至少包含一第一導電型半導體層 120、一活性層 122，以及一第二導電型半導體層 124。其中緩衝層 11 中包含至少一孔隙 111。

然而，如第 4B 圖所示，於習知之發光元件 100 中，由於

緩衝層 11 中之孔隙 111 容易造成發光元件 100 產生灰面，反而降低透光性。

【發明內容】

一種光電元件，包含：一基板，及一第一過渡疊層，位於基板之上，其中第一過渡疊層包含至少一第一過渡層，位於基板之上，且第一過渡層內部具有至少一孔洞結構，及一第二過渡層，係為一非故意摻雜層或一未摻雜層，且位於第一過渡層之上。

【實施方式】

為了使本發明之敘述更加詳盡與完備，請參照下列描述並配合第 1A 圖至第 1E 圖之圖示。如第 1A~第 1E 圖所例示，依據本發明第一實施例之光電元件 100 之製造方法簡述如下：如第 1A~1B 圖所示，在一具有一法線方向 N 之基板 101 第一表面 1011 上成長一第一過渡層 1021，其中第一過渡層 1021 之厚度可介於 $0.3\mu\text{m}\sim 3\mu\text{m}$ ，或 $0.4\mu\text{m}\sim 3\mu\text{m}$ ，或 $0.5\mu\text{m}\sim 3\mu\text{m}$ ，或 $0.7\mu\text{m}\sim 3\mu\text{m}$ ，或 $1\mu\text{m}\sim 3\mu\text{m}$ ，或 $2\mu\text{m}\sim 3\mu\text{m}$ 。

之後，第一過渡層 1021 可藉由電化學蝕刻、非等向性蝕刻，例如感應耦合電漿 (inductive coupling plasma, ICP) 之乾蝕刻，或使用草酸、氫氧化鉀、或磷酸硫酸溶液等

單一溶液或混合溶液進行濕蝕刻，使第一過渡層 1021 之內部包含至少一個孔洞結構，例如為孔洞(pore, void, bore)、針孔(pinhole)，或至少兩個孔洞結構可相互連結形成一網狀孔洞結構(porous structure)，其形成之一種方法可參閱本案申請人之第 099132135 號台灣專利申請案，並援引其為本申請案之一部分。

之後，如第 1B 圖所示，於第一過渡層 1021 上成長一第二過渡層 1022，其中第一過渡層 1021 與第二過渡層 1022 可合稱為一第一過渡疊層 102a。第二過渡層 1022 之成長溫度可介於 800~1200°C，壓力範圍 100~700 mbar，其調整係配合第一過渡層 1021 之孔洞大小與密度，以在第一過渡層 1021 之上進行橫向修補癒合，使靠近第一過渡層 1021 與第二過渡層 1022 介面之孔洞變小，並繼續成長第二過渡層 1022。

其中上述複數層第一過渡層 1021 可包含相同或不同寬度之孔洞結構。在一實施例中，上述複數層第一過渡層 1021 各層中之孔洞結構之寬度從靠近基板處往靠近第二過渡層 1022 方向漸減。在本實施例中，第一過渡疊層 102a 之材料包含一種或一種以上之元素選自鎵(Ga)、鋁(Al)、銦(In)、砷(As)、磷(P)、氮(N)以及矽(Si)所構成群組。在一實施例中，第一過渡層 1021 可為一 n-type 摻雜層，摻雜濃度可介於 $1\text{E}15\sim 1\text{E}19\text{ cm}^{-3}$ ，或 $1\text{E}16\sim 1\text{E}19\text{ cm}^{-3}$ ，或 $1\text{E}17\sim 1\text{E}19\text{ cm}^{-3}$ ，或 $1\text{E}18\sim 1\text{E}19\text{ cm}^{-3}$ ，或 $5\times 1\text{E}18\sim 1\text{E}19\text{ cm}^{-3}$ ，或 $5\times 1\text{E}17\sim 1\text{E}19\text{ cm}^{-3}$ ，或 $5\times 1\text{E}17\sim 1\text{E}18\text{ cm}^{-3}$ 。在一實施例中，第二過渡層 1022 係為一非故意摻雜層

(unintentional doped layer)或一未摻雜層(undoped layer)。

在本實施例中，第一過渡層 1021 中之孔洞或網狀孔洞之寬度可介於 10nm~2000nm，或 100nm~2000nm，或 300nm~2000nm，或 500nm~2000nm，或 800nm~2000nm，或 1000nm~2000nm，或 1300nm~2000nm，或 1500nm~2000nm，或 1800nm~2000nm。在一實施例中，較接近基板之孔洞寬度大於較接近第二過渡層之孔洞寬度。

在另一實施例中，第一過渡層 1021 中之複數個孔洞或網狀孔洞群可為一規則陣列結構。其中複數個孔洞之平均寬度 W_x 可介於 10nm~2000nm，或 100nm~2000nm，或 300nm~2000nm，或 500nm~2000nm，或 800nm~2000nm，或 1000nm~2000nm，或 1300nm~2000nm，或 1500nm~2000nm，或 1800nm~2000nm。在一實施例中，上述複數個孔洞或網狀孔洞群之平均間距可介於 10nm~2000nm，或 100nm~2000nm，或 300nm~2000nm，或 500nm~2000nm，或 800nm~2000nm，或 1000nm~2000nm，或 1300nm~2000nm，或 1500nm~2000nm，或 1800nm~2000nm。

上述複數個孔洞或網狀孔洞群形成之孔隙度 Φ (porosity) 定義為孔洞或網狀孔洞群之總體積 V_V 除以整體體積 V_T ($\phi = \frac{V_V}{V_T}$)，其中整體體積 V_T 為第一過渡層 1021 總體積。在本實施例中，孔隙度 Φ 可介於 5%-90%，或 10%-90%，或

20%-90%，或 30%-90%，或 40%-90%，或 50%-90%，或 60%-90%，或 70%-90%，或 80%-90%。接著，如第 1C 圖所示，於上述第二過渡層 1022 之上繼續成長一第一半導體層 103、一主動層 104 與一第二半導體層 105。

最後，如第 1D 圖所示，於第二半導體層 105 與基板 101 之上分別形成兩電極 106、107 以形成一垂直式光電元件 100。

在另一實施例中，如第 1E 圖所示，蝕刻部分上述主動層 104 與一第二半導體層 105 以露出部分第一半導體層 103 後，於第一半導體層 103 及第二半導體層 105 之上形成兩電極 106、107 以形成一水平式光電元件 100'。上述電極 106、107 材料可選自：鉻(Cr)、鈦(Ti)、鎳(Ni)、鉑(Pt)、銅(Cu)、金(Au)、鋁(Al)、或銀(Ag)等金屬材料。

第 1F 圖係依本發明上述實施例所形成光電元件之部分掃描式電子顯微鏡(Scanning Electron Microscopy, SEM)圖，其中包含基板 101、第一過渡層 1021、第二過渡層 1022 與第一半導體層 103。

上述第一過渡層 1021 中之複數個孔洞或網狀孔洞群係為中空結構，此複數個孔洞或網狀孔洞群具有一折射率，適可作為空氣透鏡，當光線於光電元件 100 中行進至複數個孔洞或網狀孔洞群時，由於複數個孔洞或網狀孔洞群內外部材料折射率之差異（例如，半導體層之折射率約介於 2~3 之間，空氣的折射率為 1），光線會在複數個孔洞或

網狀孔洞群處改變行進方向而離開光電元件，因而增加光摘出效率。另外，複數個孔洞或網狀孔洞群也可作為一散射中心(scattering center)以改變光子之行進方向並且減少全反射。藉由孔洞密度的增加，可更增加上述功效。

而第二過渡層 1022 可為一非故意摻雜層(unintentional doped layer)或一未摻雜層(undoped layer)，其成長在第一過渡層 1021 上時係先進行上述複數個孔洞或網狀孔洞群結構之修補與癒合，再往上繼續磊晶成長，可避免直接成長 n 型或 p 型摻雜之半導體層時因摻雜物質，例如為(Si)或鎂(Mg)吸附於孔洞周圍，而造成透光性下降，反而使光電元件之光取出效率下降。

如第 2A~第 2C 圖所例示，顯示本發明另一實施例之光電元件結構簡圖：如第 2A~2C 圖所示，第一過渡層 102a 也可包含多層的第一過渡層 1021 與一層第二過渡層 1022。如第 2A 圖所示，可包含兩層第一過渡層 1021 形成於基板(圖未示)之上及一層第二過渡層 1022 形成於第一過渡層 1021 之上。

如第 2B 圖所示，可包含三層第一過渡層 1021 形成於基板(圖未示)之上及一層第二過渡層 1022 形成於第一過渡層 1021 之上。如第 2C 圖所示，依元件之實際設計也可包含 n 層的第一過渡層 1021，其中 $n \geq 4$ ，以達到更好之光學效果或減少應力之效果。在本實施例中，任一第一過渡層 1021 中包含至少一個孔洞結構，可為孔洞(pore, void, bore)、針孔

(pinhole)，或至少兩個孔洞結構可相互連結形成一網狀孔洞結構(porous structure)，其形成方法、材料、大小與其他特性與上述實施例相同，在此不再贅述。

如第 3A~第 3C 圖所例示，顯示本發明另一實施例之光電元件結構簡圖：如第 3A 圖所示，本發明另一實施例之光電元件 200，在本實施例中，在第一過渡疊層 102a 之上尚可包含一第二過渡疊層 102b。在一實施例中，第一過渡疊層 102a 如同上述實施例，可包含至少一層第一過渡層(圖未示)及一層第二過渡層(圖未示)，且第二過渡疊層 102b，可包含至少一層第一過渡層(圖未示)及一層第二過渡層(圖未示)。在另一實施例中，如上述實施例所例示，第一過渡疊層 102a 與第二過渡疊層 102b 也可分別包含多層的第一過渡層(圖未示)，且每一第一過渡層(圖未示)中包含至少一個孔洞結構，可為孔洞(pore, void, bore)、針孔(pinhole)，或至少兩個孔洞結構可相互連結形成一網狀孔洞結構(porous structure)，其形成方法、材料、大小與其他特性與上述實施例相同，在此不再贅述。

如第 3B 圖所示，本發明另一實施例之光電元件 300，在本實施例中，在第一過渡疊層 102a 之上尚可包含一第二過渡疊層 102b 及一第三過渡疊層 102c，其中第一過渡疊層 102a 如同上述實施例，可包含至少一層第一過渡層(圖未示)及一層第二過渡層(圖未示)，且第二過渡疊層 102b，可包含至少一層第一過渡層(圖未示)及一層第二過渡層(圖未示)，且第三過渡

疊層 102c，可包含至少一層第一過渡層(圖未示)及一層第二過渡層(圖未示)。在一實施例中，如上述實施例所例示，第一過渡疊層 102a、第二過渡疊層 102b 與第三過渡疊層 102c 也可分別包含多層的第一過渡層(圖未示)，且每一第一過渡層(圖未示)中包含至少一個孔洞結構，可為孔洞(pore, void, bore)、針孔(pinhole)，或至少兩個孔洞結構可相互連結形成一網狀孔洞結構(porous structure)，其形成方法、材料、大小與其他特性與上述實施例相同，在此不再贅述。

如第 3C 圖所示，本發明另一實施例之光電元件 400，在本實施例中，在第一過渡疊層 102a 之上尚可包含一第二過渡疊層 102b、一第三過渡疊層 102c.....至第 n 層過渡疊層，其中 $n \geq 4$ ，其中每一過渡疊層，可包含至少一層第一過渡層(圖未示)及一層第二過渡層(圖未示)。在一實施例中，如上述實施例所例示，每一過渡疊層也可分別包含多層的第一過渡層(圖未示)，且每一第一過渡層(圖未示)中包含至少一個孔洞結構，可為孔洞(pore, void, bore)、針孔(pinhole)，或至少兩個孔洞結構可相互連結形成一網狀孔洞結構(porous structure)，其形成方法、材料、大小與其他特性與上述實施例相同，在此不再贅述。

具體而言，光電元件 100、200、300、400 係包含發光二極體 (LED)、光電二極體 (photodiode)、光敏電阻 (photoresister)、雷射 (laser)、紅外線發射體 (infrared emitter)、有機發光二極體 (organic light-emitting diode) 及太

陽能電池 (solar cell) 中至少其一。基板 101 係為一成長及/或承載基礎。候選材料可包含導電基板或不導電基板、透光基板或不透光基板。其中導電基板材料其一可為鍺 (Ge)、砷化鎵 (GaAs)、銻化磷 (InP)、碳化矽 (SiC)、矽 (Si)、鋁酸鋰 (LiAlO_2)、氧化鋅 (ZnO)、氮化鎵 (GaN)、氮化鋁 (AlN)、金屬。透光基板材料其一可為藍寶石 (Sapphire)、鋁酸鋰 (LiAlO_2)、氧化鋅 (ZnO)、氮化鎵 (GaN)、氮化鋁 (AlN)、金屬、玻璃、鑽石、CVD 鑽石、與類鑽碳 (Diamond-Like Carbon; DLC)、尖晶石 (spinel, MgAl_2O_4)、氧化鋁 (Al_2O_3)、氧化矽 (SiO_x) 及鎵酸鋰 (LiGaO_2)。

上述第一半導體層 103 及第二半導體層 105 係彼此中至少二個部分之電性、極性或摻雜物相異、或者係分別用以提供電子與電洞之半導體材料單層或多層 (「多層」係指二層或二層以上，以下同。)，其電性選擇可以為 p 型、n 型、及 i 型中至少任意二者之組合。主動層 104 係位於第一半導體層 103 及第二半導體層 105 之間，為電能與光能可能發生轉換或被誘發轉換之區域。電能轉變或誘發光能者係如發光二極體、液晶顯示器、有機發光二極體；光能轉變或誘發電能者係如太陽能電池、光電二極體。上述第一半導體層 103、主動層 104 及第二半導體層 105 其材料包含一種或一種以上之元素選自鎵 (Ga)、鋁 (Al)、銻 (In)、砷 (As)、磷 (P)、氮 (N) 以及矽 (Si) 所構成群組。

依據本發明之另一實施例之光電元件 100、200、300、400

係一發光二極體，其發光頻譜可以藉由改變半導體單層或多層之物理或化學要素進行調整。常用之材料係如磷化鋁鎵銻 (AlGaInP) 系列、氮化鋁鎵銻 (AlGaInN) 系列、氧化鋅 (ZnO) 系列等。主動層 104 之結構係如：單異質結構 (single heterostructure ; SH)、雙異質結構 (double heterostructure ; DH)、雙側雙異質結構 (double-side double heterostructure ; DDH)、或多層量子井 (multi-quantum well ; MQW)。再者，調整量子井之對數亦可以改變發光波長。

於本發明之一實施例中，第一半導體層103與第一過渡疊層102a或第一過渡疊層102a與基板101間尚可選擇性地包含一緩衝層(buffer layer，未顯示)。此緩衝層係介於二種材料系統之間，使基板之材料系統”過渡”至半導體系統之材料系統。對發光二極體之結構而言，一方面，緩衝層係用以降低二種材料間晶格不匹配之材料層。另一方面，緩衝層亦可以是用以結合二種材料或二個分離結構之單層、多層或結構，其可選用之材料係如：有機材料、無機材料、金屬、及半導體等；其可選用之結構係如：反射層、導熱層、導電層、歐姆接觸 (ohmic contact) 層、抗形變層、應力釋放 (stress release) 層、應力調整 (stress adjustment) 層、接合 (bonding) 層、波長轉換層、及機械固定構造等。在一實施例中，此緩衝層之材料可為AlN、GaN，且形成方法可為濺鍍(Sputter)或原子層沉積(Atomic Layer Deposition, ALD)。

第二半導體層105上更可選擇性地形成一接觸層(未顯示)。接觸層係設置於第二半導體層105遠離主動層104之一側。具體而言，接觸層可以為光學層、電學層、或其二者之組合。光學層係可以改變來自於或進入主動層104的電磁輻射或光線。在此所稱之「改變」係指改變電磁輻射或光之至少一種光學特性，前述特性係包含但不限於頻率、波長、強度、通量、效率、色溫、演色性(rendering index)、光場(light field)、及可視角(angle of view)。電學層係可以使得接觸層之任一組相對側間之電壓、電阻、電流、電容中至少其一之數值、密度、分布發生變化或有發生變化之趨勢。接觸層之構成材料係包含氧化物、導電氧化物、透明氧化物、具有50%或以上穿透率之氧化物、金屬、相對透光金屬、具有50%或以上穿透率之金屬、有機質、無機質、螢光物、磷光物、陶瓷、半導體、摻雜之半導體、及無摻雜之半導體中至少其一。於某些應用中，接觸層之材料係為氧化銻錫、氧化鎘錫、氧化銻錫、氧化銻鋅、氧化鋅鋁、與氧化鋅錫中至少其一。若為相對透光金屬，其厚度係約為 $0.005\mu\text{m}\sim 0.6\mu\text{m}$ 。

以上各圖式與說明雖僅分別對應特定實施例，然而，各個實施例中所說明或揭露之元件、實施方式、設計準則、及技術原理除在彼此顯相衝突、矛盾、或難以共同實施之外，吾人當可依其所需任意參照、交換、搭配、協調、或合併。

雖然本發明已說明如上，然其並非用以限制本發明之範

圍、實施順序、或使用之材料與製程方法。對於本發明所作之各種修飾與變更，皆不脫本發明之精神與範圍。

【圖式簡單說明】

第 1A~1E 圖係本發明實施例之光電元件之製程示意圖；

第 1F 圖係依本發明實施例所形成光電元件之部分掃描式電子顯微鏡(Scanning Electron Microscopy, SEM)圖；

第 2A~第 2C 圖係顯示本發明另一實施例之光電元件結構簡圖；

第 3A~第 3C 圖係顯示本發明另一實施例之光電元件結構簡圖；

第 4A 圖係習知之發光元件結構示意圖；及

第 4B 圖係習知之發光元件結構上視圖。

【主要元件符號說明】

基板 101

第一過渡疊層 102a

第二過渡疊層 102b

第三過渡疊層 102c

第一過渡層 1021

第二過渡層 1022

第一半導體層 103

主動層 104

第二半導體層 105

電極 106、107

七、申請專利範圍：

1. 一種光電元件，包含：

一基板；及

一第一過渡疊層，位於該基板之上，其中該第一過渡疊層包含至少一第一過渡層，位於該基板之上，且該第一過渡層內部具有至少一孔洞結構，及一第二過渡層，係為一非故意摻雜層或一未摻雜層，且位於該第一過渡層之上。

2. 如請求項 1 所述之光電元件，其中該孔洞結構具有一寬度，其中該寬度係為該孔洞結構於平行該表面方向之最大尺寸，且該寬度介於 10nm~2000nm。

3. 如請求項 1 所述之光電元件，其中該光電元件包含複數個該孔洞結構，該些孔洞結構可相互連結，形成一個或複數個網狀孔洞群；或該些孔洞結構呈一規則陣列，且該些孔洞結構其平均間距介於 10nm~2000nm，孔隙度介於 5%-90%。

4. 如請求項 1 所述之光電元件，更包含一第一半導體層、一主動層及一第二半導體層形成於該過渡疊層之上，其中該過渡疊層、該第一半導體層、該主動層及該第二半導體層之材料包含一種或一種以上之元素選自鎵(Ga)、鋁(Al)、銦(In)、砷(As)、磷(P)、氮(N)以及矽(Si)所構成群組。

5. 如請求項 2 所述之光電元件，其中較接近基板之該孔洞結

構寬度大於較接近第二過渡層之該孔洞結構寬度。

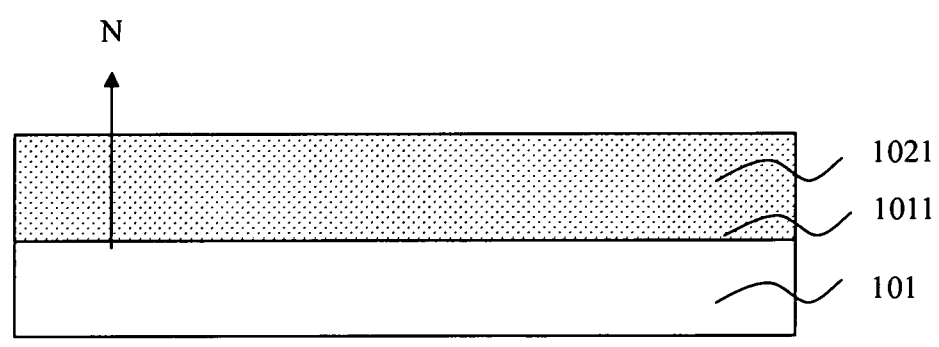
6. 如請求項 2 所述之光電元件，其中該過渡疊層包含複數層第一過渡層，且該複數層第一過渡層包含不同寬度之孔洞結構，且該複數層第一過渡層各層中之該孔洞結構之寬度從靠近該基板處往靠近該第二過渡層方向漸減。
7. 如請求項 1 所述之光電元件，更包含一第二過渡疊層形成於該第一過渡疊層之上，其中該第二過渡疊層包含至少一第一過渡層，位於該第一過渡疊層之上，且該第一過渡層內部具有至少一孔洞結構，及一第二過渡層，係為一非故意摻雜層或未摻雜層，且位於該第一過渡層之上。
8. 如請求項 1 所述之光電元件，其中該第一過渡層可為一 n-type 摻雜層，摻雜濃度可介於 $1E15 \sim 1E19 \text{ cm}^{-3}$ 。
9. 一種製造一光電元件之方法，包含下列步驟：
提供一基板；
形成一第一過渡層於該基板之上；
形成至少一孔洞結構，於該第一過渡層內；及
形成一第二過渡層於該第一過渡層之上，其中該第二過渡層係為一非故意摻雜層或未摻雜層。
10. 如請求項 9 所述之方法，其中於該第一過渡層中形成孔洞結構之步驟包含電化學蝕刻、非等向性乾蝕刻或非等向性濕蝕刻。

11. 如請求項 9 所述之方法，其中該孔洞結構具有一寬度，其中該寬度係為該孔洞結構於平行該表面方向之最大尺寸，且該寬度介於 10nm~2000nm。
12. 如請求項 9 所述之方法，其中該光電元件包含複數個該孔洞結構，該些孔洞結構可相互連結，形成一個或複數個網狀孔洞群；或該些孔洞結構呈一規則陣列，且該些孔洞結構其平均間距介於 10nm~2000nm，孔隙度介於 5%-90%。
13. 如請求項 9 所述之方法，更包含形成一第一半導體層、一主動層及一第二半導體層於該過渡疊層之上，其中該過渡疊層、該第一半導體層、該主動層及該第二半導體層之材料包含一種或一種以上之元素選自鎵(Ga)、鋁(Al)、銦(In)、砷(As)、磷(P)、氮(N)以及矽(Si)所構成群組。
14. 如請求項 11 所述之方法，其中較接近基板之該孔洞結構寬度大於較接近第二過渡層之該孔洞結構寬度。
15. 如請求項 11 所述之方法，其中該過渡疊層包含複數層第一過渡層，且該複數層第一過渡層包含不同寬度之孔洞結構，且該複數層第一過渡層各層中之該孔洞結構之寬度從靠近該基板處往靠近該第二過渡層方向漸減。
16. 如請求項 9 所述之方法，其中該第一過渡疊層可更包含形成多層的第一過渡層於該基板及該第二過渡層之間。
17. 如請求項 9 所述之方法，更包含一第二過渡疊層形成於該第一過渡疊層之上，其中該第二過渡疊層包含至少一

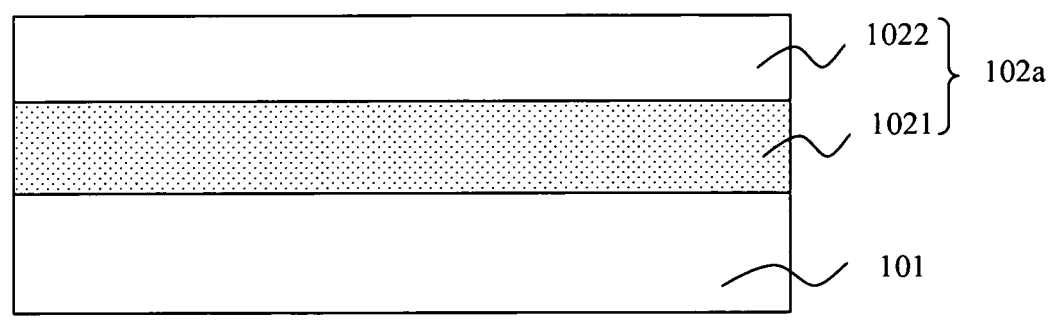
第一過渡層，位於該第一過渡疊層之上，且該第一過渡層內部具有至少一孔洞結構，及一第二過渡層，係為一非故意摻雜層或未摻雜層，且位於該第一過渡層之上。

18. 如請求項 9 所述之方法，其中該第一過渡層可為一 n-type 摻雜層，摻雜濃度可介於 $1E15 \sim 1E19 \text{ cm}^{-3}$ 。

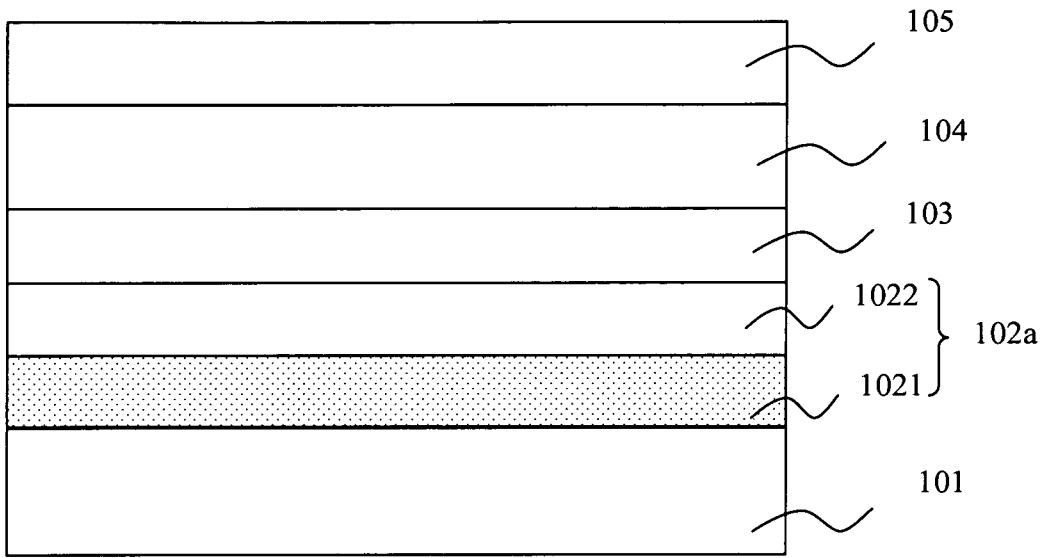
八、圖式：



第 1A 圖

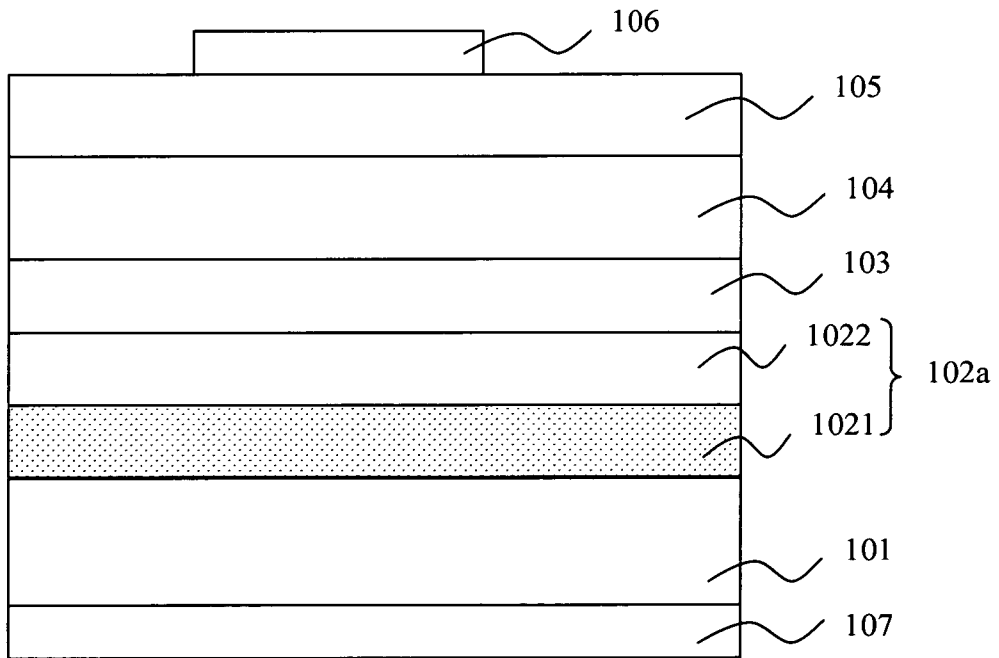


第 1B 圖



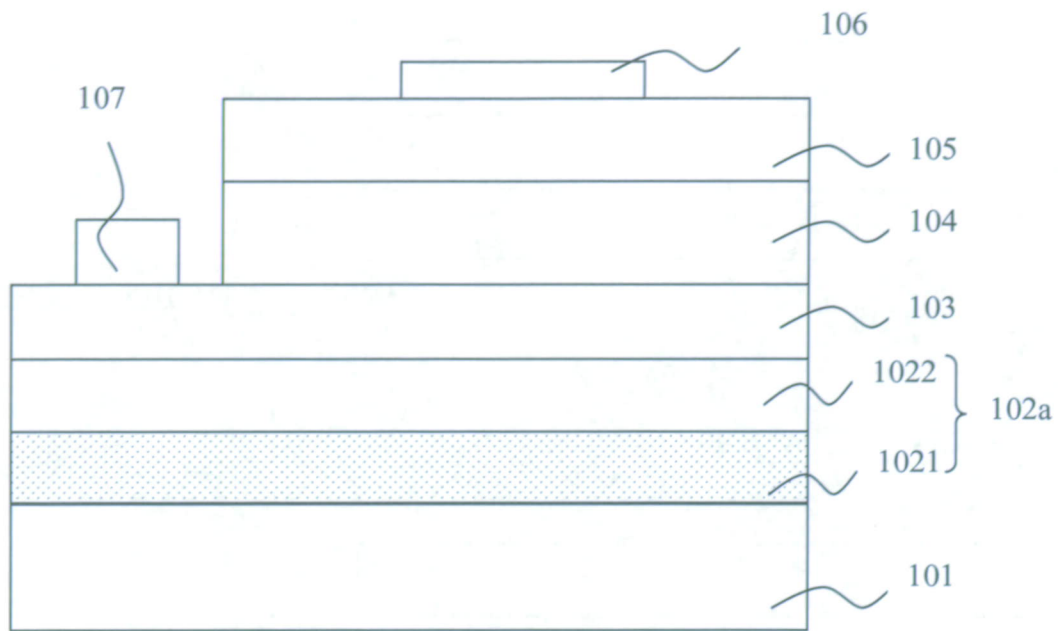
第 1C 圖

100

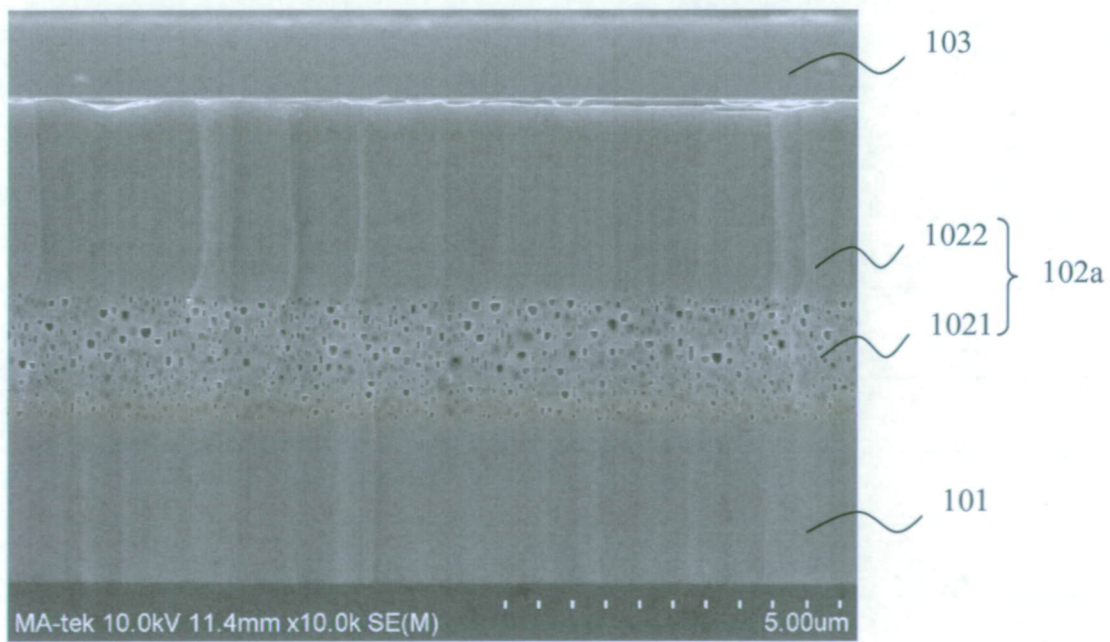


第 1D 圖

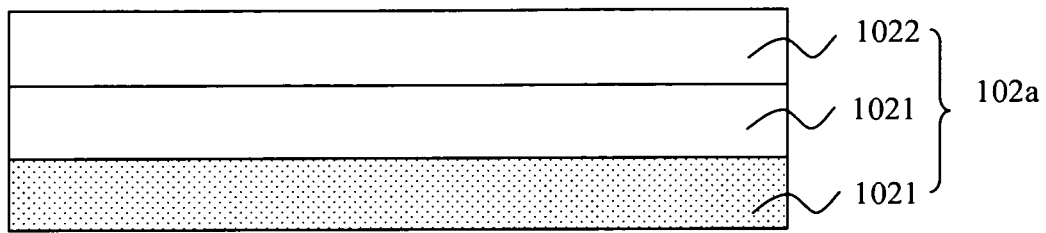
100'



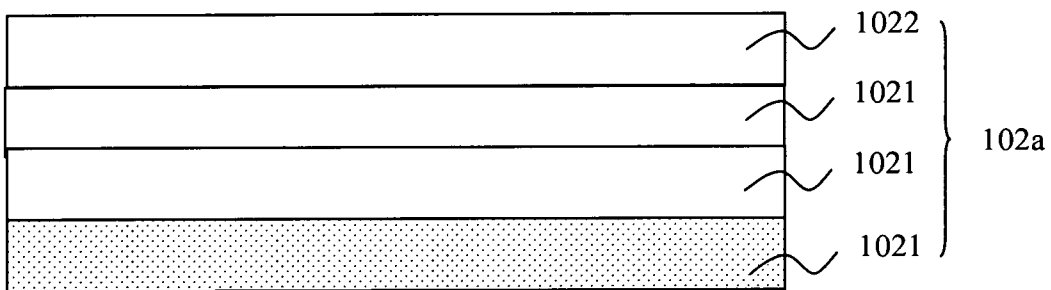
第 1E 圖



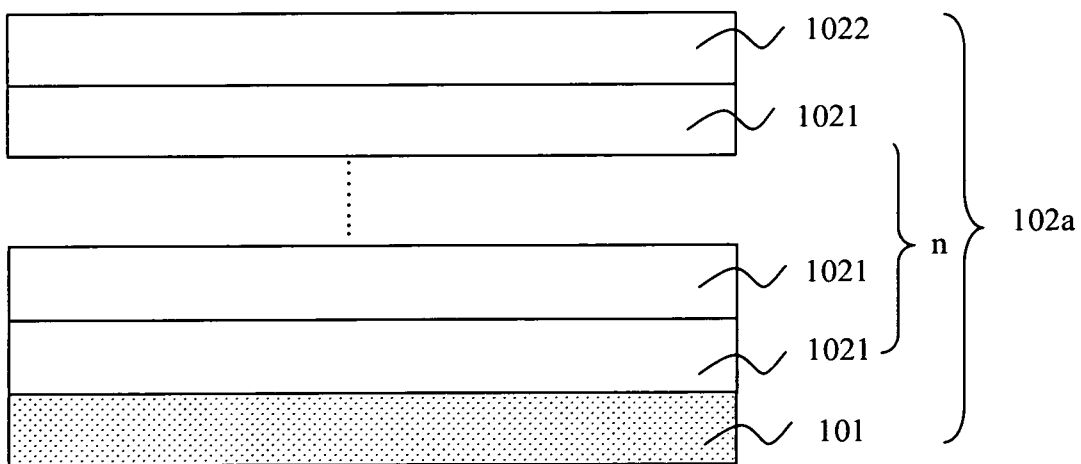
第 1F 圖



第 2A 圖

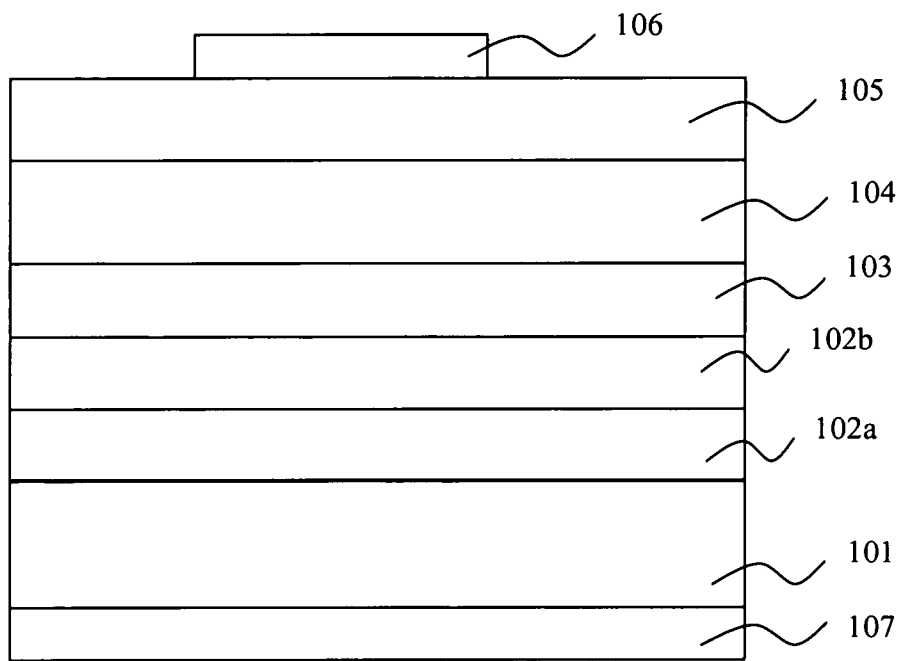


第 2B 圖



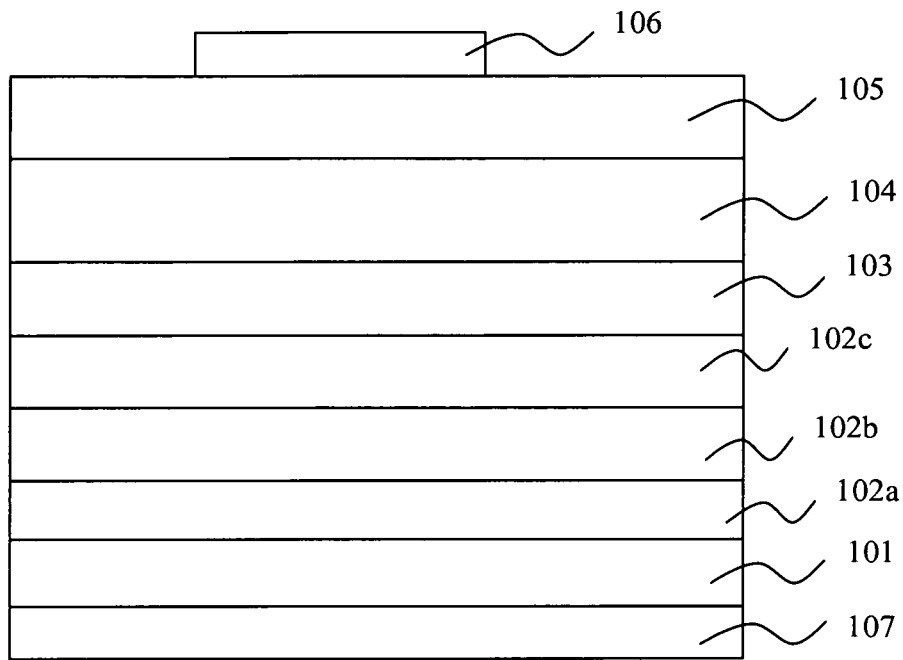
第 2C 圖

200



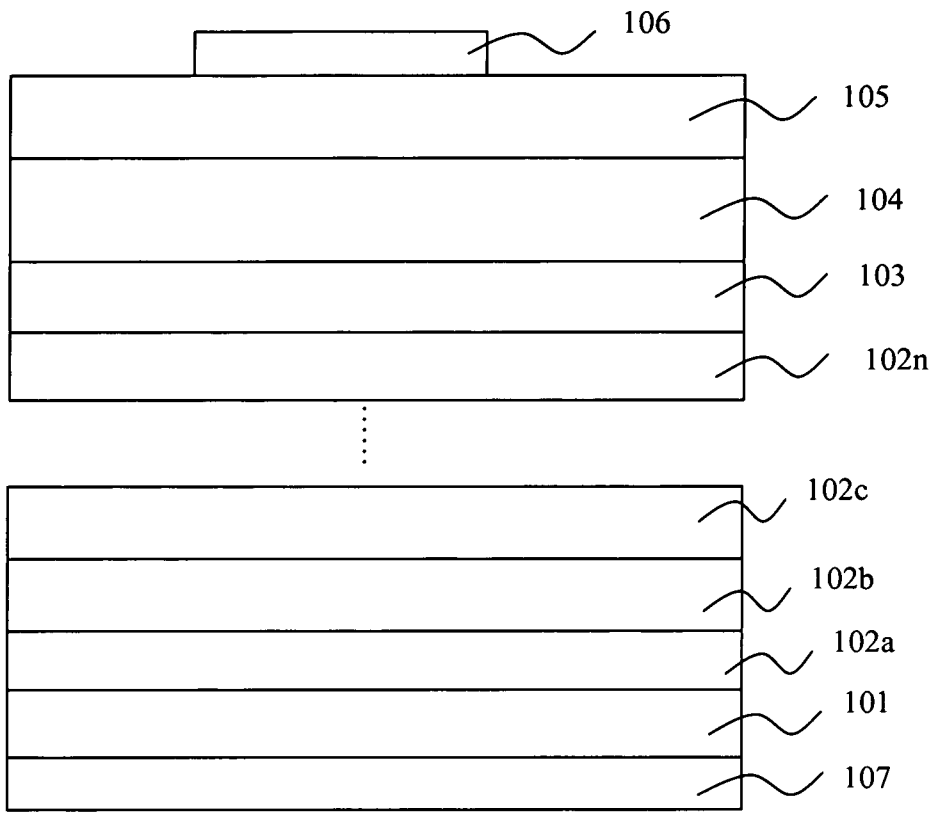
第 3A 圖

300



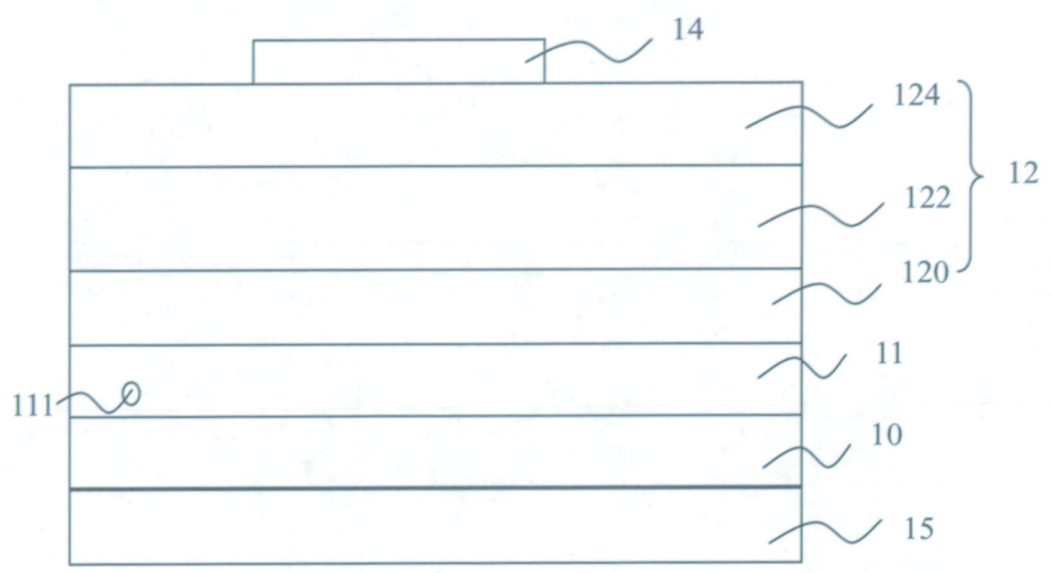
第 3B 圖

400

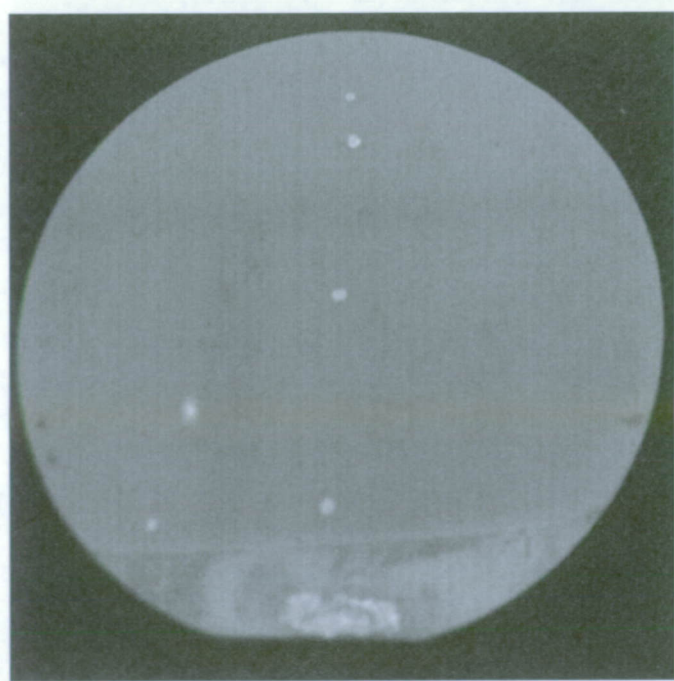


第 3C 圖

10



第 4A 圖



第 4B 圖