



(12) 实用新型专利

(10) 授权公告号 CN 203133271 U

(45) 授权公告日 2013. 08. 14

(21) 申请号 201320118836. 2

(22) 申请日 2013. 03. 15

(73) 专利权人 武汉大学

地址 430072 湖北省武汉市武昌区珞珈山武汉大学

(72) 发明人 万显荣 方亮

(74) 专利代理机构 武汉科皓知识产权代理事务所(特殊普通合伙) 42222

代理人 鲁力

(51) Int. Cl.

G01S 7/02(2006. 01)

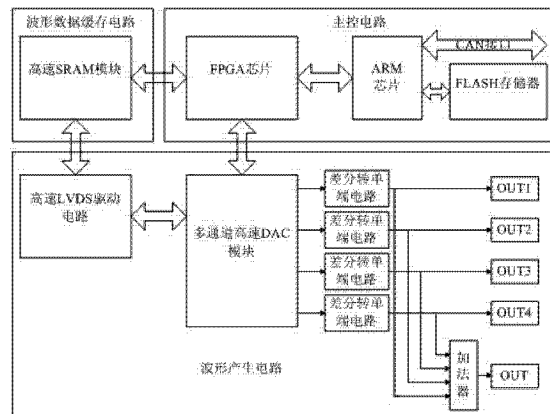
权利要求书1页 说明书3页 附图3页

(54) 实用新型名称

一种高频地波雷达多通道相干频率合成器

(57) 摘要

本实用新型涉及频率合成器技术领域, 尤其涉及一种高频地波雷达多通道相干频率合成器。该频率合成器以四通道高速数模转换器 AD9148 为主体实现波形产生, 使用高速 SRAM 作为波形数据缓存电路, 利用 ARM 和 FPGA 作为控制核心。本实用新型的优点在于:(1) 使用相干性好的多个通道, 既能独立得到单频信号也能得到含多种频率成份的多频信号, 非常适用于多通道雷达系统。(2) 将大部分信号处理过程移出硬件, 减少了输出信号杂散产生的来源, 有效改善了信号频谱纯度。(3) 能够产生很高精度和稳定度的任意复杂波形, 频率覆盖高频段, 且波形调整极为方便灵活。(4) 简洁的硬件结构保证了系统的稳定性和可靠性, 具有通用硬件平台的特征。



1. 一种高频地波雷达多通道相干频率合成器,其特征在于,包括:包含有多通道高速 DAC 模块的波形产生电路;包含有高速 SRAM 模块的波形数据缓存电路;包含有 ARM 芯片和 FPGA 芯片的主控电路;所述波形产生电路与主控电路和波形数据缓存电路均相连,主控电路与波形数据缓存电路相连。

2. 根据权利要求 1 所述的一种高频地波雷达多通道相干频率合成器,其特征在于,所述波形产生电路包括高速 LVDS 驱动电路、多通道高速 DAC 模块、差分转单端电路和加法器;高速 LVDS 驱动电路与多通道高速 DAC 模块的数据输入端口相连,FPGA 芯片与多通道高速 DAC 模块的配置端口相连,多通道高速 DAC 模块的模拟输出端连接差分转单端电路输入端,差分转单端电路输出端既连接加法器的输入端又能够单独输出单频信号,加法器输出多频信号。

3. 根据权利要求 2 所述的一种高频地波雷达多通道相干频率合成器,其特征在于,所述波形数据缓存电路包括四片 SRAM 模块,该四片 SRAM 模块的地址、数据和控制总线同时与 FPGA 芯片相连,同时四片 SRAM 模块的数据总线同时与高速 LVDS 驱动电路相连。

4. 根据权利要求 3 所述的一种高频地波雷达多通道相干频率合成器,其特征在于,所述主控电路包括 FPGA 芯片、ARM 芯片和 FLASH 存储器;所述 ARM 芯片的地址、数据和控制总线同时与 FPGA 芯片相连,且 ARM 芯片外扩 FLASH 存储器;FPGA 芯片内部包括 SRAM 接口模块和 DAC 接口模块。

## 一种高频地波雷达多通道相干频率合成器

### 技术领域

[0001] 本实用新型涉及频率合成器技术领域,尤其涉及一种高频地波雷达多通道相干频率合成器。

### 背景技术

[0002] 频率合成器是高频地波雷达的重要组成部分,它很大程度上决定了雷达的各种技术参数和探测性能,同时也决定了雷达的任务和用途。当今高性能的雷达频率源都是通过频率合成技术实现的,即通过一个或多个高稳定度和高精度的参考频率源进行运算得到所需的信号频率。

[0003] 频率合成技术最初投入应用的是直接频率合成(DS)技术,DS具有频率捷变时间短、近载频相位噪声性能好等优点,但是由于大量采用倍频、分频、混频和滤波等环节,结构复杂、体积较大、成本较高,容易产生过多的杂散分量,难以满足频谱纯度的要求。

[0004] 间接频率合成(IS)技术由于使用了锁相环这种惰性环节,锁定时间较长,不能满足频率捷变的要求,并且如果要想实现较高的频率分辨率需降低相位噪声指标。

[0005] 直接数字频率合成(DDS)技术是一种全数字化的波形发生技术,其频率分辨率极高、跳频时间短、频率稳定度高。目前专用集成DDS芯片频率可达1GHz,在成本、体积、重量方面明显优于传统的波形发生方案,在高频地波雷达系统中得到了广泛应用。采用DDS技术的高频雷达频率合成器的不足之处是波形调整较难、输出信号的频谱杂散分布复杂,DDS的杂散来源及其抑制仍然是当前频率合成领域研究的热点课题。

[0006] 利用数字上变频原理设计的高频雷达频率合成器也有很好的应用前景。由于采用了波形库和数字混频,数字上变频技术产生的波形灵活可变,信号频率稳定度和分辨率高,能够实现频率的捷变,但是仍存在输出信号杂散的问题。

[0007] 此外,直接数字波形合成(DDWS)是将以一定采样率存储在高速存储器中的波形数据读出,经过D/A转换输出模拟信号。这种方法原理简单,结构简洁,可以产生任意波形信号,有效的改善信号的频谱纯度。不足之处是对存储器的容量和速度以及D/A转换器的转换速度要求较高,在许多应用场合甚至无法实现。在当前微电子技术和专用数字集成芯片技术迅速发展的背景下,这些矛盾正在逐步得到缓解或解决。在高频段(3~30MHz)雷达系统中,现有的高速DAC器件和高速大容量存储器已经能够满足硬件系统的要求并应用于工程实践。

[0008] 并且在多通道多频雷达系统的工程实现中,我们希望频率合成器能够实现多通道信号输出,不仅通道之间相干性要好,而且能实现多频信号的合成。

### 发明内容

[0009] 本实用新型的目的是提供一种高频地波雷达多通道相干频率合成器,该频率合成器采用直接数字波形合成技术,能实现多通道信号产生,每个通道的波形可以独立控制,多个独立控制的单频信号加权叠加,可得一路含多种频率成分的合成信号。

[0010] 为达到上述目的,本实用新型采用如下技术方案:

[0011] 一种高频地波雷达多通道相干频率合成器,其特征在于,包括:包含有多通道高速 DAC 模块的波形产生电路;包含有高速 SRAM 模块的波形数据缓存电路;包含有 ARM 芯片和 FPGA 芯片的主控电路;所述波形产生电路与主控电路和波形数据缓存电路均相连,主控电路与波形数据缓存电路相连。

[0012] 在上述的一种高频地波雷达多通道相干频率合成器,所述波形产生电路包括高速 LVDS 驱动电路、多通道高速 DAC 模块、差分转单端电路和加法器;高速 LVDS 驱动电路与多通道高速 DAC 模块的数据输入端口相连,FPGA 芯片与多通道高速 DAC 模块的配置端口相连,多通道高速 DAC 模块的模拟输出端连接差分转单端电路输入端,差分转单端电路输出端既连接加法器的输入端又能够单独输出单频信号,加法器输出多频信号。

[0013] 在上述的一种高频地波雷达多通道相干频率合成器,所述波形数据缓存电路包括四片 SRAM 模块,该四片 SRAM 模块的地址、数据和控制总线同时与 FPGA 芯片相连,同时四片 SRAM 模块的数据总线同时与高速 LVDS 驱动电路相连。

[0014] 在上述的一种高频地波雷达多通道相干频率合成器,所述主控电路包括 FPGA 芯片、ARM 芯片和 FLASH 存储器;所述 ARM 芯片的地址、数据和控制总线同时与 FPGA 芯片相连,且 ARM 芯片外扩 FLASH 存储器;FPGA 芯片内部包括 SRAM 接口模块和 DAC 接口模块。

[0015] 本实用新型具有以下优点和积极效果:1 使用相干性好的多个通道,既能独立得到单频信号也能得到含多种频率成份的多频信号,非常适用于多通道雷达系统;2 将大部分信号处理过程移出硬件,减少了输出信号杂散产生的来源,有效改善了信号频谱纯度;3 能够产生很高精度和稳定度的任意复杂波形,频率覆盖高频段,且波形调整极为方便灵活;4 简洁的硬件结构保证了系统的稳定性和可靠性,具有通用硬件平台的特征。

#### 附图说明

[0016] 图 1 为本实用新型的系统框图。

[0017] 图 2 为本实用新型的主体电路连接示意图。

[0018] 图 3 为本实用新型的 FPGA 芯片内部 SRAM 接口模块和 DAC 接口模块工作示意图。

#### 具体实施方式

[0019] 下面以具体实施例结合附图对本实用新型作进一步说明。

[0020] 参见图 1、图 2,本实用新型包括以多通道高速 DAC 模块为主体的波形产生电路,以高速 SRAM 模块为主体的波形数据缓存电路,以 ARM 芯片和 FPGA 芯片为主体的主控电路。

[0021] 本实施例中,多通道高速 DAC 模块选用 ADI 公司的四通道数模转换器 AD9148,该芯片具有 16 位转换精度,提供高达 1GSPS 的采样速率。它在保持高速率的同时还具有信号处理性能,并且提供一流的动态范围和低噪、低功耗性能。AD9148 简化了多个转换通道的时钟设计方案,相位的一致性更容易得到保证。在 AD9148 有效工作之前,需要通过 SPI 口对其配置,配置参数包括:数据输入模式参数、数据路径参数、时钟参数等。

[0022] 本实施例中,SRAM 选用 ISSI 公司的 IS61WV102416,容量为  $1M \times 16\text{bit}$ ,最高访问速率高达 125MHz,根据 Nyquist 采样定理,要实现高频段 (3~30MHz) 信号的全覆盖发射,波形采样速率要高于 60MHz,该 SRAM 能够满足此要求。SRAM1、SRAM2、SRAM3、SRAM4 分别用于

缓存通道 1、2、3、4 的波形数据,当 AD9148 数据输入工作在双口模式,SRAM1 和 SRAM2 对应于 P1 口数据源,SRAM3 和 SRAM4 对应于 P2 口数据源。

[0023] 本实施例中,ARM 芯片选用飞利浦公司的 LPC2292,该芯片内部有 ARM7 内核,支持多种片上外设,包括外部存储器访问、SPI、UART 和 CAN 等,其外部存储器访问接口通过 FPGA 访问 SRAM, SPI 接口通过 FPGA 配置 AD9148。

[0024] 本实施例中, FPGA 芯片选用 Altera 公司的 EP2C35F484,包括 SRAM 接口模块和 AD9148 接口模块。其芯片管脚 I00-I039、I044 与 LPC2292 相连,管脚 I045-I0128 与 SRAM 相连,用于实现 SRAM 接口和 AD9148 接口时序控制;管脚 I040-I043 与 LPC2292 相连,管脚 I0129-I0132 与 AD9148 相连,用于实现 AD9148 配置时序。在 FPGA 中用硬件描述语言 Verilog 实现,给系统开发提供了很大的灵活性。

[0025] 图 3 是 FPGA 芯片内部 SRAM 接口模块和 DAC 接口模块工作示意图。当系统工作时,首先 ARM 将 CON\_9148 置低,禁止 AD9148 接口模块工作,同时 ARM 通过地址总线 ARMA[1..20],数据总线 ARMD[0..15]、片选信号 ARM\_CS0、写信号 ARM\_WE,以及 SRAM 访问有效信号 SRAM1\_SELECT、SRAM2\_SELECT、SRAM3\_SELECT、SRAM4\_SELECT 将四通道波形数据分别写入相应 SRAM。然后 ARM 置高 CON\_9148,使 AD9148 接口模块工作,该模块在 DCIA 时钟的驱动下产生地址信号 SRAM12A\_IN[0..19]、SRAM34A\_IN[0..19],片选信号 SRAM1\_CS\_IN、SRAM2\_CS\_IN、SRAM3\_CS\_IN、SRAM4\_CS\_IN,读信号 SRAM1\_OE\_IN、SRAM2\_OE\_IN、SRAM3\_OE\_IN、SRAM4\_OE\_IN。最后 SRAM 接口模块产生地址信号 SRAM12A [0..19]、SRAM34A [0..19],片选信号 SRAM1\_CS、SRAM2\_CS、SRAM3\_CS、SRAM4\_CS,读信号 SRAM1\_OE、SRAM2\_OE、SRAM3\_OE、SRAM4\_OE,将 SRAM1 和 SRAM2 中的波形数据导入 AD9148 的 P1 口,DCIA 上升沿导入 SRAM1 中的数据,DCIA 下降沿导入 SRAM2 中的数据;将 SRAM3 和 SRAM4 中的波形数据导入 AD9148 的 P2 口,DCIA 上升沿导入 SRAM3 中的数据,DCIA 下降沿导入 SRAM4 中的数据。

[0026] 系统具体工作流程如下:系统正式工作之前,由上位机软件 MATLAB 生成所需要的波形数据文件,然后经过 CAN 总线下载到 ARM 的外扩存储器 FLASH 中,以保证数据的掉电不丢失。系统正式工作时,首先由 ARM 完成一系列的初始化,然后等待来自 CAN 总线的发射信号配置参数。收到参数后,ARM 将根据这些参数对系统再次配置,并复制波形数据到 SRAM 中。此时频率合成器已经准备就绪,只要收到发射波形的起始信号,DAC 就开始正式工作,产生特定的波形信号。

[0027] 以上所揭露的仅为本实用新型的较佳实施例而已,当然不能以此来限定本实用新型之权利范围,因此依本实用新型申请专利范围所作的等效变化,仍属于本实用新型的保护范围。

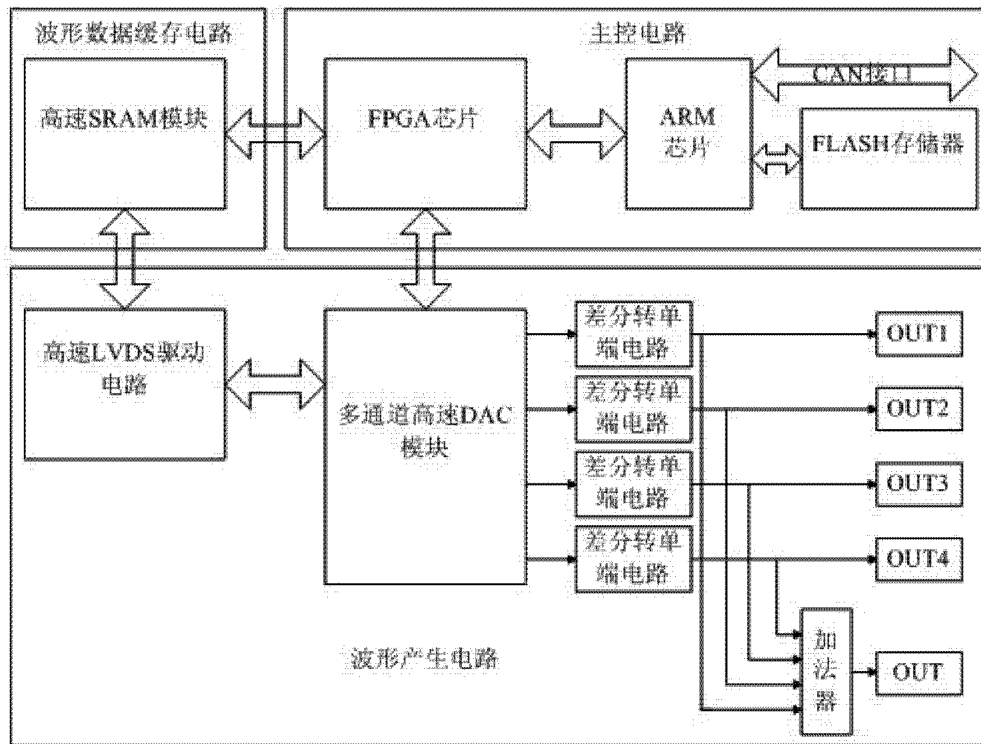


图 1

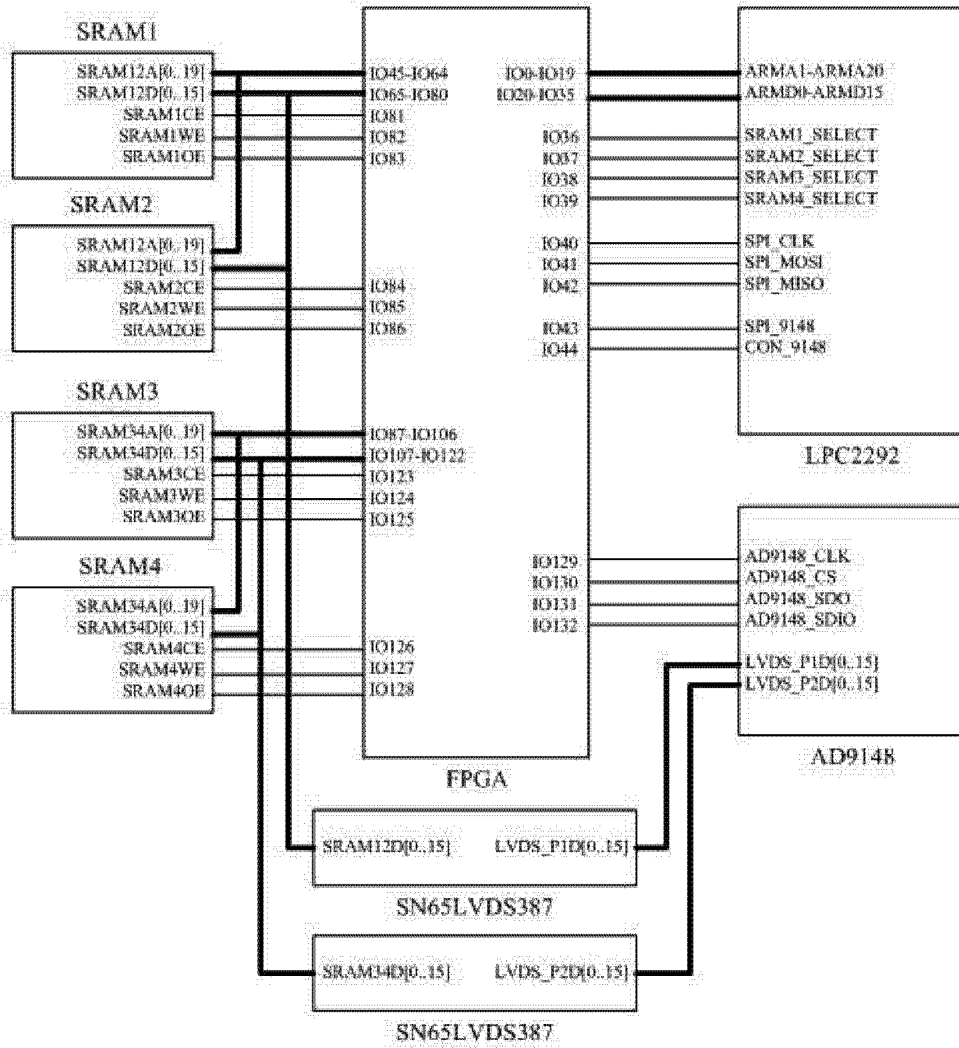


图 2

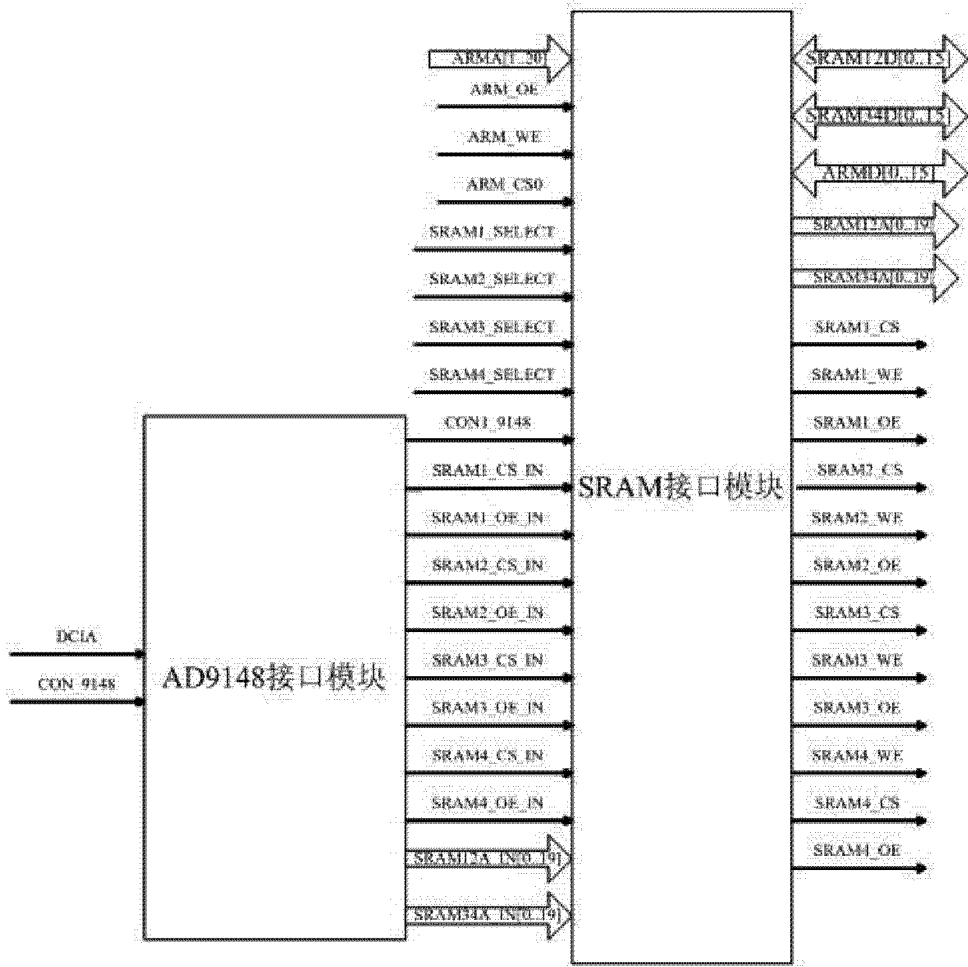


图 3