



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I443672 B

(45) 公告日：中華民國 103 (2014) 年 07 月 01 日

(21) 申請案號：099109805

(22) 申請日：中華民國 99 (2010) 年 03 月 31 日

(51) Int. Cl. : G11C7/12 (2006.01)

(30) 優先權：2009/03/31 美國 61/165,185

2010/03/03 美國 12/716,430

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72) 發明人：楊天駿 YANG, TIEN-CHUN (US)；林志昌 LIN, CHIH-CHANG (US)；黃明杰
HUANG, MING-CHIEH (US)

(74) 代理人：洪澄文；顏錦順

(56) 參考文獻：

US 6288951B1

US 6958594B2

US 2007/0081392A1

US 2007/0109036A1

US 2008/0089140A1

US 2008/0111532A1

審查人員：賴炳成

申請專利範圍項數：12 項 圖式數：4 共 0 頁

(54) 名稱

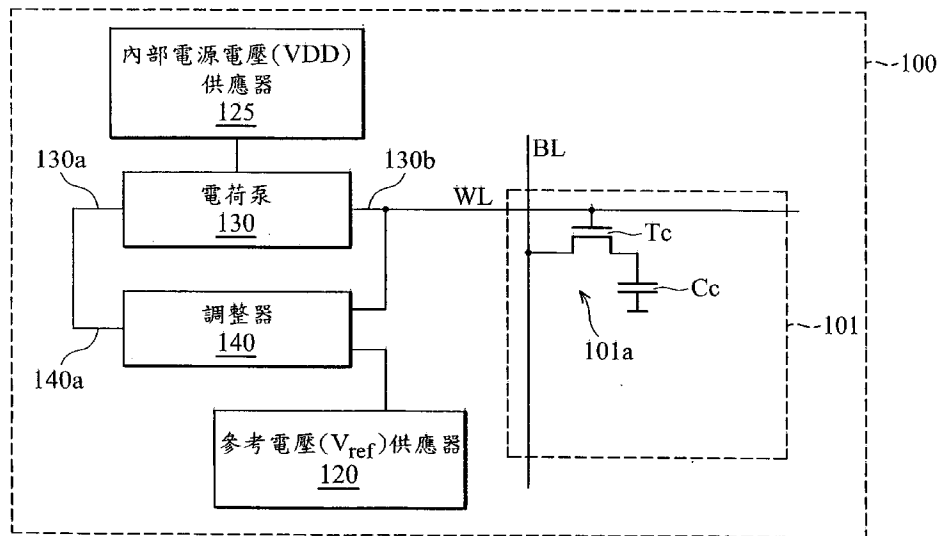
調整電荷泵之調整器及其記憶體電路

REGULATORS REGULATING CHARGE PUMP AND MEMORY CIRCUITS THEREOF

(57) 摘要

一種調整器，用以調整一電荷泵。上述調整器包括一比較器。上述比較器具有接收一第一電壓之一第一輸入端以及接收一第二電壓之一第二輸入端，用以決定啟動或關閉上述電荷泵。上述第一電壓係關聯於上述電荷泵之一輸出電壓，以及上述第二電壓係關聯於一內部電源電壓以及一參考電壓 V_{ref} 。

A regulator for regulating a charge pump is provided. The regulator includes a comparator having a first input end capable of receiving a first voltage and a second input end capable of receiving a second voltage for determining enabling or disabling the charge pump. The first voltage is associated with an output voltage of the charge pump. The second voltage is associated with an internal power voltage and a reference voltage V_{ref} .



第 1 圖

- 100 . . . 記憶體電路
- 101 . . . 記憶體陣列
- 101a . . . 記憶單元
- 120 . . . 參考電壓供應器
- 125 . . . 內部電源電壓供應器
- 130 . . . 電荷泵
- 130a . . . 輸入端
- 130b、140a . . . 輸出端
- 140 . . . 調整器
- Cc . . . 電容
- BL . . . 位元線
- Tc . . . 記憶體電晶體
- WL . . . 字元線

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99109205

※申請日：99.3.31

※IPC 分類：G11C7/12 (2006.01)

一、發明名稱：(中文/英文)

調整電荷泵之調整器及其記憶體電路

REGULATORS REGULATING CHARGE PUMP AND
MEMORY CIRCUITS THEREOF

二、中文發明摘要：

一種調整器，用以調整一電荷泵。上述調整器包括一比較器。上述比較器具有接收一第一電壓之一第一輸入端以及接收一第二電壓之一第二輸入端，用以決定啟動或關閉上述電荷泵。上述第一電壓係關聯於上述電荷泵之一輸出電壓，以及上述第二電壓係關聯於一內部電源電壓以及一參考電壓 V_{ref} 。

三、英文發明摘要：

A regulator for regulating a charge pump is provided. The regulator includes a comparator having a first input end capable of receiving a first voltage and a second input end capable of receiving a second voltage for determining enabling or disabling the charge pump. The first voltage is associated with an output voltage of the charge pump. The second voltage is associated with an internal power

voltage and a reference voltage V_{ref} .



四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100～記憶體電路；

101～記憶體陣列；

101a～記憶單元；

120～參考電壓供應器；

125～內部電源電壓供應器；

130～電荷泵；

130a～輸入端；

130b、140a～輸出端；

140～調整器；

Cc～電容；

BL～位元線；

Tc～記憶體電晶體；

WL～字元線。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種半導體電路，特別是有關於一種調整電荷泵（charge pump）之調整器及其記憶體電路。

【先前技術】

記憶體電路被使用於不同應用中。記憶體電路通常包含動態隨機存取記憶體（Dynamic Random Access Memory, DRAM）電路以及靜態隨機存取記憶體（static random access memory, SRAM）電路。動態隨機存取記憶體電路包括複數個記憶單元。對傳統動態記憶單元而言，由電容式儲存記憶單元所形成的陣列被提供，其中每一記憶單元具有一存取電晶體。儲存在上述記憶單元中之資料實際上為儲存在小電容內的電荷。當資料被輸出時，上述存取電晶體被一字元線（word line, WL）所啟動，其中上述字元線係耦接於上述存取電晶體之閘極端或控制端。上述存取電晶體可耦接上述電容至一位元線（bit line, BL）其中上述位元線係耦接於用以感測上述電容之電壓的一感測放大器。

【發明內容】

本發明提供一種調整器，用以調整一電荷泵。上述調整器包括：一比較器，具有接收一第一電壓之一第一輸入端以及接收一第二電壓之一第二輸入端，用以決定啟動或關閉上述電荷泵。上述第一電壓係關聯於上述電

荷泵之一輸出電壓，以及上述第二電壓係關聯於一內部電源電壓以及一參考電壓 V_{ref} 。

再者，本發明提供一種記憶體電路，包括：至少一記憶單元，用以儲存表示一資料之一電荷，其中上述記憶單元係耦接於一字元線以及一位元線；一電荷泵，耦接於上述字元線；以及，一調整器，用以調整上述電荷泵。上述調整器包括：一比較器，具有接收一第一電壓之一第一輸入端以及接收一第二電壓之一第二輸入端，用以決定啟動或關閉上述電荷泵，其中上述第一電壓係關聯於上述電荷泵之一輸出電壓，以及上述第二電壓係關聯於一內部電源電壓以及一參考電壓 V_{ref} 。

【實施方式】

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

實施例：

已泵抽之字元線電壓應用於字元線上，可導通記憶單元內的電晶體。電壓調整器 (voltage regulator) 可偵測已泵抽之字元線電壓，並啟動 (致能 (enable)) 或是關閉 (失能 (disable)) 電荷泵，其中電荷泵係對上述字元線電壓進行泵抽。電壓調整器具有至少兩階放大器，其用以對輸入信號進行放大並判斷已泵抽之字元線電壓是否過高或過低。電壓調整器的第一階放大器在其輸出端與負輸入端之間具有一負回授迴路。第一階放大

器可提供已泵抽之字元線電壓與內部電源電壓之間的電壓差至第二階放大器。第二階放大器接收並將已泵抽之字元線電壓與內部電源電壓之間的電壓差與一參考電壓進行比較。假如已泵抽之字元線電壓與內部電源電壓之間的電壓差高於參考電壓時，電壓調整器會關閉電荷泵。假如已泵抽之字元線電壓與內部電源電壓之間的電壓差低於參考電壓時，電壓調整器會啟動電荷泵。

理想地，第一階放大器的增益為無窮大。然而，實際上第一階放大器的增益可能只到達 100 或更多。第一階放大器的有限增益將導致輸出至第二階放大器的信號大體上會不同於已泵抽之字元線電壓與內部電源電壓之間的電壓差。當記憶體電路操作在由製程-電壓-溫度 (Process-Voltage-Temperature, PVT) 變化所引起之最差角落 SSS 時，上述關係將會惡化，其中最差角落 SSS 係表示 NMOS 電晶體、PMOS 電晶體以及記憶體電晶體的速度為緩慢。

在偵測到已泵抽之字元線電壓與內部電源電壓之間的電壓差係低於或高於參考電壓之後，第一階放大器及其負回授迴路會延遲反應來啟動或關閉電荷泵。

記憶體電路可操作在製程-電壓-溫度變化之最差角落 SSS 下。記憶體電路的內部電源電壓 VDD 可能會改變至 0.765V 的附近。當 0.765V 的內部電源電壓 VDD 被應用在電壓調整器的放大器內時，放大器的操作電壓範圍 (即內部電源電壓 VDD 與接地端之間的電壓差) 將會減少。放大器的較低操作電壓範圍將會使得操作在飽和模



式以得到高增益之放大器的邊際範圍 (margin) 變窄。較低的操作電壓範圍可能對需要較高增益的第一階放大器具有不利的影響。

根據先前所描述，記憶體電路及其操作方法為想要的。

值得瞭解的是，下列揭露提供許多不同實施例或是例子，用以實施本發明所揭露的不同特徵。構成要素及排列方式之特定例子描述於下面以簡化本發明，然其並非用以限定本發明。舉例而言，在第一特徵覆蓋或位於第二特徵上方之結構的描述可能包括第一特徵及第二特徵係以直接接觸之方式所形成的實施例，或是可能包括形成於第一特徵與第二特徵之間的額外特徵，使得第一特徵及第二特徵係以非直接接觸之方式所形成的實施例。此外，本發明可能在不同例子中重複使用參考數字及/或字母。上述重複係為了簡化及清楚描述本發明之目的，而非限定在不同實施例和/或所描述之結構之間的關係。

本發明之實施例係關於用來調整電荷泵之調整器、記憶體電路以及其系統。調整器能以高速來啟動或是關閉電荷泵及/或控制電荷泵的輸出電壓能在小邊際範圍內變化。

第 1 圖係顯示根據本發明一實施例所述之記憶體電路。在第 1 圖中，記憶體電路 100 包括記憶體陣列 101，其中記憶體陣列 101 包括複數字元線以及複數位元線。記憶體電路 100 可以是動態隨機存取記憶體 (DRAM) 電

路、內建式 DRAM 電路、靜態隨機存取記憶體 (SRAM) 電路、內建式 SRAM 電路、非揮發記憶體 (例如 FLASH、EPROM、E²PROM) 或是其他記憶體電路。記憶體陣列 101 包括至少一記憶單元 101a。記憶單元 101a 耦接於記憶體陣列 101 之位元線 BL 以及字元線 WL。對使用動態隨機存取記憶體單元之實施例而言，記憶單元 101a 包括記憶體電晶體 Tc 以及電容 Cc，其中電容 Cc 能儲存用來表示資料 (例如“0”或“1”) 之電荷。

值得注意的是，雖然第 1 圖只描述一個記憶單元 101a，然而另一記憶單元 (未顯示) 可以被設置在每一字元線以及每一位元線的交點。記憶體電路 100 的一部份電路具有 8、16、32、64、128 或更多行，其可安排在字元寬度內。在部分實施例中，字元線大體上正交於位元線。在其他實施例中，字元線以及位元線的其他排列方式可以被使用。

參考第 1 圖，記憶體電路 100 包括電荷泵 130，其中電荷泵 130 係耦接於記憶體陣列 101 之字元線 WL。電荷泵 130 能將一電壓泵抽至較高的位準。例如，電荷泵 130 可接收並泵抽一電壓 (例如內部電源電壓 VDD)，以提供一輸出電壓 (例如泵電壓 VPP)。內部電源電壓 VDD 可由內部電源電壓供應器 125 所提供。泵電壓 VPP 可將記憶體電晶體 Tc 導通，以便存取儲存在記憶單元 101a 內的資料。對使用 0.9V 電壓之實施例而言，泵電壓 VPP 大約為 $VDD + \Delta V$ ，其中 ΔV 可以是例如 0.7V 或是任何能幫助導通記憶體電晶體 Tc 之適當電壓。



參考第 1 圖，記憶體電路 100 包括調整器 140，其中調整器 140 係耦接於電荷泵 130 之輸入端 130a 與輸出端 130b 之間。調整器 140 接收來自參考電壓供應器 120 之參考電壓 V_{ref} 以決定是否啟動或是關閉電荷泵 130。參考電壓 V_{ref} 被提供至調整器 140，以決定電荷泵 130 的輸出（例如泵電壓 V_{PP} ）是否超過或是未滿一既定電壓。在實施例中，參考電壓 V_{ref} 可以等於泵電壓 V_{PP} 與內部電源電壓 V_{DD} 之間的差，即 $V_{ref}=V_{PP}-V_{DD}$ 。在使用 0.9V 電壓之實施例中，參考電壓供應器 120 能產生大約從 0.4V 變化至 0.7V 的電壓。在其他實施例中，參考電壓供應器 120 能接收調節位元信號（未顯示）而選擇一固定電壓來作為參考電壓 V_{ref} 。值得注意的是，參考電壓 V_{ref} 的範圍僅是個例子，然其並非用以限定本發明。

藉由偵測在電荷泵 130 之輸出端 130b 上的泵電壓 V_{PP} 並接收參考電壓 V_{ref} ，調整器 140 會在耦接於電荷泵 130 之輸入端 130a 的調整器 140 之輸出端 140a 輸出一信號，用以當泵電壓 V_{PP} 低於或高於既定電壓（例如 $V_{DD}+V_{ref}$ ）時來啟動或是關閉電荷泵 130。舉例而言，在偵測到泵電壓 V_{PP} 高於既定電壓（例如 $V_{DD}+V_{ref}$ ）之後，調整器 140 會在大約 1 毫微秒至 5 毫微秒的期間內關閉電荷泵 130。值得注意的是，調整器 140 能適意地啟動或是關閉電荷泵 130，使得有關於既定電壓（例如 $V_{DD}+V_{ref}$ ）之泵電壓 V_{PP} 的過衝（overshoot）部分能限定在想要的邊際範圍內，例如 $\pm 50\text{mV}$ 。在部分實施例中，該邊際範圍可以是大約幾毫伏特或是更少。在其他實施

例中，該邊際範圍可以是大約 $\pm 1\text{mV}$ 。調整器 140 可提供想要的敏感度以供電荷泵 130 的輸出來使用。此外，在偵測到泵電壓 V_{PP} 低於或高於既定電壓（例如 $V_{DD} + V_{ref}$ ）時，調整器 140 可在小的時間週期（例如 1 毫微秒至 5 毫微秒）內迅速地啟動或是關閉電荷泵 130。調整器 140 能在高頻下適意地啟動或是關閉電荷泵 130。相較於傳統電壓調整器，調整器 140 能對泵電壓 V_{PP} 提供更敏感的偵測，並提供更快速地啟動或是關閉電荷泵 130。值得注意的是，啟動或是關閉電荷泵 130 所需的電壓邊際範圍及/或時間週期僅是個例子。所屬技術領域中具有通常知識者可更動電壓邊際範圍及/或時間週期來得到想要的記憶體電路。

第 2 圖係顯示根據本發明一實施例所述之調整器。在第 2 圖中，調整器 140 包括比較器 210。比較器 210 具有能接收第一電壓之第一輸入端 210a（例如正輸入端）以及能接收第二電壓之第二輸入端 210b（例如負輸入端），用以決定啟動或是關閉第 1 圖中的電荷泵 130。第一電壓可以是關聯於在電荷泵 130 之輸出端 130b 所偵測到的輸出電壓（例如泵電壓 V_{PP} ）。第二電壓可以是關聯於內部電源電壓 V_{DD} 以及參考電壓 V_{ref} 。在部分實施例中，比較器 210 可以是一放大器，其包括 PMOS 電晶體 211、217 和 219 以及 NMOS 電晶體 213 和 215，如第 2 圖所顯示。值得注意的是，比較器 210 內電晶體的類型、數量及/或結構僅是個例子。所屬技術領域中具有通常知識者可更動電晶體的類型、數量及/或結構來得到想要的

調整器。

值得注意的是，第一電壓是與泵電壓 V_{PP} 相關聯，而第二電壓是與內部電源電壓 V_{DD} 以及參考電壓 V_{ref} 相關聯。在實施例中，比較器 210 能對第一電壓以及第二電壓進行比較，以決定是否啟動或是關閉電荷泵 130。舉例而言，第一電壓可以是 $V_{PP}/2K$ ，而第二電壓可以是 $(V_{DD}+V_{ref})/2K$ 。假如 $V_{PP}/2K > (V_{DD}+V_{ref})/2K$ ，調整器 140 會關閉電荷泵 130。假如 $V_{PP}/2K < (V_{DD}+V_{ref})/2K$ ，調整器 140 會啟動電荷泵 130。K 為關聯於在製程-電壓-溫度變化之最差角落 SSS 下內部電源電壓 V_{DD} 的因子。

下面將描述關於用以啟動或是關閉電荷泵 130 之第一電壓以及第二電壓的比較。第 3 圖係顯示第一電壓與第二電壓的電壓圖以及電荷泵 130 的對應操作。第 3 圖中，在時間點 T_A 之前，第一電壓 $V_{PP}/2K$ 是低於第二電壓 $(V_{DD}+V_{ref})/2K$ ，於是調整器 140 會輸出信號來啟動電荷泵 130。在時間點 T_A 之後，調整器 140 會偵測到第一電壓 $V_{PP}/2K$ 高於第二電壓 $(V_{DD}+V_{ref})/2K$ 。接著，調整器 140 會在時間週期 T_d （例如大約 1 毫微秒與 5 毫微秒之間）之後輸出信號來關閉電荷泵 130。值得注意的是，在偵測到第一電壓 $V_{PP}/2K$ 高於第二電壓 $(V_{DD}+V_{ref})/2K$ 之後，調整器 140 會適意地減少延遲來關閉電荷泵 130。在時間點 T_B 之後，調整器 140 偵測到第一電壓 $V_{PP}/2K$ 低於第二電壓 $(V_{DD}+V_{ref})/2K$ 。接著，調整器 140 會在時間週期 T_e （例如大約 1 毫微秒與 5 毫微秒之間）之後輸出信號來啟動電荷泵 130。值得注意的是，在偵測到第一

電壓 $V_{PP}/2K$ 低於第二電壓 $(V_{DD}+V_{ref})/2K$ 之後，調整器 140 會適意地減少延遲來啟動電荷泵 130。值得注意的是，有關於第二電壓 $(V_{DD}+V_{ref})/2K$ 之第一電壓 $V_{PP}/2K$ 的過衝部分 ΔV 是可以維持在小邊際範圍內，例如幾毫伏特或是更少。

值得注意的是，第一電壓可以是 $V_{PP}/2K$ ，其中 K 為關聯於在製程-電壓-溫度變化之最差角落 SSS 下內部電源電壓 V_{DD} 的因子。在部分實施例中，調整器 140 包括第一分壓器（例如分壓器 220）。分壓器 220 具有輸出端 220a，其中輸出端 220a 係耦接於比較器 210 之第一輸入端 210a。分壓器 220 係耦接於第 1 圖中電荷泵 130 的輸出端 130b，用來偵測泵電壓 V_{PP} 。分壓器 220 能提供第一電壓 $V_{PP}/2K$ 至比較器 210。在部分實施例中，分壓器 220 包括電阻、二極體、能提供第一電壓 $V_{PP}/2K$ 之其他元件及/或其組合。例如，分壓器 220 包括具有電阻值 R_1 及電阻值 R_2 的兩電阻。分壓器 220 的輸出端 220a 是位在兩電阻之間，如第 2 圖所顯示。第一電壓 $V_{PP}/2K$ 可以等於 $V_{PP} \times R_2 / (R_1 + R_2)$ ，而 K 等於 $(R_1 + R_2) / 2 R_2$ 。

值得注意的是，應用於比較器 210 之第二輸入端 210b 的第二電壓是關聯於內部電源電壓 V_{DD} 以及參考電壓 V_{ref} 。在實施例中，第二電壓可以等於 $(V_{DD}+V_{ref})/2K$ 。值得注意的是，比較器 210 對第一電壓 $V_{PP}/2K$ 以及第二電壓 $(V_{DD}+V_{ref})/2K$ 進行比較，以決定啟動或是關閉電荷泵 130。

以下是關於如何選擇因子 K 的描述。在使用 0.9V 電



壓之實施例中，在最差角落 SSS 下內部電源電壓 VDD 可能會改變至 0.765V 的附近。PMOS 電晶體 211、217 和 219 的臨界電壓 V_T 會大約在 -0.5V 與 -0.55V 之間，而 NMOS 電晶體 213 和 215 的臨界電壓 V_T 會大約在 0.5V 與 0.55V 之間。為了能使比較器 210 具有想要的增益或是最大增益，PMOS 電晶體 211、217 和 219 以及 NMOS 電晶體 213 和 215 可操作在飽和模式下。為了能操作在飽和模式下，每一電晶體 211、213、215、217 和 219 可具有大於電晶體之臨界電壓 V_T 的閘極對源極電壓 V_{GS} （即 $V_{GS} > V_T$ ）以及小於電晶體之臨界電壓 V_T 的閘極對汲極電壓 V_{GD} （即 $V_{GD} < V_T$ ）。值得注意的是，在部分實施例中，在最差角落 SSS 下的內部電源電壓 VDD 可能會移動至 0.765V 的附近，以及 PMOS 電晶體 211、217 和 219 可能具有大約 -0.5V 的臨界電壓 V_T ，而 NMOS 電晶體 213 和 215 可能具有大約 0.5V 的臨界電壓 V_T 。根據先前所描述，可發現能使全部電晶體 211、213、215、217 和 219 操作在飽和模式下的第一電壓 $V_{PP}/2K$ 以及第二電壓 $(V_{DD} + V_{ref})/2K$ 是大約介於 0.1V 以及 0.265V 之間。因此，第一電壓 $V_{PP}/2K$ 以及第二電壓 $(V_{DD} + V_{ref})/2K$ 可以是介於 0.1V 以及 0.265V 之間的任意值。

值得注意的是，第一電壓 $V_{PP}/2K$ 能根據泵電壓 VPP 改變，以及在電路及/或裝置測試後且內部電源電壓 VDD 以及參考電壓 V_{ref} 被選定之後，第二電壓 $(V_{DD} + V_{ref})/2K$ 可以被固定。第二電壓 $(V_{DD} + V_{ref})/2K$ 可作為與第一電壓 $V_{PP}/2K$ 進行比較的參考，以決定啟動或是關閉電荷泵

130。

在最差角落 SSS 的實施例中，內部電源電壓 VDD 可以是大約 0.765V 而參考電壓 V_{ref} 可以是大約 0.7V。第二電壓可以是大約 $1.465/2K$ V。因子 K 可以是任意數，其能提供第二電壓 $(VDD+V_{ref})/2K$ 落入可維持電晶體 211、213、215、217 和 219 操作在飽和模式下的邊際範圍內。在實施例中，該邊際範圍是介於大約 0.1V 以及 0.265V 之間。因子 K 可以是滿足 $0.1 \leq 1.465/2K \leq 0.265$ 的任意值。在其他實施例中，該邊際範圍可選定為 0.183 並等於 $1.465/2K$ ，其中因子 K 大約為 4。既然第一電壓 $VPP/2K$ 以及第二電壓 $(VDD+V_{ref})/2K$ 能維持全部電晶體 211、213、215、217 和 219 操作在最差角落 SSS 的飽和模式下，則第一電壓 $VPP/2K$ 以及第二電壓 $(VDD+V_{ref})/2K$ 亦能維持全部電晶體 211、213、215、217 和 219 在正常操作期間能操作在飽和模式下。

值得注意的是，先前描述中關於電晶體 211、213、215、217 和 219 操作在飽和模式下僅是個例子。在其他實施例中，只要比較器 210 能辨別出第一電壓 $VPP/2K$ 以及第二電壓 $(VDD+V_{ref})/2K$ 以便啟動或關閉電荷泵 130，則因子 K 可以被選擇，使得至少一電晶體 211、213、215、217 和 219 係操作在非飽和模式下，例如三極區 (triode region)。在其他實施例中，因子 K 能維持至少一電晶體 211、213、215、217 和 219 是操作在飽和模式下。值得注意的是，用來維持電晶體 211、213、215、217 和 219 能操作在飽和模式下的邊際範圍可以根據比較器 210 中



電晶體 211、213、215、217 和 219 的類型、數量及/或結構而改變。所屬技術領域中具有通常知識者可選擇因子 K 以及邊際範圍來提供比較器 210 所想要的操作模式。

在部分實施例中，在電路及/或裝置測試之後，內部電源電壓 V_{DD} 以及參考電壓 V_{ref} 可以被固定。值得注意的是，假如記憶體電路是操作在最差角落 SSS 下，放大器的操作電壓範圍（即內部電源電壓 V_{DD} 與接地端之間的電壓差）將會減少。小操作電壓範圍將會影響電晶體 211、213、215、217 和 219 操作在飽和模式下的邊際範圍。根據先前所描述，可發現第二電壓 $(V_{DD}+V_{ref})/2K$ 能被預先設定而落在該邊際範圍內，例如介於 0.1V 以及 0.265V 之間。例如，第二電壓 $(V_{DD}+V_{ref})/2K$ 可預先設定為大約 0.183。當維持電晶體 211、213、215、217 和 219 操作在飽和模式時，預先設定的第二電壓 $(V_{DD}+V_{ref})/2K$ 可作為與第一電壓 $V_{PP}/2K$ 進行比較的參考電壓。因此，小操作電壓範圍的問題可以被排除或是降低。

再次參考第 2 圖，調整器 140 包括裝置 230，用以提供第二電壓 $(V_{DD}+V_{ref})/2K$ 至比較器 210 的第二輸入端 210b。在部分實施例中，裝置 230 可自由使用放大器及/或負回授迴路來適意地提供第二電壓 $(V_{DD}+V_{ref})/2K$ 至比較器 210 的第二輸入端 210b。在偵測到泵電壓 V_{PP} 的過衝或下衝（undershoot）之後，自由使用放大器的裝置 230 可適意地減少延遲來啟動或關閉電荷泵 130。

在部分實施例中，提供第二電壓 $(V_{DD}+V_{ref})/2K$ 的裝置 230 包括第二分壓器（例如分壓器 240）以及第三分壓

器（例如分壓器 250）。分壓器 240 具有輸出端 240a，其中輸出端 240a 係耦接於具有電阻值 R_3 的電阻。分壓器 240 係耦接於內部電源電壓 V_{DD} 以及一低電壓之間，例如 V_{SS} 或是接地端。分壓器 250 具有輸出端 250a，其中輸出端 250a 係耦接於具有電阻值 R_4 的電阻。分壓器 250 係耦接於參考電壓 V_{ref} 以及一低電壓之間，例如 V_{SS} 或是接地端。

在部分實施例中，分壓器 240 包括電阻、二極體、其他合適的元件及/或其組合。例如，分壓器 240 包括包括具有電阻值 R_5 及電阻值 R_6 的兩電阻。分壓器 240 的輸出端 240a 是位在具有電阻值 R_5 及電阻值 R_6 的兩電阻之間，並耦接於具有電阻值 R_3 的電阻。在實施例中，分壓器 240 的輸出端 240a 能提供電壓 V_{DD}/K ，其中 K 等於 $R_6/(R_5+R_6)$ 。為了大體上能耦接電壓 V_{DD}/K 至裝置 230 的輸出端 230a，電阻值 R_3 可大體上大於電阻值 R_5 及/或電阻值 R_6 。例如，電阻值 R_3 可以是電阻值 R_5 或是電阻值 R_6 的十倍或是更多。在部分實施例中，電阻值 R_3 可以是大約 $100K\Omega$ 或更大，而電阻值 R_5 或是電阻值 R_6 可以是大約 $10K\Omega$ 。

在部分實施例中，分壓器 250 包括電阻、二極體、其他合適的元件及/或其組合。例如，分壓器 250 包括包括具有電阻值 R_7 及電阻值 R_8 的兩電阻。分壓器 250 的輸出端 250a 是位在具有電阻值 R_7 及電阻值 R_8 的兩電阻之間，並耦接於具有電阻值 R_4 的電阻。在實施例中，分壓器 250 的輸出端 250a 能提供電壓 V_{ref}/K ，其中 K 等於



$R_8/(R_7+R_8)$ 。為了大體上能耦接電壓 V_{ref}/K 至裝置 230 的輸出端 230a，電阻值 R_4 可大體上大於電阻值 R_7 及/或電阻值 R_8 。例如，電阻值 R_4 可以是電阻值 R_7 或是電阻值 R_8 的十倍或是更多。電阻值 R_4 可以是大約 $100K\Omega$ 或更大，而電阻值 R_7 或是電阻值 R_8 可以是大約 $10K\Omega$ 。在部分實施例中，電阻值 R_3 以及電阻值 R_4 可具有相同的電阻值，以及電阻值 R_5 以及電阻值 R_7 可具有相同的電阻值，而電阻值 R_6 以及電阻值 R_8 可具有相同的電阻值。值得注意的是，電阻值、電阻的數量以及分壓器的結構僅是個例子，然其並非用以限定本發明。

再次參考第 2 圖，具有電阻值 R_3 以及電阻值 R_4 的電阻可以並聯。由於電壓 VDD/K 以及電壓 V_{ref}/K 大體上係耦接至裝置 230 的輸出端 230a，裝置 230 的輸出端 230a 能提供第二電壓 $(VDD+V_{ref})/2K$ 至比較器 210 的輸入端 210b。值得注意的是，第一電壓 $VPP/2K$ 是應用於比較器 210 的輸入端 210a，而第二電壓 $(VDD+V_{ref})/2K$ 是應用於比較器 210 的輸入端 210b。由於藉由自由使用放大器的裝置（例如分壓器）可提供電壓至比較器 210，表示從電荷泵 130 所輸出之泵電壓 VPP 的信號以及表示內部電源電壓 VDD 與參考電壓 V_{ref} 的信號能快速地被應用於比較器 210。相較於具有至少兩級放大器之傳統電壓調整器，調整器 140 能大體上減少延遲來啟動或關閉電荷泵 130。

在部分實施例中，比較器 210 的輸出端（未標示）係耦接於至少一反相器（例如反相器 260 與 270），以對來自比較器 210 的信號進行整流。舉例而言，來自比較

器 210 的信號被輸出以啟動第 1 圖中的電荷泵 130。反相器 260 將該啟動輸出信號反轉為一關閉信號。接著，反相器 270 將該關閉信號反轉為整流過之啟動信號。值得注意的是，反相器 260 與 270 的數量及種類會根據來自比較器 210 之輸出信號的種類而改變，以便啟動或關閉電荷泵 130，然其並非用以限定本發明。

第 4 圖係顯示根據本發明一實施例所述之包含記憶體電路的系統。在第 4 圖中，系統 400 包括處理器 410，其中處理器 410 係耦接於記憶體電路 100。處理器 410 能對儲存在記憶體電路 100 之記憶單元 101a（如第 1 圖所顯示）內的資料進行存取。在部分實施例中，處理器 410 可以是處理單元、中央處理單元、數位信號處理器，或是其他適合存取記憶體電路之資料的處理器。

在部分實施例中，處理器 410 以及記憶體電路 100 是設置在可物理性以及電性耦接於印刷寫入板或印刷電路板的系統內，以構成電子組件。電子組件可以是電子系統的一部份，例如電腦、無線通訊裝置、電腦相關週邊設備、娛樂裝置等。

在實施例中，包含記憶體電路 100 的系統 400 能於一積體電路中提供完整的系統，稱為系統單晶片（system on a chip，SOC）裝置或是系統積體電路（system on integrated circuit，SOIC）裝置。系統單晶片裝置能在單一積體電路中提供實施行動電話、個人數位助理（Personal Digital Assistant，PDA）、數位磁帶錄影機（Video Cassette Recorder，VCR）、數位攝錄像機、數

位相機、MP3 播放器等等所需的全部電路。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖係顯示根據本發明一實施例所述之記憶體電路；

第 2 圖係顯示根據本發明一實施例所述之調整器；

第 3 圖係顯示第一電壓與第二電壓的電壓圖以及電荷泵的對應操作；以及

第 4 圖係顯示根據本發明一實施例所述之包含記憶體電路的系統。

【主要元件符號說明】

100～記憶體電路；

101～記憶體陣列；

101a～記憶單元；

120～參考電壓供應器；

125～內部電源電壓供應器；

130～電荷泵；

130a、210a、210b～輸入端；

130b、140a、220a、230a、240a、250a～輸出端；

140～調整器；

210～比較器；

211、217、219～PMOS 電晶體；

213、215～NMOS 電晶體；

220、240、250～分壓器；

230～裝置；

260、270～反相器；

- 40 0～系統；
- 410～處理器；
- Cc～電容；
- BL～位元線；
- R₁-R₈～電阻值；
- Tc～記憶體電晶體；
- VDD～內部電源電壓；
- (VDD+V_{ref})/2K～第二電壓；
- VPP/2K～第一電壓；
- V_{ref}～參考電壓；
- WL～字元線。

七、申請專利範圍：

1. 一種調整器，用以調整一電荷泵，包括：

一比較器，具有接收一第一電壓之一第一輸入端以及接收一第二電壓之一第二輸入端，用以決定啟動或關閉上述電荷泵，其中上述第一電壓係關聯於上述電荷泵之一輸出電壓，以及上述第二電壓係關聯於一內部電源電壓以及一參考電壓 V_{ref} ，

其中上述電荷泵之上述輸出電壓為一泵電壓 V_{PP} 、上述第一電壓為 $V_{PP}/2K$ 、上述內部電源電壓為 V_{DD} 以及上述第二電壓為 $(V_{DD}+V_{ref})/2K$ ，其中 K 為維持上述比較器中至少一電晶體能操作在飽和模式下之因子。

2. 如申請專利範圍第 1 項所述之調整器，更包括一第一分壓器，具有耦接於上述比較器之上述第一輸入端的一輸出端，其中上述第一分壓器係耦接於上述電荷泵。

3. 如申請專利範圍第 2 項所述之調整器，其中上述第一分壓器包括具有一第一電阻值 R_1 之一第一電阻以及具有一第二電阻值 R_2 之一第二電阻，其中上述第一分壓器的上述輸出端係位在上述第一電阻以及上述第二電阻之間，以及 K 是等於 $(R_1+R_2)/2R_2$ 。

4. 如申請專利範圍第 1 項所述之調整器，更包括耦接於上述比較器之一裝置，用以提供上述第二電壓，其中上述裝置包括：

一第二分壓器，耦接於上述內部電源電壓 V_{DD} 以及一接地端之間，具有一輸出端耦接於一第三電阻，其中上述第三電阻具有一第三電阻值 R_3 ；以及

一第三分壓器，耦接於上述參考電壓 V_{ref} 以及上述接地端之間，具有一輸出端耦接於一第四電阻，其中上述第四電阻具有一第四電阻值 R_4 。

5.如申請專利範圍第 4 項所述之調整器，其中上述第二分壓器包括具有一第五電阻值 R_5 之一第五電阻以及具有一第六電阻值 R_6 之一第六電阻，其中上述第二分壓器的上述輸出端係位在上述第五電阻以及上述第六電阻之間，以及 K 是等於 $R_6/(R_5+R_6)$ 。

6.如申請專利範圍第 4 項所述之調整器，其中上述第三分壓器包括具有一第七電阻值 R_7 之一第七電阻以及具有一第八電阻值 R_8 之一第八電阻，其中上述第三分壓器的上述輸出端係位在上述第七電阻以及上述第八電阻之間，以及 K 是等於 $R_8/(R_7+R_8)$ 。

7.一種記憶體電路，包括：

至少一記憶單元，用以儲存表示一資料之一電荷，其中上述記憶單元係耦接於一字元線以及一位元線；

一電荷泵，耦接於上述字元線；以及

一調整器，用以調整上述電荷泵，包括：

一比較器，具有接收一第一電壓之一第一輸入端以及接收一第二電壓之一第二輸入端，用以決定啟動或關閉上述電荷泵，其中上述第一電壓係關聯於上述電荷泵之一輸出電壓，以及上述上述第二電壓係關聯於一內部電源電壓以及一參考電壓 V_{ref} ，

其中上述電荷泵之上述輸出電壓為一泵電壓 V_{PP} 、上述第一電壓為 $V_{PP}/2K$ 、上述內部電源電壓為 V_{DD} 以

及上述第二電壓為 $(V_{DD} + V_{ref})/2K$ ，其中 K 為維持上述比較器中至少一電晶體能操作在飽和模式下之因子。

8.如申請專利範圍第 7 項所述之記憶體電路，更包括一第一分壓器，具有耦接於上述比較器之上述第一輸入端的一輸出端，其中上述第一分壓器係耦接於上述電荷泵。

9.如申請專利範圍第 8 項所述之記憶體電路，其中上述第一分壓器包括具有一第一電阻值 R_1 之一第一電阻以及具有一第二電阻值 R_2 之一第二電阻，其中上述第一分壓器的上述輸出端係位在上述第一電阻以及上述第二電阻之間，以及 K 是等於 $(R_1 + R_2)/2R_2$ 。

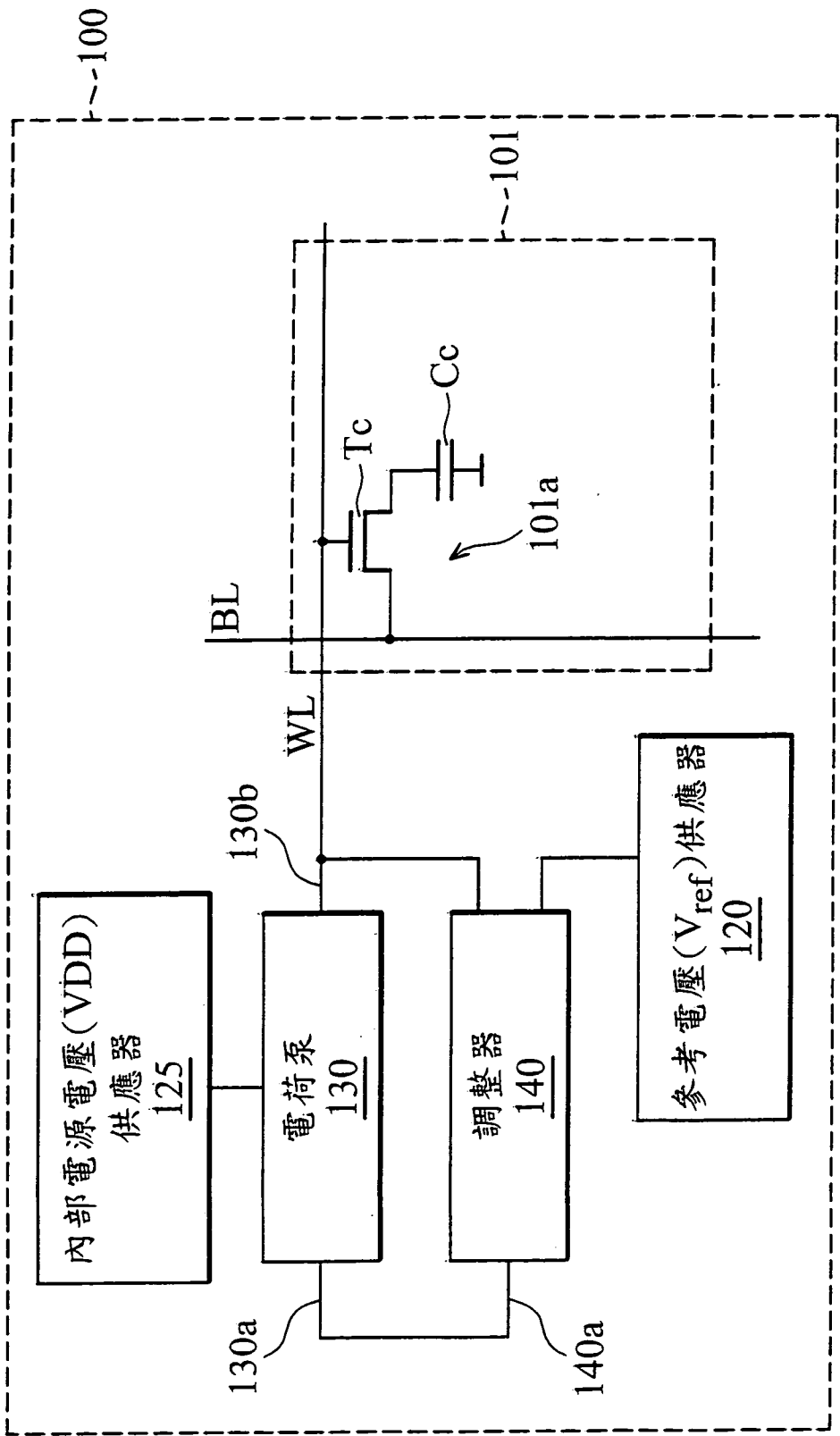
10.如申請專利範圍第 7 項所述之記憶體電路，更包括耦接於上述比較器之一裝置，用以提供上述第二電壓，其中上述裝置包括：

一第二分壓器，耦接於上述內部電源電壓 V_{DD} 以及一接地端之間，具有一輸出端耦接於一第三電阻，其中上述第三電阻具有一第三電阻值 R_3 ；以及

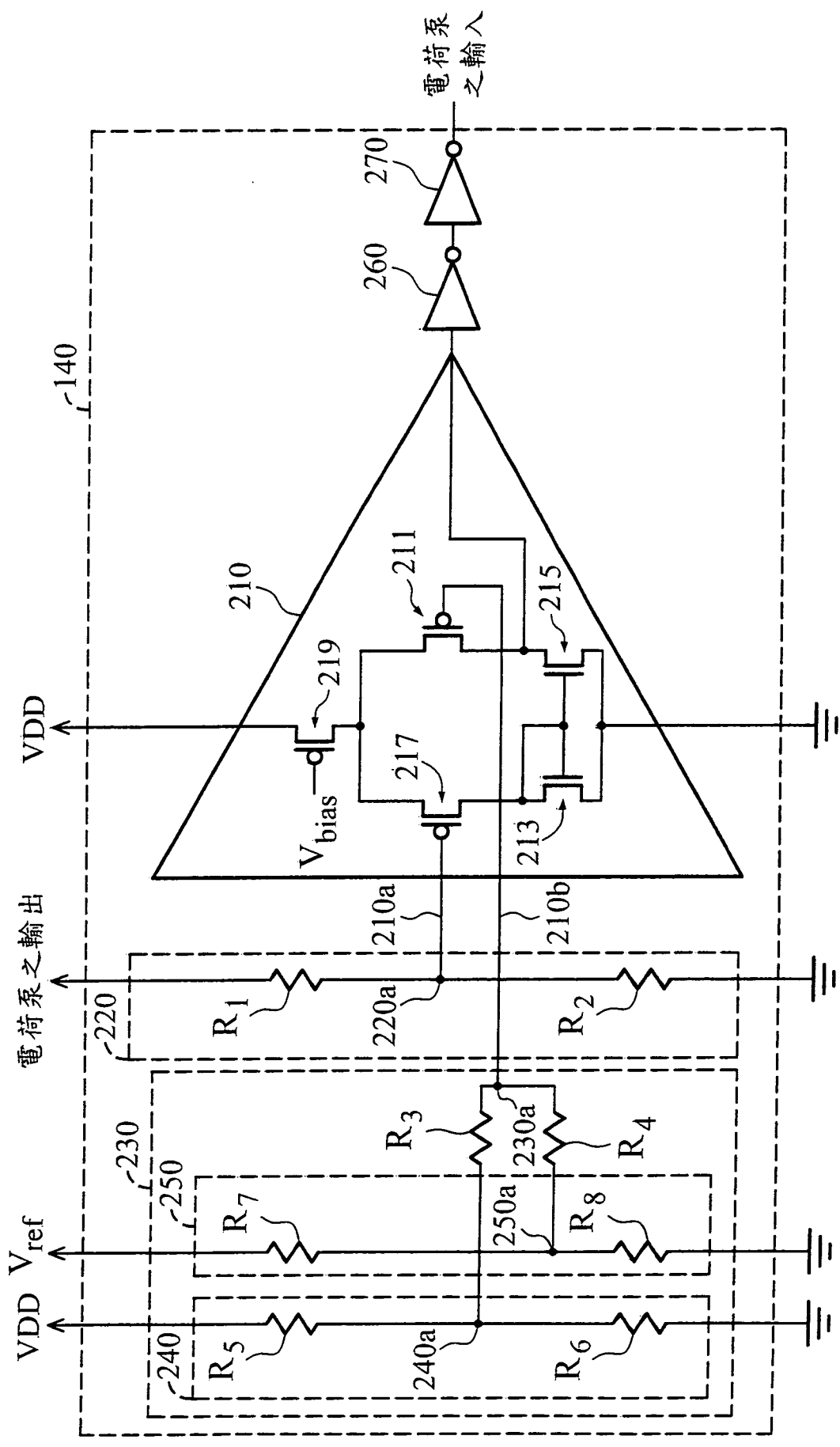
一第三分壓器，耦接於上述參考電壓 V_{ref} 以及上述接地端之間，具有一輸出端耦接於一第四電阻，其中上述第四電阻具有一第四電阻值 R_4 。

11.如申請專利範圍第 10 項所述之記憶體電路，其中上述第二分壓器包括具有一第五電阻值 R_5 之一第五電阻以及具有一第六電阻值 R_6 之一第六電阻，其中上述第二分壓器的上述輸出端係位在上述第五電阻以及上述第六電阻之間，以及 K 是等於 $R_6/(R_5 + R_6)$ 。

12. 如申請專利範圍第 10 項所述之記憶體電路，其中上述第三分壓器包括具有一第七電阻值 R_7 之一第七電阻以及具有一第八電阻值 R_8 之一第八電阻，其中上述第三分壓器的上述輸出端係位在上述第七電阻以及上述第八電阻之間，以及 K 是等於 $R_8/(R_7+R_8)$ 。

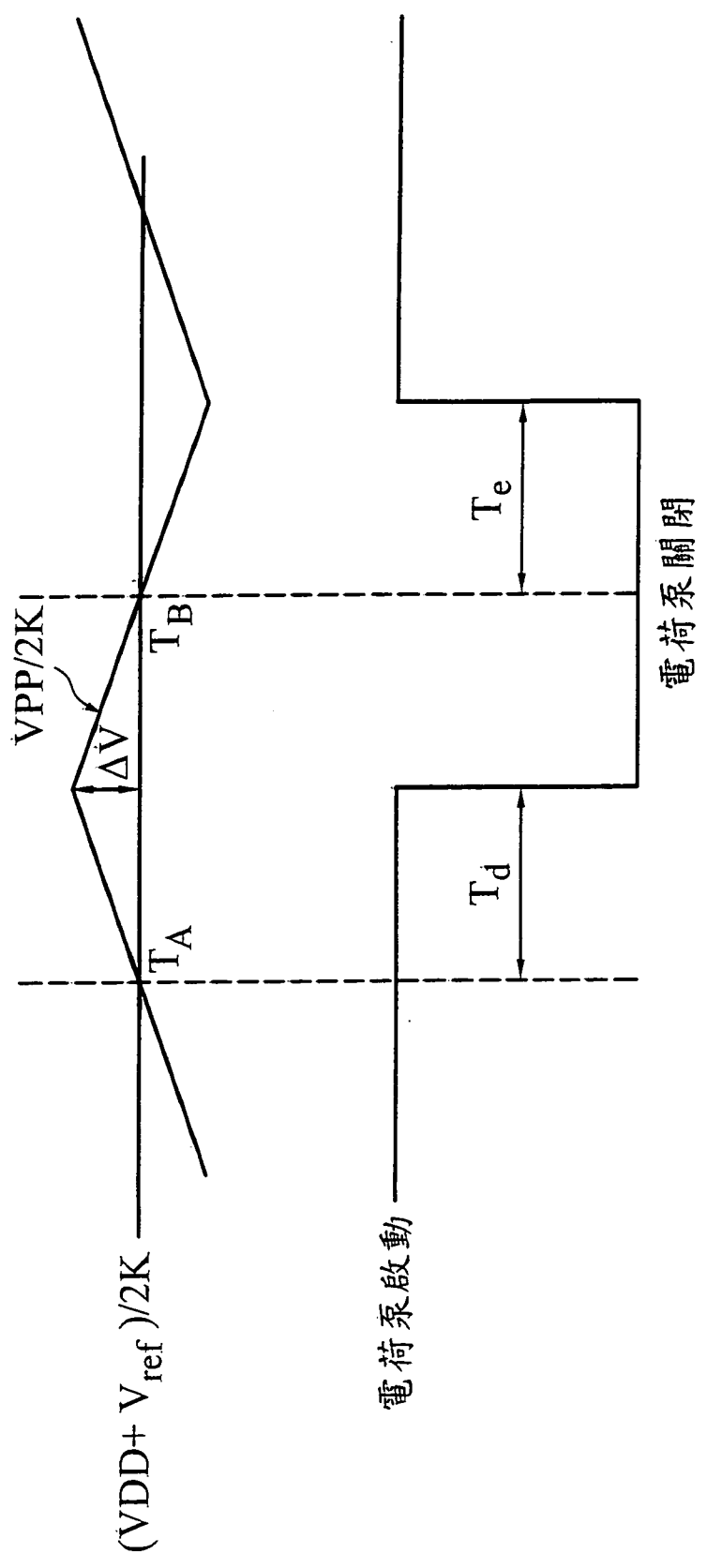


第 1 圖

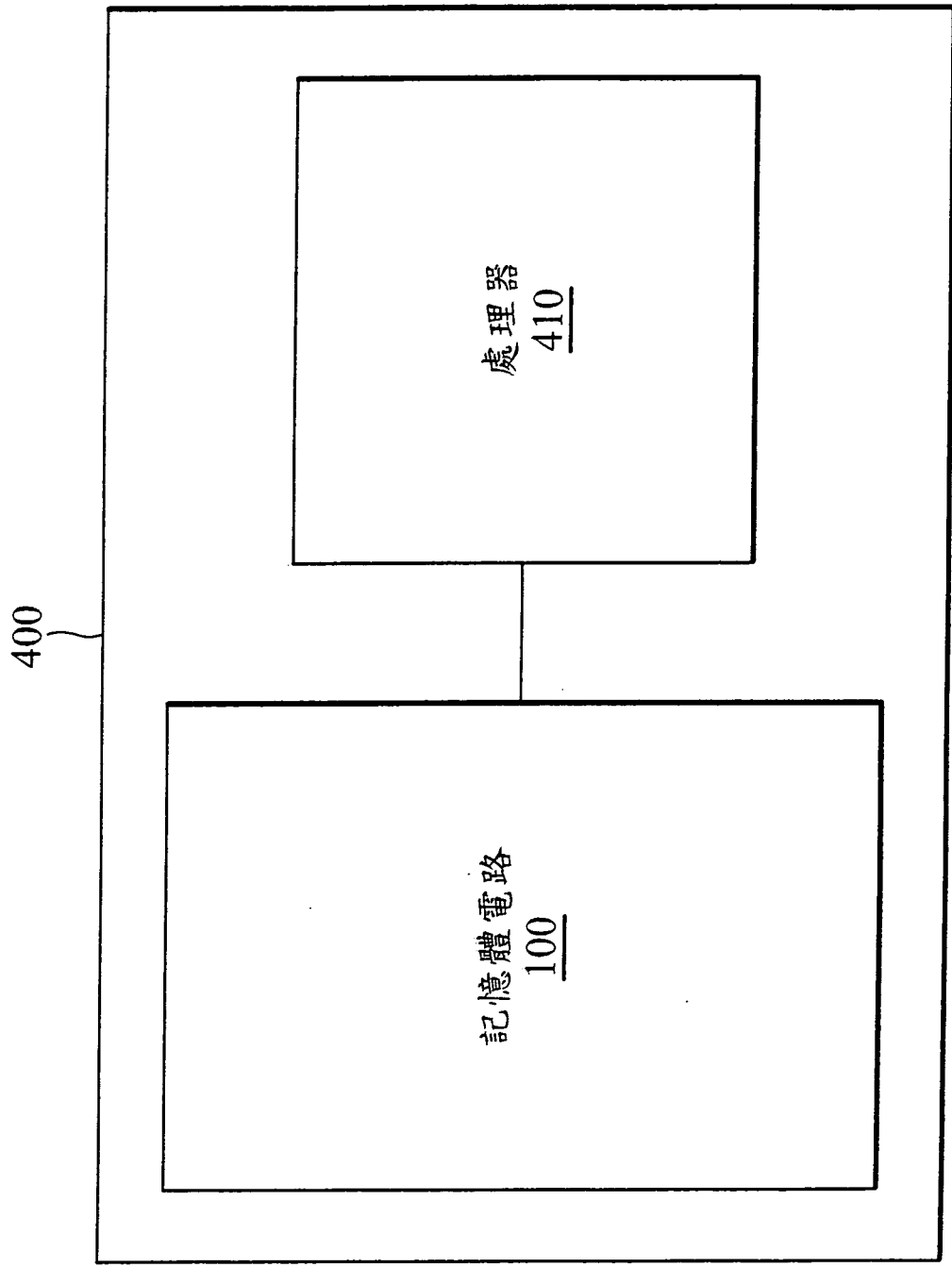


第 2 圖





第 3 圖



第4圖

