

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5535531号
(P5535531)

(45) 発行日 平成26年7月2日(2014.7.2)

(24) 登録日 平成26年5月9日(2014.5.9)

(51) Int. Cl. F I
 G O 1 R 31/02 (2006.01) G O 1 R 31/02
 G O 1 R 19/00 (2006.01) G O 1 R 19/00 B

請求項の数 3 (全 13 頁)

(21) 出願番号	特願2009-151064 (P2009-151064)	(73) 特許権者	000006895
(22) 出願日	平成21年6月25日 (2009. 6. 25)		矢崎総業株式会社
(65) 公開番号	特開2011-7611 (P2011-7611A)		東京都港区三田1丁目4番28号
(43) 公開日	平成23年1月13日 (2011. 1. 13)	(74) 代理人	100060690
審査請求日	平成24年5月7日 (2012. 5. 7)		弁理士 瀧野 秀雄
		(74) 代理人	100108017
			弁理士 松村 貞男
		(74) 代理人	100134832
			弁理士 瀧野 文雄
		(72) 発明者	石川 聡
			静岡県牧之原市布引原206-1 矢崎部
			品株式会社内
		(72) 発明者	松浦 公洋
			静岡県牧之原市布引原206-1 矢崎部
			品株式会社内

最終頁に続く

(54) 【発明の名称】 断線検出装置

(57) 【特許請求の範囲】

【請求項1】

互いに直列接続された複数の単位セルを複数に分割して得たブロックのうち互いに隣接して接続された上位ブロック及び下位ブロックの接続点と、前記上位ブロックを構成する単位セルの両端電圧を検出する電圧検出手段の接地端子及び下位ブロックを構成する単位セルの両端電圧を検出する電圧検出手段の電源端子の両端子と、の間に接続された電線の断線を検出する断線検出装置において、

前記上位ブロックを構成する単位セルの両端電圧を検出する電圧検出手段の前記電源端子及び前記接地端子間に設けられ、当該電圧検出手段のインピーダンスよりも小さい、互いに直列接続された抵抗及びスイッチ素子と、

前記スイッチ素子をオン状態にしたときに前記電圧検出手段により検出された前記上位ブロックの最下位単位セルの両端電圧に基づいて前記電線の断線を検出する断線検出手段と、

を備えたことを特徴とする断線検出装置。

【請求項2】

前記断線検出手段が、前記スイッチ素子をオン状態にしたときに前記電圧検出手段により検出された前記上位ブロックの最下位単位セルの両端電圧と、閾値と、の比較に基づいて前記断線を検出するように設定されている

ことを特徴とする請求項1に記載の断線検出装置。

【請求項3】

前記上位ブロックの最下位単位セルの負端子から正端子に向かって順方向になるように前記上位ブロックの最下位単位セルの両端間に接続された第1ダイオードと、

前記下位ブロックの最上位単位セルの負端子から正端子に向かって順方向になるように前記下位ブロックの最上位単位セルの両端電圧間に接続された第2ダイオードと、

を備えたことを特徴とする請求項1又は2に記載の断線検出装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、断線検出装置に係り、特に、互いに直列接続された複数の単位セルを複数に分割して得たブロックのうち互いに隣接して接続された上位ブロック及び下位ブロックの接続点と、前記上位ブロックを構成する単位セルの両端電圧を検出する電圧検出手段の接地端子及び下位ブロックを構成する単位セルの両端電圧を検出する電圧検出手段の電源端子の両端子と、の間に接続された電線の断線を検出する断線検出装置に関するものである。

10

【背景技術】

【0002】

近年、エンジンと電動モータとを併用して走行するハイブリッド自動車（以下HEV）が普及してきている。このHEVは、上記エンジン始動用の12V程度の低圧バッテリーと、上記電動モータ駆動用の高圧バッテリーと、の2種類のバッテリーを備えている。上述した高圧バッテリーは、ニッケル-水素電池やリチウム電池といった二次電池を単位セルとして、この単位セルを複数直列接続して高電圧を得ている。

20

【0003】

上述した高圧バッテリーは充放電を繰り返すうちに各単位セルの両端電圧、即ち充電状態（SOC）にばらつきが生じる。バッテリーの充放電にあたっては、各単位セルの耐久性や安全確保の観点より、SOC（又は両端電圧）の最も高い単位セルが設定上限SOC（又は上限両端電圧値）に到達した時点で充電を禁止し、SOC（又は両端電圧）の最も低い単位セルが設定下限SOC（又は下限両端電圧値）に到達した時点で放電を禁止する必要がある。従って、各単位セルにSOCのバラツキが生じると、実質上、バッテリーの使用可能容量が減少することになる。このため、HEVにおいては、登坂時にガソリンに対してバッテリーエネルギーを補充したり、降坂時にバッテリーにエネルギーを回生したりする、いわゆるアシスト・回生が不十分となり、実車動力性能や燃費を低下させることになる。そこで、各単位セルのSOCを均等化するために、各単位セルの両端電圧を検出する必要がある。

30

【0004】

従来では複数の単位セルを複数のブロックに分割して、ブロック毎に電圧検出IC（電圧検出手段）を設けて、この電圧検出ICによって対応するブロックを構成する各単位セルの両端電圧を検出していた。また、電圧検出ICを構成するデバイスの耐圧を下げるために電圧検出ICは、対応するブロックから電源供給を受けて動作するように設けられている。即ち、電圧検出ICは、対応するブロックの最上位単位セルの正電位を電源電位とし、対応するブロックの最下位単位セルの負電位を接地電位とするように設けられている。

40

【0005】

上述した構成によれば、互いに隣接する上位ブロック及び下位ブロック間の接続点は、電線によって上位ブロックに対応する電圧検出ICの接地端子及び下位ブロックに対応する電圧検出ICの電源端子の両端子に接続されている。上記電線に断線が生じると、上位ブロックの最下位単位セル及び下位ブロックの最上位単位セルの両端電圧が検出できなくなる。また、上記電線が断線しても、上位ブロックに対応する電圧検出ICの接地端子及び下位ブロックに対応する電圧検出ICの電源端子には、電位が発生する。その電位は上位ブロックに対応する電圧検出ICのインピーダンスと、下位ブロックに対応する電圧検出ICのインピーダンスと、のバランスによって決まり、まったく同じインピーダンスで

50

あればその電位は、上位ブロックの最上位単位セルの正電位と、下位ブロックの最下位単位セルの負電位と、の中間となる。

【0006】

このように中間となった場合、電圧検出ICにより検出された上位ブロックの最下位単位セル及び下位ブロックの最上位単位セルの両端電圧は正常時とほとんど変わらないため、断線を検出することができない。これに対して上位ブロックに対応した電圧検出ICのインピーダンスが小さければ上位ブロックの最上位単位セルの正電位側にシフトし、下位ブロックに対応した電圧検出ICのインピーダンスが小さければ下位ブロックの最下位単位セルの負電位側にシフトする。このようにシフトしても、単位セルの異常によりシフトしたのか、断線した結果シフトしたのかを区別することができない。

10

【0007】

そこで、上述した断線を検出する装置として、例えば特許文献1に記載された電池電圧測定装置が提案されている(特許文献1)。この電池電圧測定装置は、各ブロックの両端間にそれぞれ抵抗を接続して、隣接する上位ブロック及び下位ブロックの両端間にそれぞれ接続された抵抗の抵抗値を互いに異ならせている。これにより、断線時にブロックの両端電圧を測定すると、上位ブロックの正電位-下位ブロックの負電位間の電圧を上位ブロックに接続された抵抗と下位ブロックに接続された抵抗とで分圧した値が測定される。このため、断線時にブロックの両端電圧を測定すると、正常時には検出されないようなブロック電圧が検出されるため、これを利用して断線を検出している。

【0008】

20

上述した電池電圧測定装置は、例えばフライングキャパシタ方式では抵抗が大きいのと充電時間を十分とれば検出できるが、充電時間が短いと正確に電圧は測定できない。上述したように電圧検出ICの電源が単位セルから供給されているような電池電圧測定装置に適用した場合、接続されている抵抗が大きく断線したときに電流を供給できない。電源を低圧バッテリーからDC/DCコンバータを用いて供給するとコストアップとなる、という問題があった。又、ブロック間のバラツキが小さい(10%MAXとしている)場合には有効であるが、ブロック間のバラツキが大きいと電圧のバラツキにより断線と誤検出してしまう(特許文献1)。

【先行技術文献】

【特許文献】

30

【0009】

【特許文献1】特許第3300309号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

そこで、本発明は、断線時と正常時とで電圧検出手段に供給される電源電圧が大きく変動することなく、安価な回路構成により確実に断線検出を行うことができる断線検出装置を提供することを課題とする。

【課題を解決するための手段】

【0011】

40

上述した課題を解決するためになされた請求項1記載の発明は、互いに直列接続された複数の単位セルを複数に分割して得たブロックのうち互いに隣接して接続された上位ブロック及び下位ブロックの接続点と、前記上位ブロックを構成する単位セルの両端電圧を検出する電圧検出手段の接地端子及び下位ブロックを構成する単位セルの両端電圧を検出する電圧検出手段の電源端子の両端子と、の間に接続された電線の断線を検出する断線検出装置において、前記上位ブロックを構成する単位セルの両端電圧を検出する電圧検出手段の前記電源端子及び前記接地端子間に設けられ、当該電圧検出手段のインピーダンスよりも小さい、互いに直列接続された抵抗及びスイッチ素子と、前記スイッチ素子をオン状態にしたときに前記電圧検出手段により検出された前記上位ブロックの最下位単位セルの両端電圧に基づいて前記電線の断線を検出する断線検出手段と、を備えたことを特徴とする

50

断線検出装置に存する。

【0012】

請求項2記載の発明は、前記断線検出手段が、前記スイッチ素子をオン状態にしたときに前記電圧検出手段により検出された前記上位ブロックの最下位単位セルの両端電圧と、閾値と、の比較に基づいて前記断線を検出するように設定されていることを特徴とする請求項1に記載の断線検出装置に存する。

【0013】

請求項3記載の発明は、前記上位ブロックの最下位単位セルの負端子から正端子に向かって順方向になるように前記上位ブロックの最下位単位セルの両端間に接続された第1ダイオードと、前記下位ブロックの最上位単位セルの負端子から正端子に向かって順方向になるように前記下位ブロックの最上位単位セルの両端電圧間に接続された第2ダイオードと、を備えたことを特徴とする請求項1又は2に記載の断線検出装置に存する。

【発明の効果】

【0014】

以上説明したように請求項1記載の発明によれば、上述した電線が正常なときはスイッチ素子をオンしても上位ブロックに対応する電圧検出手段の接地端子の電位は、上位ブロックの最下位単位セルの負電位と等しくなる。よって、上位ブロックの最下位単位セルの両端電圧を検出すると正電圧となる。一方、電線が断線しているときにスイッチ素子をオンすると上位ブロックに対応する電圧検出手段の接地端子の電位は、上位ブロックのインピーダンスが小さくなるので、上位ブロックの最下位単位セルの正電位よりも高くなる。よって、上位ブロックの最下位単位セルの両端電圧を検出すると小さな電圧となる。よって、スイッチ素子をオン状態にしたときに上位ブロックの最下位単位セルの両端電圧を検出することにより電線の断線を検出することができる。

【0015】

請求項2記載の発明によれば、正確に断線を検出することができる。

【0016】

請求項3記載の発明によれば、第1ダイオード及び第2ダイオードのクランプにより、スイッチ素子をオン状態にしても上位ブロックに対応する電圧検出手段の接地端子及び下位ブロックに対応する電圧検出手段の電源端子の電位が高くなりすぎることがないので、電圧検出手段に異常が発生するのを防止することができる。

【図面の簡単な説明】

【0017】

【図1】本発明の断線検出装置を組み込んだ電圧検出装置の一実施形態を示す概略回路図である。

【図2】図1に示す電圧検出ICの詳細を示す回路図である。

【図3】図1に示す第1の絶縁I/Fとしてフォトカプラを用いたときの詳細な電気接続図である。

【図4】図1に示す第2の絶縁I/Fとしてフォトカプラを用いたときの詳細な電気接続図である。

【図5】図1に示す単位セルBT₁₀～BT₂₄と電圧検出IC11～13との間の詳細回路図である。

【図6】電線L₁が断線したときの電線L₁の電圧V_{L1}を説明するための回路図である。

【図7】図2に示す制御回路の断線検出処理手順を示すフローチャートである。

【発明を実施するための形態】

【0018】

以下、本発明の実施の形態を図面に基づいて説明する。本実施形態において、電圧検出装置は車両に搭載されている。図1中引用符号B_Lは、低压バッテリーである。低压バッテリーB_Lは、図1に示すように、複数の二次電池から構成されている。低压バッテリーB_Lは、エンジンを始動するスタータの駆動電源として用いられ、その両端にはオルタネータ等(図示せず)が必要に応じて充電器として接続される。

【 0 0 1 9 】

また、図 1 中引用符号 B_H は高圧バッテリーである。上記高圧バッテリー B_H は、エンジンと電動モータを走行駆動源として併用する H E V において前記電動モータの電源として用いられ、その両端には電動モータが必要に応じて負荷として接続されると共にオルタネータ等が必要に応じて充電器として接続される。

【 0 0 2 0 】

高圧バッテリー B_H は、例えば 5 個のブロック $B_1 \sim B_5$ に分けられている。各ブロック $B_1 \sim B_5$ はそれぞれ例えば 11 個の単位セル $B_{T_1} \sim B_{T_{11}}$ 、 $B_{T_{12}} \sim B_{T_{22}}$ 、 $B_{T_{23}} \sim B_{T_{33}}$ 、 $B_{T_{34}} \sim B_{T_{44}}$ 、 $B_{T_{45}} \sim B_{T_{55}}$ から構成されている。単位セル $B_{T_1} \sim B_{T_{55}}$ はそれぞれ一つの二次電池から構成されている。

10

【 0 0 2 1 】

電圧検出装置は、制御手段としてのメインマイコン 10 と、電圧検出手段としての電圧検出 IC 11 ~ 15 と、を備えている。メインマイコン 10 は、周知の CPU、ROM、RAM などから構成されており、低圧系電源回路 20 から電源供給を受けて動作し、電圧検出 IC 11 ~ 15 を制御する。低圧系電源回路 20 は、低圧バッテリー B_L の供給電圧からメインマイコン 10 の動作電圧 V_C を生成する。

【 0 0 2 2 】

上記電圧検出 IC 11 ~ 15 は、各ブロック $B_1 \sim B_5$ に対応して設けられている。電圧検出 IC 11 ~ 15 は、図 2 に示すように、複数のブロック $B_1 \sim B_5$ のうち対応するブロック $B_1 \sim B_5$ を構成する単位セル $B_{T_1} \sim B_{T_{11}}$ 、 $B_{T_{12}} \sim B_{T_{22}}$ 、 $B_{T_{23}} \sim B_{T_{33}}$ 、 $B_{T_{34}} \sim B_{T_{44}}$ 、 $B_{T_{45}} \sim B_{T_{55}}$ のみから電源供給を受けて動作する。即ち、電圧検出 IC 11 ~ 15 は、対応するブロック $B_1 \sim B_5$ の最上位単位セル $B_{T_{11}}$ 、 $B_{T_{22}}$ 、 $B_{T_{33}}$ 、 $B_{T_{44}}$ 、 $B_{T_{55}}$ の正電位を電源電位とし、対応するブロック $B_1 \sim B_5$ の最下位単位セル B_{T_1} 、 $B_{T_{12}}$ 、 $B_{T_{23}}$ 、 $B_{T_{34}}$ 、 $B_{T_{45}}$ の負電位を接地電位とするように設けられている。これにより、電圧検出 IC 11 ~ 15 を構成するデバイスの耐圧を下げる事ができる。

20

【 0 0 2 3 】

電圧検出 IC 11 ~ 15 はそれぞれ、選択スイッチ群 16 と、差動増幅器 OP と、A/D 変換器 17 と、制御回路 18 と、高圧系電源回路 19 と、遮断スイッチ S と、を備えている。上記選択スイッチ群 16 は、単位セル $B_{T_1} \sim B_{T_{55}}$ の両端に各々設けられた常開のスイッチから構成されていて、複数の単位セル $B_{T_1} \sim B_{T_{55}}$ の一つの両端を差動増幅器 OP に接続する。差動増幅器 OP は、選択スイッチ群 16 によって接続された単位セル $B_{T_1} \sim B_{T_{55}}$ の両端電圧を A/D 変換器 17 に対して出力する。A/D 変換器 17 は、差動増幅器 OP からの単位セル $B_{T_1} \sim B_{T_{55}}$ の両端電圧をデジタル変換して制御回路 18 に出力する。

30

【 0 0 2 4 】

制御回路 18 は、周知の CPU、ROM、RAM などから構成されており、電圧検出 IC 11 ~ 15 全体の制御を司る。高圧系電源回路 19 は、対応するブロック $B_1 \sim B_5$ の供給電圧から上記差動増幅器 OP、A/D 変換器 17 及び制御回路 18 の動作電圧 V_{CC} を生成する。遮断スイッチ S は、各ブロック $B_1 \sim B_5$ の正面側と高圧系電源回路 19 との間に設けられている。遮断スイッチ S は、高圧系電源回路 19 に対するブロック $B_1 \sim B_5$ の両端電圧の供給をオンオフして、電圧検出 IC 11 ~ 15 に対する電源供給をオンオフするスイッチである。遮断スイッチ S は、例えば、PNP 型のトランジスタから構成されている。

40

【 0 0 2 5 】

また、上述した電圧検出装置は、図 1 などに示すように、第 1 の通信ラインとしての第 1 の送信ライン LT 1 及び第 1 の受信ライン LR 1 と、第 1 の絶縁インタフェース (I / F) 21 と、を備えている。第 1 の送信ライン LT 1 及び第 1 の受信ライン LR 1 は、電圧検出 IC 11 ~ 15 を互いに直列に接続するように設けられている。電圧検出 IC 11 ~ 15 は互いにグラウンドレベルが異なるので、電圧検出 IC 11 ~ 15 間に設けられた第

50

1の送信ラインLT1及び第1の受信ラインLR1にはレベルシフト回路(図示せず)を設ける必要がある。

【0026】

また、第1の送信ラインLT1及び第1の受信ラインLR1は、電圧検出IC11~15のうち最下位の電圧検出IC11及びメインマイコン10間を接続するように設けられている。即ち、第1の送信ラインLT1及び第1の受信ラインLR1は、メインマイコン10、電圧検出IC11、電圧検出IC12、電圧検出IC13、電圧検出IC14、電圧検出IC15がこの順で互いに直列に接続されるように設けられている。

【0027】

第1の絶縁I/F21は、最下位の電圧検出IC11及びメインマイコン10間に設けられた第1の送信ラインLT1及び第1の受信ラインLR1上に設けられていて、電圧検出IC11とメインマイコン10とを電氣的に絶縁した状態で結合するものである。最下位の電圧検出IC11及びメインマイコン10は、第1の絶縁I/F21によって互いに絶縁した状態で情報の送受信を行うことができる。これにより、高圧バッテリー B_H と低圧バッテリー B_L との絶縁を保つことができる。第1の絶縁I/F21としては、例えば発光素子及び受光素子から成るフォトカプラといった光を媒体にしたものや、磁気カプラといった磁気を媒体にしたものが公知である。

【0028】

図3に第1の絶縁I/F21としてフォトカプラを用いたときの図1に示す電圧検出装置の詳細な電気接続図を示す。同図において、電圧検出IC11の詳細などは省略してある。同図に示すように、第1の絶縁I/F21は、低圧側システムに設けられた発光素子LE1及び受光素子LD2と、高圧側システムに設けられた発光素子LE2及び受光素子LD1と、を有している。同図に示すように、発光素子LE1は、一端がメインマイコン10に接続され、他端がグランドに接続されていて、メインマイコン10から電気信号が出力されると電流が流れて発光する。

【0029】

一方、受光素子LD1は、ブロックB1の高圧系電源回路19と単位セル BT_1 の負側との間に設けられている。受光素子LD1は、発光素子LE1からの光を受光するとオンして、第1の送信ラインLT1を通じて制御回路18に電気信号を供給する。以上の構成によれば、メインマイコン10から電氣的に絶縁した状態で電気信号をブロックB1の制御回路18に送信することができる。

【0030】

また、発光素子LE2は、一端が制御回路18に接続され、他端が単位セル BT_1 の負側に接続されていて、制御回路18から電気信号が出力されると電流が流れて発光する。一方、受光素子LD2は、低圧系電源回路20とグランドとの間に設けられている。受光素子LD2は、発光素子LE2からの光を受光するとオンして、第1の受信ラインLR1を通じてメインマイコン10に電気信号を供給する。以上の構成によれば、ブロックB1の制御回路18から電氣的に絶縁した状態で電気信号をメインマイコン10に送信することができる。

【0031】

また、上述した電圧検出装置は、図1などに示すように、第2の通信ラインとしての第2の送信ラインLT2と、第2の絶縁I/F22と、on/off I/F31~35と、を備えていて、これらによりメインマイコン10からの電源信号の出力に応じて遮断スイッチSをオンできるようになっている。即ち、第2の送信ラインLT2は、各遮断スイッチSを構成するPNP型トランジスタのベースとメインマイコン10との間に設けられている。第2の送信ラインLT2は、一端がメインマイコン10側に接続される主線 L_s と、この主線 L_s の他端から分岐した複数の分岐線 $L_{b1} \sim L_{b5}$ と、から構成されている。分岐線 $L_{b1} \sim L_{b5}$ は、図4に示すように、その他端が遮断スイッチSを構成するPNP型トランジスタのベースに接続されている。

【0032】

10

20

30

40

50

第2の絶縁I/F22は、図1に示すように、主線L_s上に設けられていて、遮断スイッチSとメインマイコン10とを電氣的に絶縁した状態で結合するものである。これにより、高圧バッテリーB_Hと低圧バッテリーB_Lとの絶縁を保つことができる。第2の絶縁I/F22としては、例えば発光素子及び受光素子から成るフォトカプラといった光を媒体にしたものや、磁気カプラといった磁気を媒体にしたものが公知である。上記on/off I/F31~35は、各分岐線L_b1~L_b5に対応して設けられていて、メインマイコン10から送信された電源信号を、遮断スイッチSをオンオフするために適切な信号レベルに変換する。

【0033】

次に、図4を参照して、上述した第2の通信ラインとしての第2の送信ラインLT2と、第2の絶縁I/F22と、on/off I/F31~35と、の詳細な構成について説明する。同図に示すように、第2の絶縁I/F22は、低圧側システムに設けられた発光素子LE3と、低圧側システムに設けられた受光素子LD3と、を有している。同図に示すように、発光素子LE3は、一端がメインマイコン10に接続され、他端がグラウンドに接続されていて、メインマイコン10から電源信号が出力されると電流が流れて発光する。

【0034】

一方、受光素子LD3は、一端が最上位のブロックB5のプラス側に接続され、他端が分圧抵抗R1~R6を介して最下位のブロックB1のマイナス側に接続されている。そして、上記分圧抵抗R1と分圧抵抗R2との接点が、on/off I/F31を構成するNPN型トランジスタのベースに接続されている。分圧抵抗R2と分圧抵抗R3との接点が、on/off I/F32を構成するNPN型トランジスタのベースに接続されている。分圧抵抗R3と分圧抵抗R4との接点が、on/off I/F33を構成するNPN型トランジスタのベースに接続されている。分圧抵抗R4と分圧抵抗R5との接点が、on/off I/F34を構成するNPN型トランジスタのベースに接続されている。分圧抵抗R5と分圧抵抗R6との接点が、on/off I/F35を構成するNPN型トランジスタのベースに接続されている。

【0035】

on/off I/F31~35を構成するNPN型トランジスタのエミッタは、各ブロックB1~B5のマイナス側に接続されている。on/off I/F31~35を構成するNPN型トランジスタのコレクタは、遮断スイッチSを構成するPNP型トランジスタのベースに接続される。以上の構成によれば、メインマイコン10が発光素子LE3に対して電源信号を供給すると、発光素子LE3に電源が流れて発光する。この発光素子LE3からの光を受光すると受光素子LD3がオンする。この受光素子LD3のオンにより各on/off I/F31~35を構成するNPN型トランジスタがオンする。そして、各on/off I/F31のオンに応じて遮断スイッチSを構成するPNP型トランジスタがオンして、各電圧検出IC11~15に電源が供給される。即ち、メインマイコン10から電源信号の供給によって、各電圧検出IC11~15の電源のオンオフを制御することができる。

【0036】

次に、上述した電圧検出装置に組み込まれた断線検出装置30の構成について図5を参照して説明する。断線検出装置30は、図1に示す電線L1~L4の断線を検出する装置である。電線L1は、互いに隣接して接続されたブロックB2(上位ブロック)及びブロックB1(下位ブロック)の接続点と、電圧検出IC12の接地端子及び電圧検出IC11の電源端子の両端子と、の間を接続する電線である。電線L2は、互いに隣接して接続されたブロックB3(上位ブロック)及びブロックB2(下位ブロック)の接続点と、電圧検出IC13の接地端子及び電圧検出IC12の電源端子の両端子と、の間を接続する電線である。

【0037】

電線L3は、互いに隣接して接続されたブロックB4(上位ブロック)及びブロックB

10

20

30

40

50

3 (下位ブロック)の接続点と、電圧検出IC14の接地端子及び電圧検出IC13の電源端子の両端子と、の間を接続する電線である。電線L4は、互いに隣接して接続されたブロックB5(上位ブロック)及びブロックB4(下位ブロック)の接続点と、電圧検出IC15の接地端子及び電圧検出IC14の電源端子の両端子と、の間を接続する電線である。図5に示すように、断線検出装置30は、複数の抵抗Rと、複数のスイッチ素子SW1と、複数のコンデンサCと、複数のスイッチ素子SW2と、複数の抵抗R21及びダイオードD1と、複数の抵抗R22及びダイオードD2と、を備えている。

【0038】

上記複数の抵抗Rは、複数の単位セルBT₁～BT₅₅の両端と電圧検出IC11～15との間にそれぞれ設けられている。複数のスイッチ素子SW1は、上記抵抗Rを介して単位セルBT₁～BT₅₅の各々に並列接続される。複数のコンデンサCは、上記抵抗Rを介して単位セルBT₁～BT₅₅及びスイッチ素子SW1の各々に並列接続される。上記複数のスイッチ素子SW1及びコンデンサCは、単位セルBT₁～BT₅₅と同じ数設けられている。上述した単位セルBT₁～BT₅₅の両端に設けた抵抗Rと、単位セルBT₁～BT₅₅に並列に接続されたコンデンサCと、で単位セルBT₁～BT₅₅の両端電圧からノイズ成分を除去するノイズフィルタ回路を構成している。また、上記抵抗Rと、スイッチ素子SW1と、で単位セルBT₁～BT₅₅をそれぞれ放電するバイパス回路を構成している。即ち、両端電圧が高い単位セルBT₁～BT₅₅に対応するスイッチ素子SW1をオンして単位セルBT₁～BT₅₅を放電することにより、単位セルBT₁～BT₅₅の両端電圧を均等化することができる。

【0039】

上記スイッチ素子SW2は、互いに隣接して接続されるブロックB1及びB2、B2及びB3、B4及びB5のうち上位側のブロックB2～B5に対応する電圧検出IC12～15の電源端子VBB及び接地端子GBBとの間に設けられている。よって、スイッチ素子SW2をオンすると、各電圧検出IC12～15のインピーダンスが小さくなる。上記抵抗R21及び第1ダイオードとしてのダイオードD1は、互いに隣接して接続されるブロックB1及びB2、B2及びB3、B4及びB5のうち上位側のブロックB2～B5の最下位単位セルBT₁₂、BT₂₃、BT₃₄及びBT₄₅の両端間に接続されている。ダイオードD1は、最下位単位セルBT₁₂、BT₂₃、BT₃₄及びBT₄₅の負端子から正端子に向かって順方向に直列接続されている。このダイオードD1によりクランプされて電圧検出IC12～15の接地端子GBBの電位は、各最下位単位セルBT₁₂、BT₂₃、BT₃₄及びBT₄₅の正端子の電位よりもダイオードD1のダイオード電圧を超えて上がることがない。

【0040】

上記抵抗R22及び第2ダイオードとしてのダイオードD2は、互いに隣接して接続されるブロックB1及びB2、B2及びB3、B4及びB5のうち下位側のブロックB1～B4の最上位単位セルBT₁₁、BT₂₂、BT₃₃及びBT₄₄の両端間に接続されている。ダイオードD2は、最上位単位セルBT₁₁、BT₂₂、BT₃₃及びBT₄₄の負端子から正端子に向かって順方向に直列接続されている。このダイオードD2によりクランプされて電圧検出IC11～14の電源端子VBBの電位は、各最上位単位セルBT₁₁、BT₂₂、BT₃₃及びBT₄₄の負端子の電位よりもダイオードD1のダイオード電圧を超えて上がることがない。

【0041】

次に、上述した電圧検出装置に組み込まれた断線検出装置30の断線検出原理について説明する。説明を簡単にするためにブロックB1及びブロックB2の間の電線L1の断線についてのみ説明するが、電線L2～L4についても同様の原理で断線を検出することができる。上述した背景技術で説明したように、電線L1が断線するとその電線L1は、ブロックB2に対応する電圧検出IC12の接地端子GBBと、ブロックB1に対応する電圧検出IC11の電源端子VBBと、に接続されていて電圧検出IC12と電圧検出IC11のインピーダンスの割合に応じた電圧が発生する。詳しくは、図6に示すように、電

10

20

30

40

50

線 L 1 が断線したときの電線 L 1 の電圧 V_{L1} は下記の式 (1) に示すような値となる。

$$V_{L1} = (V_{B1} + V_{B2}) \times R_{i1} / (R_{i1} + R_{i2}) \quad \dots (1)$$

なお、 V_{B1} 、 V_{B2} はそれぞれ電圧検出 IC 1 1、電圧検出 IC 1 2 に接続されたブロック B 1、B 2 の両端電圧を示し、 R_{i1} 、 R_{i2} はそれぞれ電圧検出 IC 1 1、IC 1 2 のインピーダンスを示す。その電位はブロック B 1 に対応する電圧検出 IC 1 1 のインピーダンス R_{i1} と、ブロック B 2 に対応する電圧検出 IC 1 2 のインピーダンス R_{i2} と、のバランスによって決まる。

【 0 0 4 2 】

このように断線した状態でスイッチ素子 SW 2 をオンして上位側のブロック B 2 に対応する電圧検出 IC 1 2 のインピーダンスを小さくすると、電圧検出 IC 1 2 のインピーダンス R_{i1} と電圧検出 IC 1 2 のインピーダンス R_{i2} のバランスがかたより、インピーダンスに応じた分圧が発生する。このため、電圧検出 IC 1 2 の接地端子 G B B の電位が、電源端子 V B B の電位、即ち最上位単位セル B T₂₂ の正電位に引っ張られて最小単位セル B T₁₂ の正端子よりも高くなる。インピーダンスを小さくすればするほど電圧検出 IC 1 2 の接地端子 G B B の電位は上昇してゆき、インピーダンスを十分小さくすると、ダイオード D 1 によりクランプされて、電圧検出 IC 1 2 の接地端子 G B B の電位は、最下位単位セル B T₁₂ の正電位にダイオード電圧を加算した値となる。よって、断線時に電圧検出 IC 1 2 により最下位単位セル B T₁₂ の両端電圧を検出すると、その検出値は負電圧となる。

【 0 0 4 3 】

一方、電線 L 1 が断線していないときは、電圧検出 IC 1 2 の接地端子 G B B の電位は、最下位単位セル B T₁₂ の負端子の電位と等しくなる。このような正常な状態でスイッチ素子 SW をオンして、電圧検出 IC 1 2 に流れる回路電流と電圧検出 IC 1 1 に流れる回路電流とのバランスを崩しても電圧検出 IC 1 2 の接地端子 G B B の電位は、最下位単位セル B T₁₂ の負端子の電位と等しいままである。よって、正常時に電圧検出 IC 1 2 により最下位単位セル B T₁₂ の両端電圧を検出すると、その検出値は正電圧となる。そこで、本発明の断線検出装置 3 0 は、スイッチ素子 SW 2 をオンしたときに計測した最小単位セル B T₁₂ の両端電圧に基づいて断線を検出する。

【 0 0 4 4 】

上述した断線検出原理を踏まえて上述した構成の電圧検出装置の断線検出処理について図 7 を参照して説明する。まず、断線検出処理に切り替わると、メインマイコン 1 0 は、処理を開始して、メインマイコン 1 0 は、第 1 の送信ライン L T 1 を介して接続されたブロック B 1 の制御回路 1 8 に対して断線検出命令を送信する。この断線検出命令は、第 1 の送信ライン L T を通じてブロック B 1 の制御回路 1 8 から上位のブロック B 2 ~ B 5 の制御回路 1 8 に順々に伝送される。

【 0 0 4 5 】

その後、制御回路 1 8 は、スイッチ素子 SW 2 をオン制御して (ステップ S 1)、電圧検出 IC 1 2 のインピーダンスを小さくする。次に、制御回路 1 8 は、最下位単位セル B T₁₂ の両端電圧を検出して両端電圧 V 2 として R A M に格納した後 (ステップ S 2)、スイッチ素子 SW 2 をオフ制御する (ステップ S 3)。上述したように電線 L 1 が断線していなければ、両端電圧 V 2 は正電圧となり、電線 L 1 が断線していれば、両端電圧 V 2 は小さくなる。そして、制御回路 1 8 は、断線検出手段として働き、両端電圧 V 2 が閾値以下であれば (ステップ S 4 で Y)、電線 L 1 は断線していると判断し、その旨を断線検出結果として R A M に格納する (ステップ S 5)。上記インピーダンスを十分小さくすれば両端電圧 V 2 は負の値となる。

【 0 0 4 6 】

一方、制御回路 1 8 は、検出した両端電圧 V 2 が閾値より大きければ (ステップ S 4 で N)、電線 L 1 は正常であると判断し、その旨を断線検出結果として R A M に格納する (ステップ S 6)。その後、制御回路 1 8 は、断線検出結果をメインマイコン 1 0 に対して送信した後 (ステップ S 7)、処理を終了する。ブロック B 3 ~ B 5 の制御回路 1 8 も同

10

20

30

40

50

様に断線検出処理を行う。メインマイコン 10 は、上記断線検出結果を受け取り、断線があると判断すれば、その旨を報知する。

【0047】

上述した実施形態によれば、スイッチ素子 SW 2 をオン状態にしたときに電圧検出 IC 12 により検出された最下位単位セル BT₁₂の両端電圧に基づいて電線 L 1 の断線を検出している。スイッチ素子 SW 2 がオフ状態のときは電圧検出 IC 12 の接地端子 G B B の電位は、ブロック B 2 の最上位単位セル BT₂₂の正電位と、ブロック B 1 の最下位単位セル BT₁₁の負電位と、のほぼ中間となるため、断線時と正常時とで電圧検出 IC 12 に供給される電源電圧が大きく変動することなく、安価な回路構成により確実に断線検出を行うことができる。

10

【0048】

また、上述した実施形態によれば、制御回路 18 が、スイッチ素子 SW 2 をオン状態にしたときに電圧検出 IC 12 により検出された最下位単位セル BT₁₂の両端電圧 V 2 と、閾値との比較に基づいて断線を検出するように設定されているので、正確に断線を検出することができる。

【0049】

また、上述した実施形態によれば、ダイオード D 1 が、ブロック B 2 の最下位単位セル BT₁₂の負端子から正端子に向かって順方向になるように最下位単位セル BT₁₂の両端間に接続されている。また、ダイオード D 2 が、ブロック B 1 の最上位単位セル BT₁₁の負端子から正端子に向かって順方向になるように最上位単位セル BT₁₁の両端間に接続されている。このダイオード D 1 及び D 2 のクランプ効果により、スイッチ素子 SW 2 をオン状態にしても電圧検出 IC 12 の接地端子 G B B 及び電圧検出 IC 11 の電源端子 V B B に供給される電圧が上がりすぎることがないので、電圧検出 IC 11 及び 12 に異常が発生するのを防止することができる。

20

【0050】

また、前述した実施形態は本発明の代表的な形態を示したに過ぎず、本発明は、実施形態に限定されるものではない。即ち、本発明の骨子を逸脱しない範囲で種々変形して実施することができる。

【符号の説明】

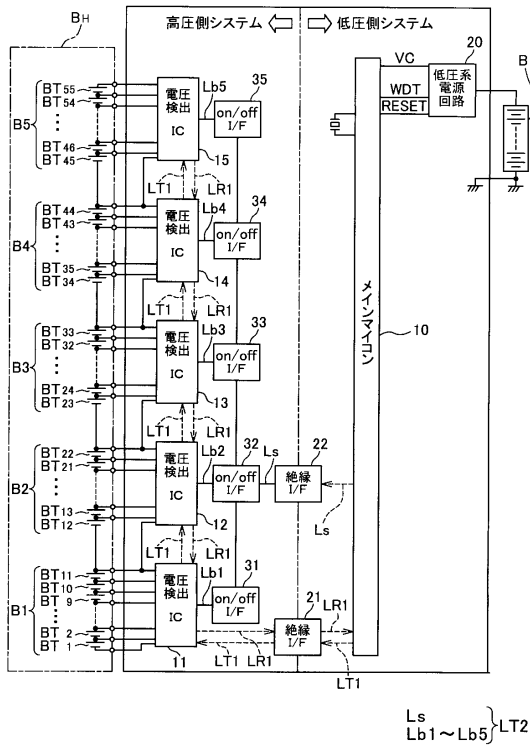
【0051】

11 ~ 15	電圧検出 IC (電圧検出手段)
18	制御回路 (断線検出手段)
B1 ~ B5	ブロック
BT ₁ ~ BT ₅₅	単位セル
D1	第1ダイオード
D2	第2ダイオード
SW2	スイッチ素子
L1 ~ L4	電線
VBB	電源端子
GBB	接地端子

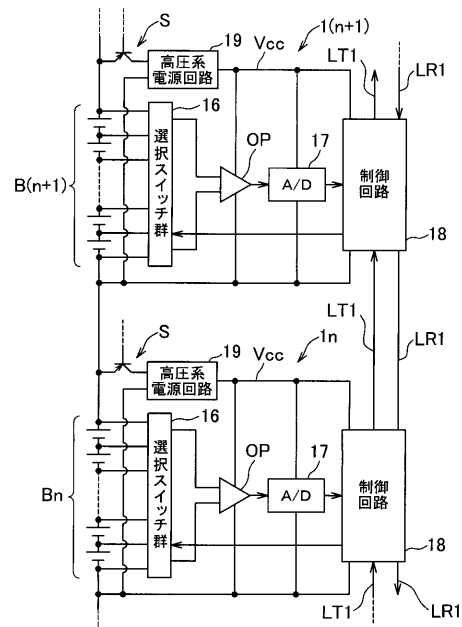
30

40

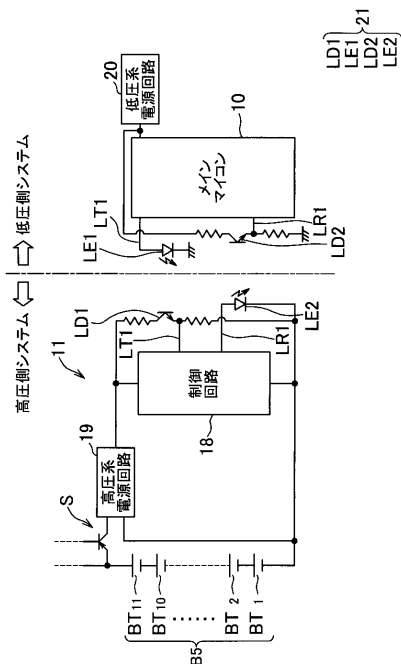
【図1】



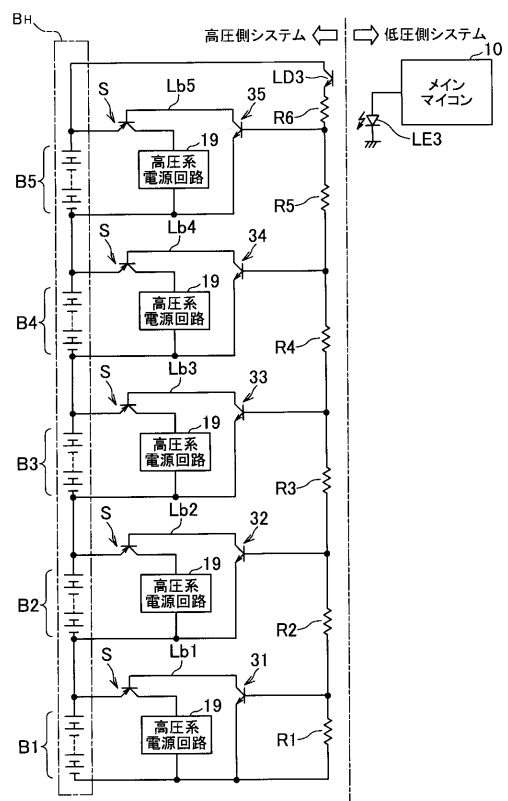
【図2】



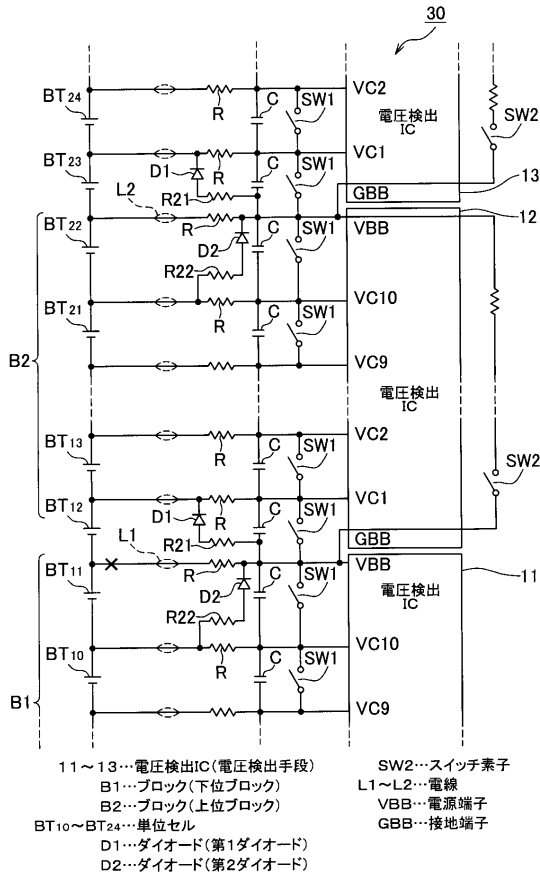
【図3】



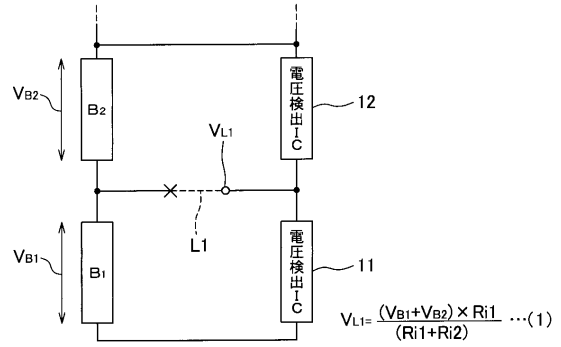
【図4】



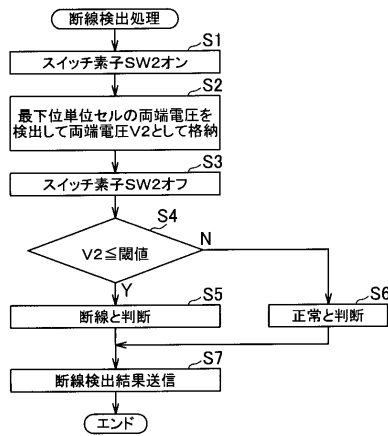
【図5】



【図6】



【図7】



フロントページの続き

審査官 武田 知晋

(56)参考文献 特開2007-218688(JP,A)
特開2009-095222(JP,A)

(58)調査した分野(Int.Cl., DB名)
G01R 31/02
G01R 19/00