

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-220808

(P2007-220808A)

(43) 公開日 平成19年8月30日(2007.8.30)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 S	4 M 1 0 4
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 3 O 1 D	5 F 0 4 8
HO 1 L 21/8238 (2006.01)	HO 1 L 21/28 3 O 1 S	5 F 1 1 0
HO 1 L 27/092 (2006.01)	HO 1 L 29/78 3 O 1 N	5 F 1 4 0
HO 1 L 29/786 (2006.01)	HO 1 L 27/08 3 2 1 C	

審査請求 未請求 請求項の数 7 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2006-38249 (P2006-38249)  
 (22) 出願日 平成18年2月15日 (2006.2.15)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100058479  
 弁理士 鈴江 武彦  
 (74) 代理人 100091351  
 弁理士 河野 哲  
 (74) 代理人 100088683  
 弁理士 中村 誠  
 (74) 代理人 100108855  
 弁理士 蔵田 昌俊  
 (74) 代理人 100075672  
 弁理士 峰 隆司  
 (74) 代理人 100109830  
 弁理士 福原 淑弘

最終頁に続く

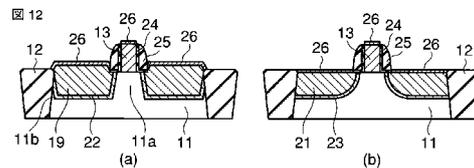
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ファセットに起因した特性の悪化を防止することが可能な半導体装置を提供する。

【解決手段】 素子分離領域12と、素子分離領域によって規定された半導体素子領域11であって、チャンネル形成部11aと、素子分離領域とチャンネル形成部との間に形成された凹部とを有する半導体素子領域11と、凹部に形成されたエピタキシャル半導体部19と、を備え、半導体素子領域は、素子分離領域とエピタキシャル半導体部との間に壁部11bを有する。

【選択図】 図12



## 【特許請求の範囲】

## 【請求項 1】

素子分離領域と、  
前記素子分離領域によって規定された半導体素子領域であって、チャンネル形成部と、前記素子分離領域と前記チャンネル形成部との間に形成された凹部とを有する半導体素子領域と、  
前記凹部に形成されたエピタキシャル半導体部と、  
を備え、  
前記半導体素子領域は、前記素子分離領域と前記エピタキシャル半導体部との間に壁部を有することを特徴とする半導体装置。

10

## 【請求項 2】

素子分離領域と、  
前記素子分離領域によって規定された半導体素子領域であって、チャンネル形成部と、前記素子分離領域と前記チャンネル形成部との間に形成された凹部とを有する半導体素子領域と、  
前記凹部に形成されたエピタキシャル半導体部であって、前記凹部の底面上にコンフォーマルに形成され且つ前記素子分離領域に接する下層エピタキシャル部と、前記下層エピタキシャル部上に形成され且つファセットを有する上層エピタキシャル部を含むエピタキシャル半導体部と、  
を備えたことを特徴とする半導体装置。

20

## 【請求項 3】

素子分離領域と、  
前記素子分離領域によって規定された半導体素子領域であって、チャンネル形成部と、前記素子分離領域と前記チャンネル形成部との間に形成された凹部とを有する半導体素子領域と、  
前記凹部の底面上にコンフォーマルに形成され且つ前記素子分離領域に接するエピタキシャル半導体部と、  
前記エピタキシャル半導体部を覆い、前記チャンネル形成部にストレスを与えるストレス発生膜と、  
を備えたことを特徴とする半導体装置。

30

## 【請求項 4】

前記エピタキシャル半導体部上に形成された導電部をさらに備えたことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

## 【請求項 5】

素子分離領域と、前記素子分離領域によって規定された半導体素子領域を形成する工程と、  
前記半導体素子領域の一部を異方性エッチングして、チャンネル形成部と、前記素子分離領域と前記チャンネル形成部との間の凹部を形成するとともに、前記素子分離領域と前記凹部との間に壁部を形成する工程と、  
前記凹部にエピタキシャル半導体部を形成する工程と、  
を備えたことを特徴とする半導体装置の製造方法。

40

## 【請求項 6】

素子分離領域と、前記素子分離領域によって規定された半導体素子領域を形成する工程と、  
前記半導体素子領域の一部を等方性エッチングして、チャンネル形成部と、前記素子分離領域と前記チャンネル形成部との間の凹部を形成する工程と、  
前記凹部の底面上にコンフォーマルに、前記素子分離領域に接する下層エピタキシャル部を形成する工程と、  
前記下層エピタキシャル部上に、ファセットを有する上層エピタキシャル部を形成する

50

工程と、

を備えたことを特徴とする半導体装置の製造方法。

【請求項 7】

素子分離領域と、前記素子分離領域によって規定された半導体素子領域を形成する工程と、

前記半導体素子領域の一部を等方性エッチングして、チャンネル形成部と、前記素子分離領域と前記チャンネル形成部との間の凹部を形成する工程と、

前記凹部の底面上にコンフォーマルに、前記素子分離領域に接するエピタキシャル半導体部を形成する工程と、

前記エピタキシャル半導体部を覆い、前記チャンネル形成部にストレスを与えるストレス発生膜を形成する工程と、

10

を備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年、MISトランジスタのチャンネル領域に歪みを与えて、MISトランジスタのチャンネル移動度を増加させる技術が注目されている。そのような技術の1つとして、シリコン基板のソース/ドレイン形成用の領域をエッチングして凹部を形成し、凹部内にエピタキシャルSiGe層を形成する方法が提案されている(特許文献1参照)。SiGeはシリコンよりも格子定数が大きく、エピタキシャルSiGe層によってチャンネル領域にストレスを与えることができる。その結果、チャンネル領域に歪みを与えることができ、MISトランジスタのチャンネル移動度を増加させることが可能である。

20

【0003】

しかしながら、上述した技術では、以下のような問題点が生じる。図1及び図2を参照して、問題点を説明する。図1は平面図、図2(a)は図1のA-A'線に沿った断面図、図2(b)は図1のB-B'線に沿った断面図である。

【0004】

図1及び図2において、111はシリコン基板、112は素子分離領域、113はソース/ドレインとなるエピタキシャルSiGe層、114はゲート絶縁膜(図示せず)、ゲート電極115及び側壁スペーサ116で形成されたゲート構造を示している。

30

【0005】

エピタキシャルSiGe層113は、シリコン基板に形成された凹部にSiGeを選択エピタキシャル成長させることによって形成される。選択性の高いエピタキシャル成長条件では、シリコン基板111の露出表面上にのみSiGe層113が形成される。そのため、図2(a)に示すように、素子分離領域112の側面にはSiGe層113は形成されず、SiGe層113にはファセット113aが形成される。その結果、素子分離領域112とエピタキシャルSiGe層113との間に空隙117が生じることとなる。このように空隙117が生じると、エピタキシャルSiGe層113上にシリサイドを形成したときに、ファセット113a上にもシリサイドが形成される。ファセット113a上に形成されたシリサイドとシリコン基板111との距離は極めて近いため、接合リーク特性が悪化するという問題が生じる。また、ファセットによって実効的なチャンネル幅が狭くなり、トランジスタ特性が悪化するという問題も生じる。

40

【0006】

なお、上述した問題は、シリコン基板の凹部にSiGe層をエピタキシャル成長させる場合のみならず、一般的に半導体基板の凹部に半導体層をエピタキシャル成長させる場合にも生じ得るものである。

【0007】

50

このように、従来は、半導体基板（半導体素子領域）の凹部にエピタキシャル半導体部を形成する場合に、エピタキシャル半導体部に形成されたファセットに起因して、トランジスタの特性が悪化するという問題があった。

【特許文献1】米国特許第6621131号明細書

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明は、ファセットに起因した特性の悪化を防止することが可能な半導体装置及びその製造方法を提供することを目的としている。

【課題を解決するための手段】

【0009】

本発明の第1の視点に係る半導体装置は、素子分離領域と、前記素子分離領域によって規定された半導体素子領域であって、チャンネル形成部と、前記素子分離領域と前記チャンネル形成部との間に形成された凹部とを有する半導体素子領域と、前記凹部に形成されたエピタキシャル半導体部と、を備え、前記半導体素子領域は、前記素子分離領域と前記エピタキシャル半導体部との間に壁部を有する。

【0010】

本発明の第2の視点に係る半導体装置は、素子分離領域と、前記素子分離領域によって規定された半導体素子領域であって、チャンネル形成部と、前記素子分離領域と前記チャンネル形成部との間に形成された凹部とを有する半導体素子領域と、前記凹部に形成されたエピタキシャル半導体部であって、前記凹部の底面上にコンフォーマルに形成され且つ前記素子分離領域に接する下層エピタキシャル部と、前記下層エピタキシャル部上に形成され且つファセットを有する上層エピタキシャル部とを含むエピタキシャル半導体部と、を備える。

【0011】

本発明の第3の視点に係る半導体装置は、素子分離領域と、前記素子分離領域によって規定された半導体素子領域であって、チャンネル形成部と、前記素子分離領域と前記チャンネル形成部との間に形成された凹部とを有する半導体素子領域と、前記凹部の底面上にコンフォーマルに形成され且つ前記素子分離領域に接するエピタキシャル半導体部と、前記エピタキシャル半導体部を覆い、前記チャンネル形成部にストレスを与えるストレス発生膜と、を備える。

【0012】

本発明の第4の視点に係る半導体装置の製造方法は、素子分離領域と、前記素子分離領域によって規定された半導体素子領域を形成する工程と、前記半導体素子領域の一部を異方性エッチングして、チャンネル形成部と、前記素子分離領域と前記チャンネル形成部との間の凹部を形成するとともに、前記素子分離領域と前記凹部との間に壁部を形成する工程と、前記凹部にエピタキシャル半導体部を形成する工程と、を備える。

【0013】

本発明の第5の視点に係る半導体装置の製造方法は、素子分離領域と、前記素子分離領域によって規定された半導体素子領域を形成する工程と、前記半導体素子領域の一部を等方性エッチングして、チャンネル形成部と、前記素子分離領域と前記チャンネル形成部との間の凹部を形成する工程と、前記凹部の底面上にコンフォーマルに、前記素子分離領域に接する下層エピタキシャル部を形成する工程と、前記下層エピタキシャル部上に、ファセットを有する上層エピタキシャル部を形成する工程と、を備える。

【0014】

本発明の第6の視点に係る半導体装置の製造方法は、素子分離領域と、前記素子分離領域によって規定された半導体素子領域を形成する工程と、前記半導体素子領域の一部を等方性エッチングして、チャンネル形成部と、前記素子分離領域と前記チャンネル形成部との間の凹部を形成する工程と、前記凹部の底面上にコンフォーマルに、前記素子分離領域に接するエピタキシャル半導体部を形成する工程と、前記エピタキシャル半導体部を覆い、前

10

20

30

40

50

記チャンネル形成部にストレスを与えるストレス発生膜を形成する工程と、を備える。

【発明の効果】

【0015】

本発明によれば、ファセットに起因した特性の悪化を防止することができ、特性に優れた半導体装置を得ることが可能となる。

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施形態を図面を参照して説明する。

【0017】

(実施形態1)

図3～図12は、第1の実施形態に係る半導体装置の製造工程を模式的に示した断面図である。図3(a)～図12(a)はp型MISトランジスタ領域の断面図であり、図3(b)～図12(b)はn型MISトランジスタ領域の断面図である。

【0018】

まず、図3に示すように、シリコン基板(半導体基板)に素子分離溝を形成し、この素子分離溝をシリコン酸化膜等の絶縁膜で埋める。これにより、STI(shallow trench isolation)型の素子分離領域12と、素子分離領域12に囲まれた半導体素子領域11が形成される。

【0019】

次に、図4に示すように、素子領域11上にゲート絶縁膜(図示せず)、ゲート電極13及び保護部14を形成する。ゲート電極13はポリシリコン膜で形成され、保護部14はシリコン窒化膜で形成される。続いて、図5に示すように、全面にTEOSを用いたシリコン酸化膜15を形成する。なお、TEOSを用いたシリコン酸化膜15の代わりにシリコン窒化膜を用いてもよい。

【0020】

次に、図6に示すように、n型MISトランジスタ領域を覆うフォトレジストパターン16を形成する。続いて、p型MISトランジスタ領域のシリコン酸化膜15をRIE(reactive ion etching)によって異方性エッチングすることにより、ゲート電極13及び保護部14の側面に側壁スペーサ15を形成する。これにより、ゲート絶縁膜(図示せず)、ゲート電極13、保護部14及び側壁スペーサ15で形成されたゲート構造17が得られる。さらに、半導体素子領域11をRIEによって異方性エッチングする。これにより、ゲート構造17下にチャンネル形成部11aが形成され、素子分離領域12とチャンネル形成部11aとの間に凹部(リセス部)18が形成される。また、異方性エッチングによって凹部18を形成するため、素子分離領域12と凹部18との間に壁部11bが形成される。すなわち、素子分離領域12の側面に、テーパー状の壁部11bが形成される。この壁部11bの側面の傾斜角は、90度以下である。

【0021】

次に、図7に示すように、フォトレジストパターン16を除去した後、半導体素子領域11の表面に形成された自然酸化膜(図示せず)を除去する。続いて、選択エピタキシャル成長により、凹部18内にボロン(B)がドーブされたSiGe層(エピタキシャル半導体部)19を形成する。SiGeはシリコンよりも格子定数が大きいため、エピタキシャルSiGe層19によってチャンネル形成部11aにストレスを与えることができる。その結果、チャンネル領域に歪みを与えることができ、MISトランジスタのチャンネル移動度を増加させることが可能である。SiGeの選択エピタキシャル成長の際に、素子分離領域12の側面には壁部11bが形成されているため、壁部11bからもエピタキシャル成長が始まる。そのため、素子分離領域12とSiGe層19の間には、従来のような深い空隙117(図2参照)が形成されることはない。すなわち、従来のような大きなファセット113a(図2参照)が形成されることはない。

【0022】

次に、図8に示すように、p型MISトランジスタ領域を覆うフォトレジストパターン

10

20

30

40

50

20を形成する。続いて、n型MISトランジスタ領域のシリコン酸化膜15をRIEによって異方性エッチングすることにより、ゲート電極13及び保護部14の側面に側壁スペーサ15を形成する。さらに、ゲート電極13、保護部14及び側壁スペーサ15をマスクとして用いて、n型MISトランジスタ領域の半導体素子領域11にn型不純物(リン(P)又はヒ素(As))をイオン注入し、イオン注入層21を形成する。

#### 【0023】

次に、図9に示すように、フォトレジストパターン20を除去した後、不純物の活性化アニールを行う。これにより、SiGe層19に含有されたp型不純物(B)と、イオン注入層21に含有されたn型不純物(P又はAs)が活性化され、ソース/ドレイン領域が形成される。また、活性化アニールの際に、p型MISトランジスタ領域では、SiGe層19に含有されたp型不純物(B)が半導体素子領域(シリコン基板)11に拡散し、p型不純物層22が形成される。p型不純物層22のp型不純物濃度は、SiGe層19のp型不純物濃度と同程度になるようにする。また、n型MISトランジスタ領域では、イオン注入層21に含有されたn型不純物(P又はAs)が半導体素子領域(シリコン基板)11に拡散し、n型不純物層23が形成される。p型MISトランジスタ領域では、壁部11bにもp型不純物が拡散してp型不純物層22となる。壁部11bの厚さは薄い(幅が狭い)ため、壁部11bの少なくとも上部分は、p型不純物層22によって占められる。

10

#### 【0024】

次に、図10に示すように、保護部14及び側壁スペーサ15を除去し、ゲート電極13を露出させる。続いて、ソース/ドレインのエクステンション領域を形成した後、図11に示すように、露出したゲート電極13の側面に、シリコン酸化膜(TEOSシリコン酸化膜)24及びシリコン窒化膜25を形成する。

20

#### 【0025】

次に、図12に示すように、ゲート電極(ポリシリコン膜)13、SiGe層19及びイオン注入層21の露出表面に自己整合的にシリサイド膜26(シリサイド(self aligned silicide)膜)を形成する。シリサイド膜26には、例えばNiシリサイドを用いることができる。このようにして、p型MISトランジスタではエピタキシャルSiGe層19をソース/ドレインとして用い、n型MISトランジスタではイオン注入層21をソース/ドレインとして用いた半導体装置が形成される。

30

#### 【0026】

以上のように、本実施形態では、素子分離領域12の側面に壁部11bが形成されている。そのため、素子分離領域12とエピタキシャルSiGe層19との間には、従来のような深い空隙117(図2参照)は形成されておらず、従来のような大きなファセット113a(図2参照)は形成されていない。また、壁部11bの厚さは薄い(幅が狭い)ため、壁部11bの少なくとも上部分は、p型不純物層22によって占められる。したがって、シリサイド膜(導電部)26とpn接合の界面との距離を大きくすることができ、接合リーク特性の悪化を防止することができる。また、従来のような大きなファセットが形成されていないため、ファセットによって実効的なチャネル幅が狭くなるといった問題を防止することができる。よって、本実施形態によれば、ファセットに起因した特性の悪化を防止することができ、特性に優れた半導体装置を得ることができる。

40

#### 【0027】

(実施形態2)

図13~図16は、第2の実施形態に係る半導体装置の製造工程を模式的に示した断面図である。なお、基本的な構成及び基本的な製造方法は第1の実施形態と同様であるため、第1の実施形態で説明した事項については説明を省略する。また、説明の簡単化のため、本実施形態では、p型MISトランジスタ領域での製造工程のみ図示している。

#### 【0028】

まず、第1の実施形態と同様にして図3~図6の工程を行い、図13に示すような構造を形成する。本実施形態においても、第1の実施形態と同様、素子分離領域12の側面に

50

壁部 11b が形成される。

【0029】

次に、図 14 に示すように、第 1 の実施形態と同様にして、凹部 18 内にボロン (B) がドーパされた SiGe 層 (下層エピタキシャル部) 19 を形成する。ただし、本実施形態では、チャンネル形成部 11a の上面程度の高さとなるように、SiGe 層 19 を形成する。

【0030】

次に、図 15 に示すように、選択エピタキシャル成長により、SiGe 層 19 上に Si エピタキシャル層 (上層エピタキシャル部) 31 を形成する。Si エピタキシャル層 31 には、ボロン (B) がドーパされていてもよい。以後、第 1 の実施形態の図 8 ~ 図 11 と同様の工程を行う。

10

【0031】

次に、図 16 に示すように、ゲート電極 13 及び Si 層 31 の露出表面に自己整合的にシリサイド膜 (シリサイド膜) 26 を形成する。このようにして、図 16 に示すような半導体装置が形成される。

【0032】

本実施形態においても、壁部 11b を形成することにより、第 1 の実施形態と同様、特性に優れた半導体装置を得ることができる。また、本実施形態では、上層エピタキシャル部として Si エピタキシャル層 31 を形成している。したがって、SiGe 層の表面にシリサイド膜 26 を形成する場合に比べて、より良質のシリサイド膜 26 を形成することが可能である。

20

【0033】

(実施形態 3)

図 17 ~ 図 19 は、第 3 の実施形態に係る半導体装置の製造工程を模式的に示した断面図である。なお、基本的な構成及び基本的な製造方法は第 1 の実施形態と同様であるため、第 1 の実施形態で説明した事項については説明を省略する。また、説明の簡単化のため、本実施形態では、p 型 MIST ランジスタ領域での製造工程のみ図示している。

【0034】

まず、第 1 の実施形態と同様にして図 3 ~ 図 6 の工程を行う。その後、図 17 に示すように、第 1 の実施形態と同様にして、凹部内にボロン (B) がドーパされた SiGe 層 19 を形成する。ただし、本実施形態では、チャンネル形成部 11a の上面程度の高さとなるように、SiGe 層 19 を形成する。以後、第 1 の実施形態の図 8 ~ 図 11 と同様の工程を行う。

30

【0035】

次に、図 18 に示すように、ゲート電極 13 及び SiGe 層 19 の露出表面に自己整合的にシリサイド膜 (シリサイド膜) 26 を形成する。

【0036】

次に、図 19 に示すように、ゲート電極 13、SiGe 層 19 及びシリサイド膜 26 等を覆うストレスライナー膜 33 を形成する。このストレスライナー膜 33 は、チャンネル形成部 11a にストレスを与えるものである。ストレスライナー膜 33 には、例えばシリコン窒化膜を用いることができる。このようにして、図 19 に示すような半導体装置が形成される。

40

【0037】

本実施形態においても、壁部 11b を形成することにより、第 1 の実施形態と同様、特性に優れた半導体装置を得ることができる。また、本実施形態では、SiGe 層 19 及びストレスライナー膜 33 の両者によって、チャンネル形成部 11a にストレスが与えられる。したがって、より強いストレスをチャンネル形成部 11a に与えることができ、MIST ランジスタのチャンネル移動度を効果的に増加させることができる。

【0038】

(実施形態 4)

50

図20～図31は、第4の実施形態に係る半導体装置の製造工程を模式的に示した断面図である。図20(a)～図31(a)はp型MISトランジスタ領域の断面図であり、図20(b)～図31(b)はn型MISトランジスタ領域の断面図である。

【0039】

まず、図20に示すように、シリコン基板(半導体基板)に素子分離溝を形成し、この素子分離溝をシリコン酸化膜等の絶縁膜で埋める。これにより、STI型の素子分離領域12と、素子分離領域12に囲まれた半導体素子領域11が形成される。

【0040】

次に、図21に示すように、素子領域11上にゲート絶縁膜(図示せず)、ゲート電極13及び保護部14を形成する。ゲート電極13はポリシリコン膜で形成され、保護部14はシリコン窒化膜で形成される。

【0041】

次に、図22に示すように、ゲート電極13及び保護部14の側面に、シリコン酸化膜41及びシリコン窒化膜42からなる側壁スペーサを形成する。さらに、全面にTEOSを用いたシリコン酸化膜43を形成する。なお、ゲート電極13及び保護部14の側面には、シリコン窒化膜の単層膜を形成してもよいし、TEOSシリコン酸化膜の単層膜を形成してもよい。

【0042】

次に、図23に示すように、n型MISトランジスタ領域を覆うフォトリソパターン44を形成する。続いて、p型MISトランジスタ領域のシリコン酸化膜43を異方性エッチングする。これにより、ゲート絶縁膜(図示せず)、ゲート電極13、保護部14、シリコン酸化膜41、シリコン窒化膜42及びシリコン酸化膜43で形成されたゲート構造45が得られる。続いて、半導体素子領域11を等方性エッチングする。これにより、ゲート構造45下にチャンネル形成部11aが形成され、素子分離領域12とチャンネル形成部11aとの間に凹部(リセス部)46が形成される。

【0043】

次に、図24に示すように、フォトリソパターン44を除去した後、半導体素子領域11の表面に形成された自然酸化膜(図示せず)を除去する。続いて、コンフォーマルなエピタキシャル成長により、凹部46内にボロン(B)がドーブされたSiGe層(下層エピタキシャル部)47を形成する。SiGe層47の表面が側壁スペーサのシリコン酸化膜43の表面に一致するまで、SiGe層47の成膜を行う。これにより、凹部46の底面(半導体素子領域11の露出表面)上に、ほぼ均一な厚さでSiGe層47が形成される。また、コンフォーマルなエピタキシャル成長条件を用いることにより、SiGe層47にはファセットは形成されず、SiGe層47は素子分離領域12の側面に接している。コンフォーマルなエピタキシャル成長条件では、エピタキシャル成長の選択性は相対的に低いが、膜厚が薄い段階でSiGe層47の形成を終えるので、半導体素子領域11の露出表面上にのみ選択的にSiGe層47を形成することができる。

【0044】

次に、図25に示すように、選択性の高いエピタキシャル条件で、SiGe層47上に、ボロン(B)がドーブされたSiGe層(上層エピタキシャル部)48を形成する。選択性の高いエピタキシャル条件でSiGe層48を形成するため、SiGe層48にはファセット48aが形成される。このようにして、SiGe層47及び48からなるエピタキシャル半導体部が形成される。SiGeはシリコンよりも格子定数が大きいいため、エピタキシャルSiGe層47及び48によってチャンネル形成部11aにストレスを与えることができる。その結果、チャンネル領域に歪みを与えることができ、MISトランジスタのチャンネル移動度を増加させることが可能である。

【0045】

なお、SiGe層47及び48はいずれも、シリコン(Si)ソースガス及びゲルマニウム(Ge)ソースガスを用いて形成される。Siソースガス及びGeソースガスのうちガス分解温度が高い方のガスの分圧を高め、且つSiソースガス及びGeソースガスの全

10

20

30

40

50

圧を高くすることにより、相対的に選択性の低いエピタキシャル成長条件（コンフォーマルなエピタキシャル成長条件）が得られる。逆の場合には、相対的に選択性の高いエピタキシャル成長条件（ファセットが形成されるエピタキシャル成長条件）が得られる。

【0046】

次に、図26に示すように、p型MISトランジスタ領域を覆うフォトレジストパターン49を形成する。続いて、n型MISトランジスタ領域のシリコン酸化膜43をRIEによって異方性エッチングすることにより、シリコン酸化膜43を有する側壁スペーサが形成される。さらに、このようにして形成された側壁スペーサをマスクとして用いて、n型MISトランジスタ領域の半導体素子領域11にn型不純物（リン（P）又はヒ素（As））をイオン注入し、イオン注入層21を形成する。

10

【0047】

次に、図27に示すように、フォトレジストパターン20を除去した後、不純物の活性化アニールを行う。これにより、SiGe層47及び48に含有されたp型不純物（B）と、イオン注入層21に含有されたn型不純物（P又はAs）が活性化され、ソース/ドレイン領域が形成される。また、活性化アニールの際に、p型MISトランジスタ領域では、SiGe層47及び48に含有されたp型不純物（B）が半導体素子領域（シリコン基板）11に拡散し、p型不純物層22が形成される。また、n型MISトランジスタ領域では、イオン注入層21に含有されたn型不純物（P又はAs）が半導体素子領域（シリコン基板）11に拡散し、n型不純物層23が形成される。

20

【0048】

次に、図28に示すように、ゲート電極13の周囲に形成された保護部14及び側壁スペーサ等を除去し、ゲート電極13を露出させる。続いて、図29に示すように、露出したゲート電極13の側面に、シリコン酸化膜（TEOSシリコン酸化膜）24及びシリコン窒化膜25を形成する。

【0049】

次に、図30に示すように、ゲート電極（ポリシリコン膜）13、SiGe層48及びイオン注入層21の露出表面に自己整合的にシリサイド膜（シリサイド膜）26を形成する。シリサイド膜26には、例えばNiシリサイドを用いることができる。

【0050】

次に、図31に示すように、全面にストレスライナー膜33を形成する。このストレスライナー膜33は、チャンネル形成部11aにストレスを与えるものである。このようにして、p型MISトランジスタではエピタキシャルSiGe層47及び48をソース/ドレインとして用い、n型MISトランジスタではイオン注入層21をソース/ドレインとして用いた半導体装置が形成される。

30

【0051】

以上のように、本実施形態では、コンフォーマルなエピタキシャルSiGe層47を形成した後、選択性の高いエピタキシャル条件でエピタキシャルSiGe層48を形成している。SiGe層47は素子分離領域12の側面に接しているため、SiGe層48がファセット48aを有していても、問題はない。すなわち、SiGe層48下にコンフォーマルなSiGe層47が形成されているため、素子分離領域12とエピタキシャルSiGe層47及び48との間には、従来のような深い空隙117（図2参照）は形成されておらず、従来のような大きなファセット113a（図2参照）は形成されていない。したがって、シリサイド膜（導電部）26とpn接合の界面との距離を大きくすることができ、接合リーク特性の悪化を防止することができる。また、従来のような大きなファセットが形成されていないため、ファセットによって実効的なチャンネル幅が狭くなるといった問題を防止することができる。よって、本実施形態によれば、ファセットに起因した特性の悪化を防止することができ、特性に優れた半導体装置を得ることができる。

40

【0052】

（実施形態5）

図32～図34は、第5の実施形態に係る半導体装置の製造工程を模式的に示した断面

50

図である。なお、基本的な構成及び基本的な製造方法は第4の実施形態と同様であるため、第4の実施形態で説明した事項については説明を省略する。また、説明の簡単化のため、本実施形態では、p型MISトランジスタ領域での製造工程のみ図示している。

【0053】

まず、第4の実施形態と同様にして図20～図24の工程を行い、図32に示すような構造を形成する。すなわち、第4の実施形態と同様に、半導体素子領域11の露出表面上に、コンフォーマルなSiGe層47が形成される。

【0054】

次に、図33に示すように、選択性の高いエピタキシャル条件で、SiGe層47上にSiエピタキシャル層（上層エピタキシャル部）51を形成する。Siエピタキシャル層31には、ボロン（B）がドーブされていてもよい。選択性の高いエピタキシャル条件でSi層51を形成するため、Si層51にはファセット51aが形成される。このようにして、SiGe層47及びSi層51からなるエピタキシャル半導体部が形成される。以後、第4の実施形態の図26～図29と同様の工程を行う。

10

【0055】

次に、図34に示すように、ゲート電極（ポリシリコン膜）13、Si層51の露出表面に自己整合的にシリサイド膜（サリサイド膜）26を形成する。このようにして、図34に示すような半導体装置が形成される。

【0056】

本実施形態においても、コンフォーマルなエピタキシャルSiGe層47を形成することにより、第4の実施形態と同様、特性に優れた半導体装置を得ることができる。また、本実施形態では、上層エピタキシャル部としてSiエピタキシャル層51を形成している。したがって、SiGe層上にシリサイド膜26を形成する場合に比べて、より良質のシリサイド膜26を形成することが可能である。

20

【0057】

（実施形態6）

図35～図37は、第6の実施形態に係る半導体装置の製造工程を模式的に示した断面図である。なお、基本的な構成及び基本的な製造方法は第4の実施形態と同様であるため、第4の実施形態で説明した事項については説明を省略する。また、説明の簡単化のため、本実施形態では、p型MISトランジスタ領域での製造工程のみ図示している。

30

【0058】

まず、第4の実施形態と同様にして図20～図24の工程を行い、図35に示すような構造を形成する。すなわち、第4の実施形態と同様に、半導体素子領域11の露出表面上に、コンフォーマルなSiGe層47が形成される。以後、第4の実施形態の図26～図29と同様の工程を行う。

【0059】

次に、図36に示すように、ゲート電極（ポリシリコン膜）13、SiGe層47の露出表面に自己整合的にシリサイド膜（サリサイド膜）26を形成する。

【0060】

次に、図37に示すように、ゲート電極13、SiGe層47及びシリサイド膜26等を覆うストレスライナー膜33を形成する。ストレスライナー膜33には、例えばシリコン窒化膜を用いることができる。このストレスライナー膜33は、チャンネル形成部11aにストレスを与えるストレス発生膜として機能する。このようにして、図37に示すような半導体装置が形成される。

40

【0061】

以上のように、本実施形態では、コンフォーマルなエピタキシャルSiGe層47を有している。したがって、第4の実施形態で述べたように、シリサイド膜（導電部）26とpn接合の界面との距離を大きくすることができ、接合リーク特性の悪化を防止することができる。また、ファセットによって実効的なチャンネル幅が狭くなるといった問題を防止することができる。したがって、本実施形態によれば、ファセットに起因した特性の悪化

50

を防止することができ、特性に優れた半導体装置を得ることができる。

【0062】

また、本実施形態では、コンフォーマルなエピタキシャルSiGe層47上にストレスライナー膜33を形成しており、ストレスライナー膜33はチャンネル形成部11aの表面よりも低い位置に形成された部分を有している。そのため、ストレスライナー膜33によるストレスをチャンネル形成部11aに十分に与えることができる。その結果、SiGe層47及びストレスライナー膜33の相乗効果により、チャンネル形成部11aに十分なストレスを与えることができる。したがって、本実施形態によれば、MISトランジスタのチャンネル移動度を効果的に増加させることができ、特性に優れた半導体装置を得ることができる。

10

【0063】

(実施形態7)

図38及び図39は、第7の実施形態に係る半導体装置の製造工程を模式的に示した断面図である。図38(a)及び図39(a)はp型MISトランジスタ領域の断面図であり、図38(b)及び図39(b)はn型MISトランジスタ領域の断面図である。なお、基本的な構成及び基本的な製造方法は第1の実施形態と同様であるため、第1の実施形態で説明した事項については説明を省略する。

【0064】

第1の実施形態では、p型MISトランジスタのソース/ドレインはエピタキシャル半導体部(ボロン(B)がドーブされたSiGe層19)で形成し、n型MISトランジスタのソース/ドレインはイオン注入層21で形成していた。本実施形態では、図38に示すように、n型MISトランジスタのソース/ドレインもエピタキシャル半導体部61で形成している。このエピタキシャル半導体部61は、エピタキシャル半導体部19と同様、選択エピタキシャル成長によって形成される。また、エピタキシャル半導体部61には、リン(P)がドーブされたSi或いはリン(P)がドーブされたSiCが用いられる。ゲート電極13、エピタキシャル半導体部19及びエピタキシャル半導体部61上にはシリサイド膜26が形成され、図39に示すような半導体装置が形成される。

20

【0065】

本実施形態では、n型MISトランジスタ領域においても、p型MISトランジスタ領域と同様に、素子分離領域12の側面に壁部11bが形成されている。したがって、n型MISトランジスタ領域においてもp型MISトランジスタ領域と同様、ファセットに起因した特性の悪化を防止することができ、特性に優れた半導体装置を得ることが可能である。

30

【0066】

また、本実施形態では、不純物が含有されたSi或いはSiCをエピタキシャル成長させることで、ソース/ドレイン(エピタキシャル半導体部61)が形成される。そのため、イオン注入によってソース/ドレインを形成する場合のような高温熱処理を行う必要がない。したがって、不純物の過剰な拡散を防止することができ、ショートチャンネル効果の抑制や寄生容量の低減をはかることが可能である。よって、このような観点からも、特性に優れた半導体装置を得ることが可能である。

40

【0067】

(実施形態8)

図40は、第8の実施形態に係る半導体装置の構成を模式的に示した断面図である。図40(a)はp型MISトランジスタ領域の断面図であり、図40(b)はn型MISトランジスタ領域の断面図である。なお、基本的な構成及び基本的な製造方法は第1の実施形態と同様であるため、第1の実施形態で説明した事項については説明を省略する。

【0068】

本実施形態では、p型MISトランジスタ領域では、第3の実施形態と同様にして、ボロン(B)がドーブされたエピタキシャルSiGe層19及びストレスライナー膜33等を形成している。また、本実施形態では、n型MISトランジスタ領域にも、p型MIS

50

トランジスタ領域と同様の構成を採用している。すなわち、n型MISトランジスタのソース/ドレインをエピタキシャル半導体部61で形成している。エピタキシャル半導体部61には、リン(P)がドーパされたSi或いはリン(P)がドーパされたSiCが用いられる。

【0069】

本実施形態においても、壁部11bを形成することにより、第1の実施形態と同様、特性に優れた半導体装置を得ることができる。また、本実施形態では、SiGe層19及びストレスライナー膜33の両者によって、チャンネル形成部11aにストレスが与えられる。したがって、より強いストレスをチャンネル形成部11aに与えることができ、MISトランジスタのチャンネル移動度を効果的に増加させることができる。さらに、本実施形態では、第7の実施形態と同様、不純物が含有されたSi或いはSiCをエピタキシャル成長させることで、ソース/ドレイン(エピタキシャル半導体部61)が形成される。そのため、第7の実施形態と同様、高温熱処理による不純物の過剰な拡散を防止することができ、ショートチャンネル効果の抑制や寄生容量の低減をはかることが可能である。

10

【0070】

(実施形態9)

図41は、第9の実施形態に係る半導体装置の構成を模式的に示した断面図である。図41(a)はp型MISトランジスタ領域の断面図であり、図41(b)はn型MISトランジスタ領域の断面図である。なお、基本的な構成及び基本的な製造方法は第4の実施形態と同様であるため、第4の実施形態で説明した事項については説明を省略する。

20

【0071】

本実施形態では、p型MISトランジスタ領域では、第4の実施形態と同様にして、ボロン(B)がドーパされたエピタキシャルSiGe層47及び48等を形成している。また、本実施形態では、n型MISトランジスタ領域にも、p型MISトランジスタ領域と同様の構成を採用している。すなわち、n型MISトランジスタのソース/ドレインをエピタキシャル半導体部62及び63で形成している。エピタキシャル半導体部62はコンフォーマルなエピタキシャル成長条件で形成され、エピタキシャル半導体部63は選択性の高いエピタキシャル成長条件(ファセットが形成されるエピタキシャル成長条件)で形成される。エピタキシャル半導体部62及び63には、リン(P)がドーパされたSi或いはリン(P)がドーパされたSiCが用いられる。

30

【0072】

本実施形態においても、コンフォーマルなエピタキシャル半導体部62を形成することにより、第4の実施形態と同様、特性に優れた半導体装置を得ることができる。また、第7の実施形態と同様、不純物が含有されたSi或いはSiCをエピタキシャル成長させることで、ソース/ドレイン(エピタキシャル半導体部62及び63)が形成される。そのため、第7の実施形態と同様、高温熱処理による不純物の過剰な拡散を防止することができ、ショートチャンネル効果の抑制や寄生容量の低減をはかることが可能である。

【0073】

(実施形態10)

図42は、第10の実施形態に係る半導体装置の構成を模式的に示した断面図である。図42(a)はp型MISトランジスタ領域の断面図であり、図42(b)はn型MISトランジスタ領域の断面図である。なお、基本的な構成及び基本的な製造方法は第4の実施形態と同様であるため、第4の実施形態で説明した事項については説明を省略する。

40

【0074】

本実施形態では、p型MISトランジスタ領域では、第6の実施形態と同様にして、ボロン(B)がドーパされたエピタキシャルSiGe層47及びストレスライナー膜33等を形成している。また、本実施形態では、n型MISトランジスタ領域にも、p型MISトランジスタ領域と同様の構成を採用している。すなわち、n型MISトランジスタのソース/ドレインをエピタキシャル半導体部62で形成するとともに、n型MISトランジスタ領域にもストレスライナー膜33を形成している。エピタキシャル半導体部62はコ

50

ンフォーマルなエピタキシャル成長条件で形成される。また、エピタキシャル半導体部 62 には、リン (P) がドーブされた Si 或いはリン (P) がドーブされた SiC が用いられる。

#### 【0075】

本実施形態においても、コンフォーマルなエピタキシャル半導体部 62 を形成することにより、第 4 の実施形態と同様、特性に優れた半導体装置を得ることができる。また、本実施形態では、ストレスライナー膜 33 を形成することにより、第 6 の実施形態で述べたように、チャンネル形成部 11a に十分なストレスを与えることができる。したがって、MIS トランジスタのチャンネル移動度を効果的に増加させることができ、特性に優れた半導体装置を得ることができる。また、第 7 の実施形態と同様、不純物が含有された Si 或いは SiC をエピタキシャル成長させることで、ソース/ドレイン (エピタキシャル半導体部 62) が形成される。そのため、第 7 の実施形態と同様、高温熱処理による不純物の過剰な拡散を防止することができ、ショートチャンネル効果の抑制や寄生容量の低減をはかることが可能である。

10

#### 【0076】

以上、第 1 ~ 第 10 の実施形態について説明したが、以下に述べるような種々の変更が可能である。

#### 【0077】

上述した第 1 ~ 第 10 の実施形態では、p 型 MIS トランジスタ領域のエピタキシャル半導体部に SiGe を用いたが、Si 等の半導体を用いることも可能である。この場合、チャンネル形成部にストレスを与えることはできないかもしれないが、第 7 ~ 第 10 の実施形態で説明した n 型 MIS トランジスタ領域の場合と同様、高温熱処理による不純物の過剰な拡散を防止することができ、ショートチャンネル効果の抑制や寄生容量の低減をはかることができるという効果を得ることはできる。

20

#### 【0078】

また、上述した第 1 ~ 第 10 の実施形態では、半導体基板としてバルクシリコン基板を用いたが、SOI 基板を用いることも可能である。

#### 【0079】

また、上述した第 1 ~ 第 10 の実施形態では、エピタキシャル半導体部上に導電部としてシリサイド膜を形成するようにしたが、金属膜等の導電部をエピタキシャル半導体部上に形成するようにしてもよい。

30

#### 【0080】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

#### 【図面の簡単な説明】

#### 【0081】

40

【図 1】従来技術に係る半導体装置の構成を模式的に示した平面図である。

【図 2】従来技術に係る半導体装置の構成を模式的に示した断面図である。

【図 3】本発明の第 1 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 4】本発明の第 1 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 5】本発明の第 1 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 6】本発明の第 1 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

50



【図 3 2】本発明の第 5 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 3 3】本発明の第 5 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 3 4】本発明の第 5 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 3 5】本発明の第 6 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 3 6】本発明の第 6 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 3 7】本発明の第 6 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 3 8】本発明の第 7 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 3 9】本発明の第 7 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 4 0】本発明の第 8 の実施形態に係る半導体装置の構成を模式的に示した断面図である。

【図 4 1】本発明の第 9 の実施形態に係る半導体装置の構成を模式的に示した断面図である。

【図 4 2】本発明の第 1 0 の実施形態に係る半導体装置の構成を模式的に示した断面図である。

【符号の説明】

【 0 0 8 2 】

1 1 ... 半導体素子領域	1 1 a ... チャンネル形成部	1 1 b ... 壁部
1 2 ... 素子分離領域	1 3 ... ゲート電極	1 4 ... 保護部
1 5 ... 側壁スペース	1 6 ... フォトレジストパターン	
1 7 ... ゲート構造	1 8 ... 凹部	
1 9 ... S i G e 層	2 0 ... フォトレジストパターン	
2 1 ... イオン注入層	2 2 ... p 型不純物層	
2 3 ... n 型不純物層	2 4 ... シリコン酸化膜	
2 5 ... シリコン窒化膜	2 6 ... シリサイド膜	
3 1 ... S i エピタキシャル層	3 3 ... ストレスライナー膜	
4 1 ... シリコン酸化膜	4 2 ... シリコン窒化膜	4 3 ... シリコン酸化膜
4 4 ... フォトレジストパターン	4 5 ... ゲート構造	
4 6 ... 凹部	4 7、4 8 ... S i G e 層	
4 8 a ... ファセット	4 9 ... フォトレジストパターン	
5 1 ... S i エピタキシャル層	5 1 a ... ファセット	
6 1、6 2、6 3 ... エピタキシャル半導体部		

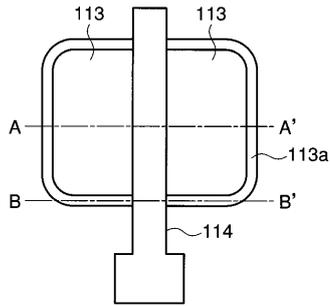
10

20

30

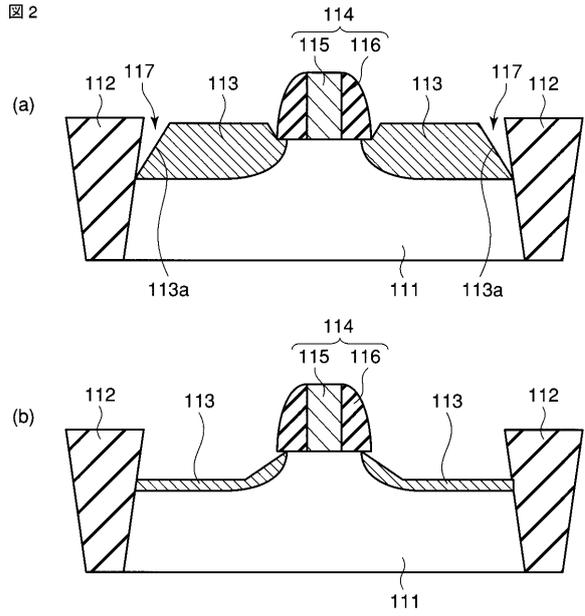
【 図 1 】

図 1



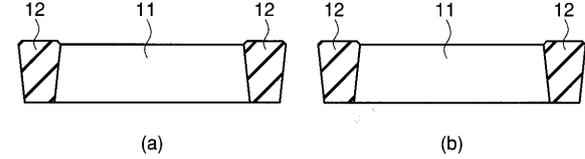
【 図 2 】

図 2



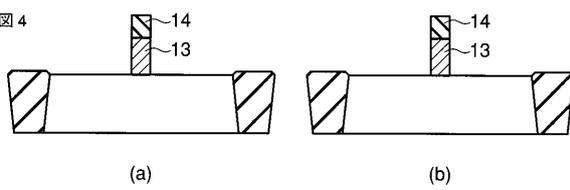
【 図 3 】

図 3



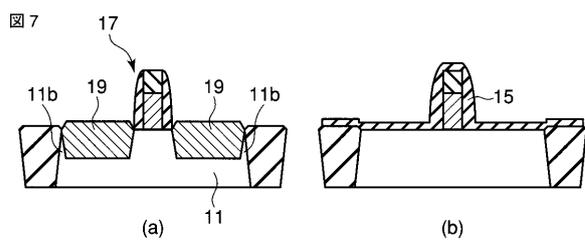
【 図 4 】

図 4



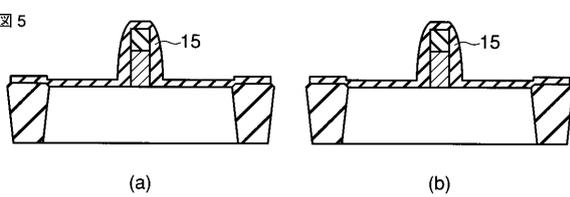
【 図 7 】

図 7



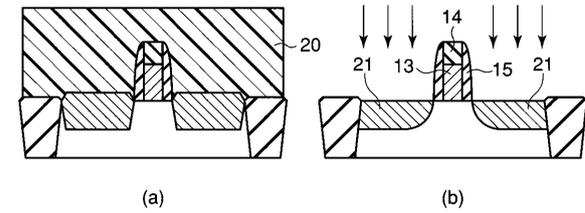
【 図 5 】

図 5



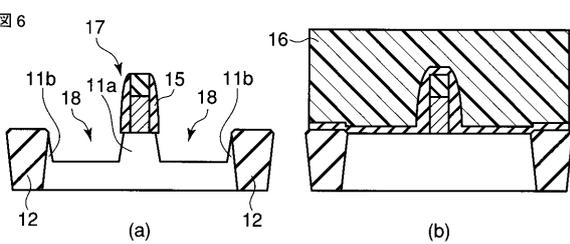
【 図 8 】

図 8



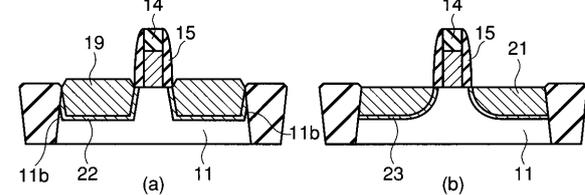
【 図 6 】

図 6

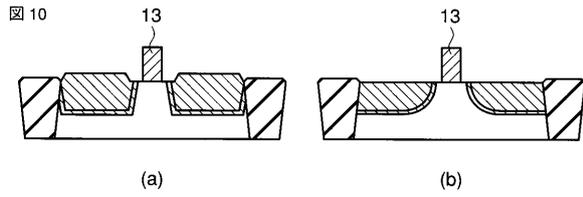


【 図 9 】

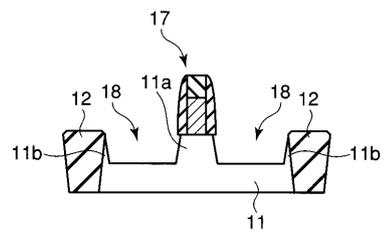
図 9



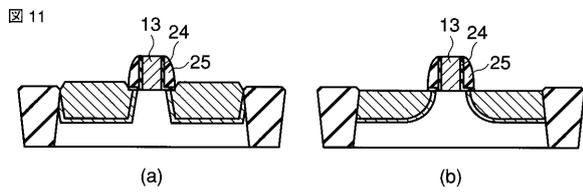
【 図 1 0 】



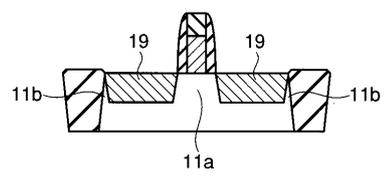
【 図 1 3 】



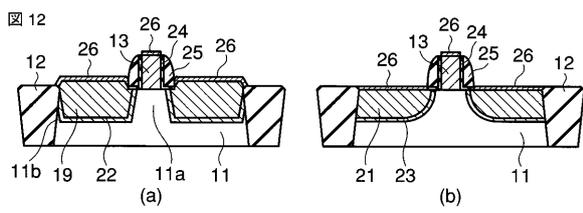
【 図 1 1 】



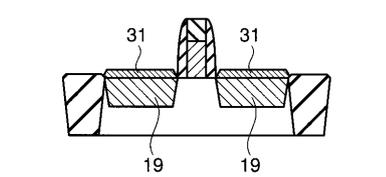
【 図 1 4 】



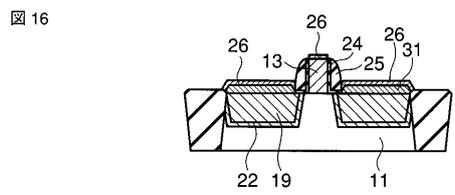
【 図 1 2 】



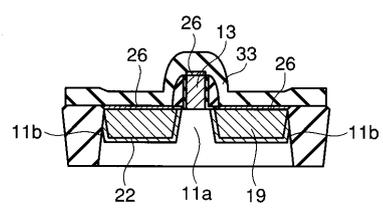
【 図 1 5 】



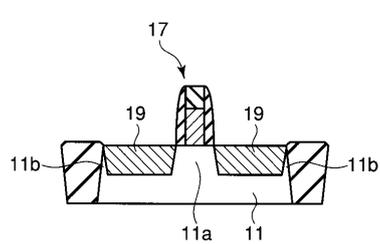
【 図 1 6 】



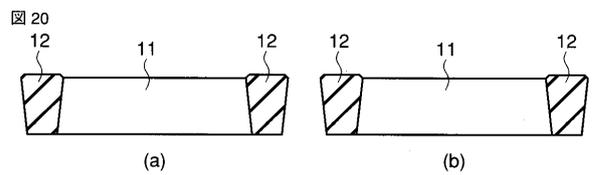
【 図 1 9 】



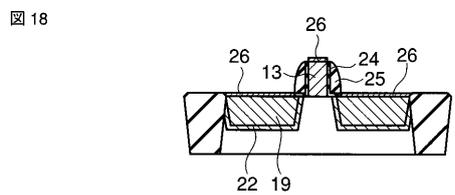
【 図 1 7 】



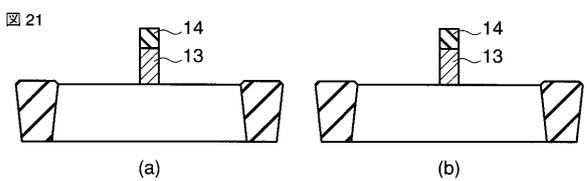
【 図 2 0 】



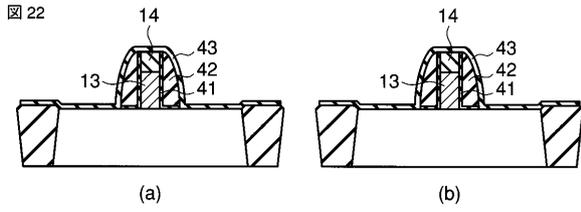
【 図 1 8 】



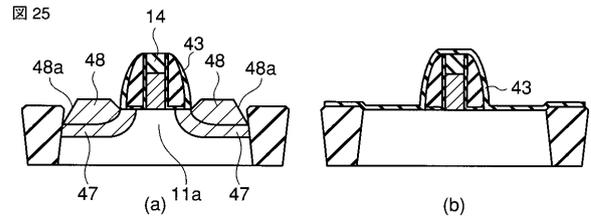
【 図 2 1 】



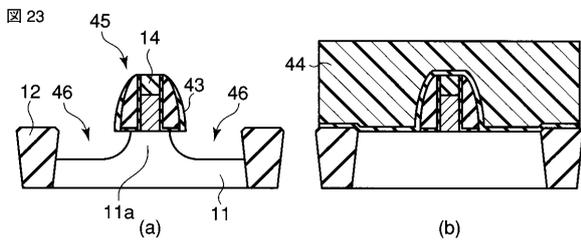
【 図 2 2 】



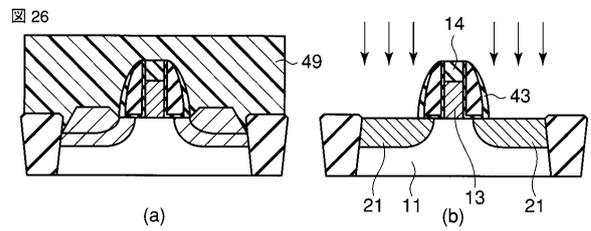
【 図 2 5 】



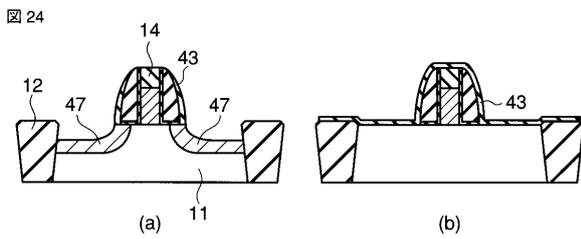
【 図 2 3 】



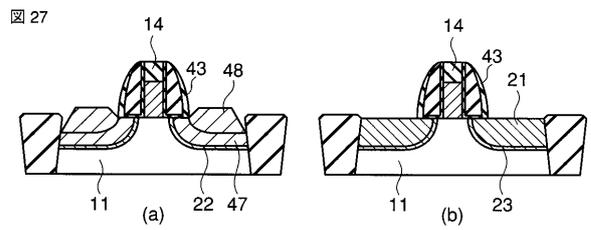
【 図 2 6 】



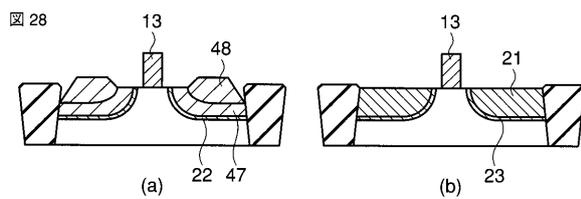
【 図 2 4 】



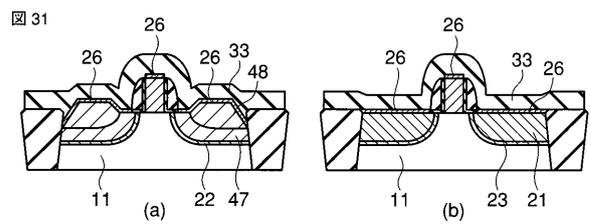
【 図 2 7 】



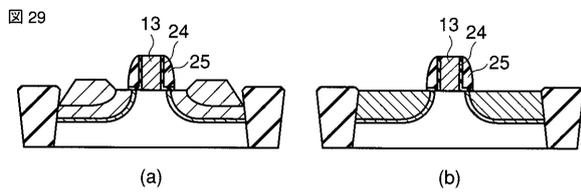
【 図 2 8 】



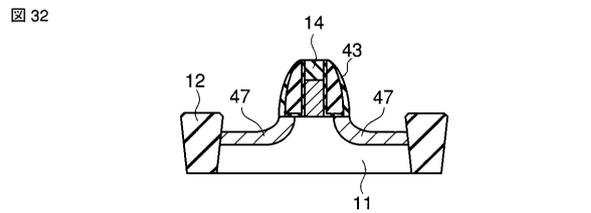
【 図 3 1 】



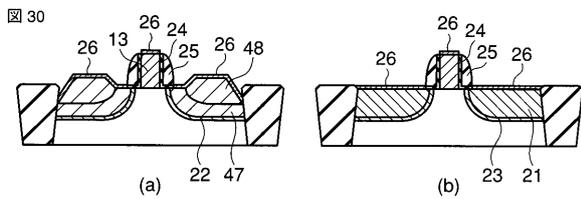
【 図 2 9 】



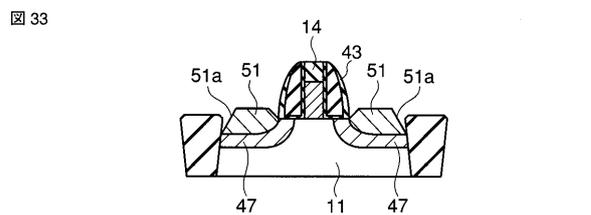
【 図 3 2 】



【 図 3 0 】

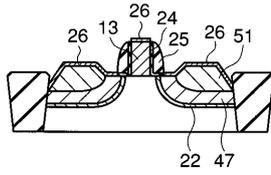


【 図 3 3 】



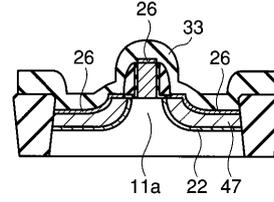
【 図 3 4 】

図 34



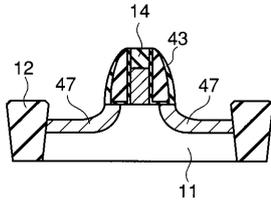
【 図 3 7 】

図 37



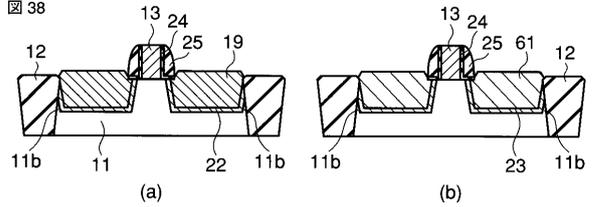
【 図 3 5 】

図 35



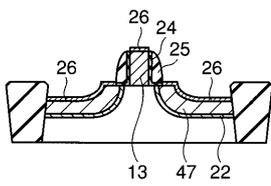
【 図 3 8 】

図 38



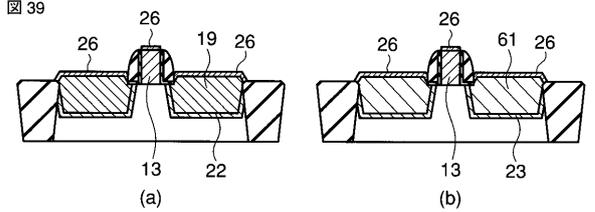
【 図 3 6 】

図 36



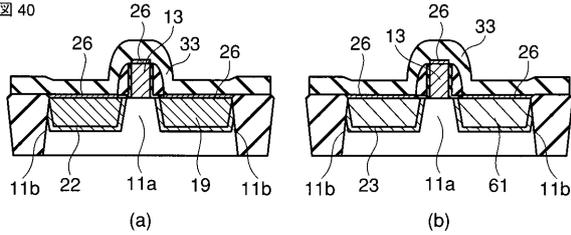
【 図 3 9 】

図 39



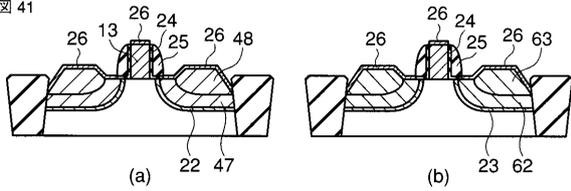
【 図 4 0 】

図 40



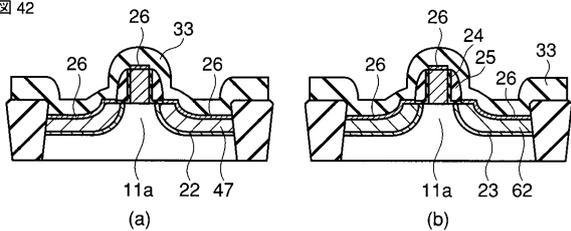
【 図 4 1 】

図 41



【 図 4 2 】

図 42



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 27/08	3 2 1 E
	H 0 1 L 29/78	6 1 6 V
	H 0 1 L 29/78	6 1 6 T

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 山崎 博之

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

(72)発明者 松尾 浩司

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

(72)発明者 岩佐 誠一

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

F ターム(参考) 4M104 AA01 BB01 BB21 CC01 CC05 DD04 DD84 FF14 GG09 GG10  
GG14

5F048 AA08 AC03 AC04 BA14 BA16 BB06 BB07 BB08 BB12 BC01  
BC05 BC15 BC18 BD00 BF06 BG13 DA19 DA25 DA27 DA30  
DB01 DB06

5F110 AA01 AA02 AA06 AA30 BB04 CC02 DD05 DD13 EE05 EE09  
EE14 EE31 GG02 GG12 HJ01 HJ13 HJ21 HJ23 HK05 HM02  
HM07 HM15 NN02 NN24 NN62 QQ11

5F140 AA05 AA12 AA21 AA24 AB03 AC01 AC28 AC36 BA01 BF04  
BF11 BF18 BG09 BG12 BG14 BG22 BG34 BG39 BG54 BH05  
BH06 BH07 BH14 BH27 BJ01 BJ03 BJ08 BK03 BK08 BK09  
BK12 BK13 BK15 BK16 BK18 BK21 BK34 CB04 CC08 CF04