

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4936914号
(P4936914)

(45) 発行日 平成24年5月23日(2012.5.23)

(24) 登録日 平成24年3月2日(2012.3.2)

(51) Int.Cl.		F I		
G 1 1 C	16/02	(2006.01)	G 1 1 C	17/00 6 1 1 A
G 1 1 C	16/04	(2006.01)	G 1 1 C	17/00 6 2 2 E
G 1 1 C	16/06	(2006.01)	G 1 1 C	17/00 6 3 3 D
			G 1 1 C	17/00 6 4 1

請求項の数 5 (全 22 頁)

(21) 出願番号	特願2007-12941 (P2007-12941)	(73) 特許権者	000003078
(22) 出願日	平成19年1月23日(2007.1.23)		株式会社東芝
(65) 公開番号	特開2008-181582 (P2008-181582A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成20年8月7日(2008.8.7)	(74) 代理人	100091351
審査請求日	平成21年3月12日(2009.3.12)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100084618
			弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

それぞれが電子を注入および放出可能な電極とワード線に接続された制御電極とを有する複数のメモリセルを含み、前記複数のメモリセルの電流経路が直列接続されたメモリセル列を複数備えたメモリセルアレイと、

前記メモリセル列の電流経路の一端に電氣的に接続されたビット線と、

前記メモリセル列の電流経路の他端に電氣的に接続されたソース線と、

前記ビット線毎に設けられ前記メモリセルに書き込まれたデータを読み出し可能な複数のセンスアンプ回路を備えたセンスアンプと、

前記ビット線毎に設けられて前記センスアンプ回路に電氣的に接続され、前記メモリセルに書き込むべきデータを保持可能な複数の第1ラッチ回路を備えたデータバッファと、書き込み電圧を発生する電圧発生回路と、

前記電圧発生回路及び前記データバッファを制御する制御回路と

を具備し、前記制御回路は、

前記複数の第1ラッチ回路に保持された書き込みデータを、各々の前記複数の第1ラッチ回路に電氣的に接続された前記ビット線の複数の前記メモリセルに一括して書き込み、

前記一括して書き込んだ後、前記書き込みデータを前記複数の第1ラッチ回路に再度保持させ、

前記メモリセルにベリファイ読み出しを行い、前記ベリファイ読み出しによる前記複数のセンスアンプ回路の読み出しデータと、前記複数の第1ラッチ回路に再度保持させた前

10

20

記書き込みデータとが不一致の場合に、

前記保持させた前記書き込みデータを再度前記複数のメモリセルに一括して書き込み、前記再度保持させた前記書き込みデータを再度前記複数のメモリセルに一括して書き込む際の書き込み電圧のステップアップ幅の値が、その前の前記複数の前記メモリセルに一括して書き込む際の書き込み電圧のステップアップ幅の値よりも大きくなるように、かつ前記再度の複数のメモリセルに一括して書き込む際の書き込み電圧の初期値が、その前の前記複数の前記メモリセルに一括して書き込む際の書き込み電圧の最大値よりも小さくなるように、前記電圧発生回路を制御する

ことを特徴とする半導体記憶装置。

【請求項 2】

それぞれが電子を注入および放出可能な電極とワード線に接続された制御電極とを有する複数のメモリセルを含み、前記複数のメモリセルの電流経路が直列接続されたメモリセル列を複数備えたメモリセルアレイと、

前記メモリセル列の電流経路の一端に電氣的に接続されたビット線と、

前記メモリセル列の電流経路の他端に電氣的に接続されたソース線と、

前記ビット線毎に設けられ前記メモリセルに書き込まれたデータを読み出し可能な複数のセンスアンプ回路を備えたセンスアンプと、

前記ビット線毎に設けられて前記センスアンプ回路に電氣的に接続され、前記メモリセルに書き込むべきデータを保持可能な複数の第 1 ラッチ回路を備えたデータバッファと、書き込み電圧を発生する電圧発生回路と、

前記電圧発生回路及び前記データバッファを制御する制御回路と

を具備し、前記制御回路は、

前記複数の第 1 ラッチ回路に保持された書き込みデータを、各々の前記複数の第 1 ラッチ回路に電氣的に接続された前記ビット線の複数の前記メモリセルに一括して書き込み、前記一括して書き込んだ後、前記書き込みデータを前記複数の第 1 ラッチ回路に再度保持させ、

前記メモリセルにベリファイ読み出しを行い、前記ベリファイ読み出しによる前記複数のセンスアンプ回路の読み出しデータと、前記複数の第 1 ラッチ回路に再度保持させた前記書き込みデータとが不一致の場合に、

前記保持させた前記書き込みデータを再度前記複数のメモリセルに一括して書き込み、前記再度保持させた前記書き込みデータを再度前記複数のメモリセルに一括して書き込む際の書き込み電圧のステップアップ幅の値が、その前の前記複数の前記メモリセルに一括して書き込む際の書き込み電圧のステップアップ幅の値よりも大きくなるように、かつ前記再度の複数のメモリセルに一括して書き込む際の書き込み電圧の初期値が、その前の前記複数の前記メモリセルに一括して書き込む際の書き込み電圧の初期値と同じであるように、前記電圧発生回路を制御する

ことを特徴とする半導体記憶装置。

【請求項 3】

前記データバッファは、前記ビット線毎に設けられて前記複数の第 1 ラッチ回路に電氣的に接続され、書き込みデータを保持可能な複数の第 2 ラッチ回路を更に備える

ことを特徴とする請求項 1 または 2 に記載の半導体記憶装置。

【請求項 4】

前記制御回路は、前記再度保持させた前記書き込みデータを再度前記複数のメモリセルに一括して書き込む際の書き込み電圧の最大値が、その前の前記複数の前記メモリセルに一括して書き込む際の書き込み電圧の最大値よりも小さくなるように前記電圧発生回路を制御する

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体記憶装置。

【請求項 5】

前記メモリセルアレイは、前記メモリセルのそれぞれに多ビットのデータを記録することが可能な領域として構成されていること

10

20

30

40

50

ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体記憶装置に関し、例えば、NAND型フラッシュメモリ等に適用されるものである。

【背景技術】

【0002】

従来、例えば、NAND型フラッシュメモリでは、製造プロセスにおけるメモリセルの加工形状あるいは製造時の熱プロセスなどにより、個々のメモリセル間に書き込み特性のばらつきが存在する。NAND型フラッシュメモリの読み出し動作 (read) は、選択された NAND ストリング内の読み出し非選択セルに対してもパス電位 (V_{pass}) を与える。このため、上記特性のばらつきが存在した上であっても、全てのセルの書き込み電圧 (V_{pgm}) を読み出し電圧 (V_{read}) 以下に精度良く制御する必要がある。

10

【0003】

NAND型フラッシュメモリは、書き込み特性の上記ばらつきを抑制するために、通常、メモリセル毎 (ビット毎) にベリファイ (Verify) 書き込みを行う。このベリファイ (Verify) 書き込みは、まず、書き込み動作を行った後に、所定の閾値電圧 V_{th} に達したかどうかをメモリセル毎 (ビット毎) に、判定するベリファイ読み出し (Verify Read) を行う。続いて、ベリファイ読み出しにより、書き込み不十分と判定がされたメモリセルに限り、再びベリファイ書き込みを行う。ベリファイ書き込みは、先に行ったベリファイ書き込み動作に対して書き込みパルスの電圧を所定の値だけ増加させて行う (ステップアップ書き込み)。

20

【0004】

上記ベリファイ読み出しは、非選択セルにはパス電位を与え、かつ選択セルに判定電位を与える。この結果、所定のセル電流が流れた場合、メモリセルに書き込まれたデータを例えば "0" と判定する。

【0005】

この時のセル電流は、周辺回路の内部抵抗、ビット線抵抗、ビット線コンタクト抵抗、NANDストリングの拡散層抵抗、非選択セルのチャネル抵抗、ソース線コンタクト抵抗、ソース線抵抗、など種々の寄生抵抗の影響を受ける。このうち、ソース線の寄生抵抗に起因するソース線ノイズの影響が大きい。

30

【0006】

ソース線ノイズは、ソース線に流れる電流の変化により発生する。また、ソース線ノイズは、1つのページをアクセスした場合、セルの閾値電圧に応じてセル電流が変化するため、その大きさが周囲のセルの閾値電圧 V_{th} のパターンに依存して変動する。したがって、周囲のセルの閾値電圧 V_{th} が変動すると、当該セルの読み出し閾値電圧 V_{th} も変動してしまう。

【0007】

ソース線ノイズの影響が特に顕著に現れるのは、データ書き込み初期であって、書き込みの早いセルが書き込みの遅いセルの閾値電圧 V_{th} がまだ低い (セル電流が多い) 状態でベリファイ読み出し (Verify Read) される場合である。この場合、ベリファイ読み出し (Verify Read) 時にはソース線の電位降下が大きく、当該セルの閾値電圧 V_{th} は、高く見える状態で判定されるため、ベリファイ電圧を満たしたセルであると誤判定されてしまう。

40

【0008】

一方、書き込みが終了に近づくと、ページ内の全てのセルの閾値電圧が所定の閾値電圧に近づいている。このため、ソース線の電位降下が減少しており、ソース線ノイズの影響は少なく、ベリファイ電圧に近づいて各セルの閾値電圧が判定される。このような書き込み動作の場合、上記誤判定されたセル (書き込みの早いセル) は、ベリファイ電圧を満た

50

さないこととなる。この結果、セルに設定された閾値電圧が所定の閾値電圧より低くなり、読み出しマージンが低減してしまう。

【0009】

上記のように、従来の半導体記憶装置は、読み出しマージンが低減するという問題があった。

【0010】

この出願の発明に関連する文献公知発明としては、次のような特許文献1がある。この特許文献1には、メモリセルの共通ソース線の電位の浮きに起因する書き込み不良の防止に関する半導体記憶装置が記載されている。

【特許文献1】特開2000-48582号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

この発明は、読み出しマージンを増大できる半導体記憶装置を提供する。

【課題を解決するための手段】

【0012】

この発明の一態様によれば、それぞれが電子を注入および放出可能な電極とワード線に接続された制御電極とを有する複数のメモリセルを含み、前記複数のメモリセルの電流経路が直列接続されたメモリセル列を複数備えたメモリセルアレイと、前記メモリセル列の電流経路の一端に電氣的に接続されたビット線と、前記メモリセル列の電流経路の他端に電氣的に接続されたソース線と、前記ビット線毎に設けられ前記メモリセルに書き込まれたデータを読み出し可能な複数のセンスアンプ回路を備えたセンスアンプと、前記ビット線毎に設けられて前記センスアンプ回路に電氣的に接続され、前記メモリセルに書き込むべきデータを保持可能な複数の第1ラッチ回路を備えたデータバッファと、書き込み電圧を発生する電圧発生回路と、前記電圧発生回路及び前記データバッファを制御する制御回路とを具備し、前記制御回路は、前記複数の第1ラッチ回路に保持された書き込みデータを、各々の前記複数の第1ラッチ回路に電氣的に接続された前記ビット線の複数の前記メモリセルに一括して書き込み、前記一括して書き込んだ後、前記書き込みデータを前記複数の第1ラッチ回路に再度保持させ、前記メモリセルにベリファイ読み出しを行い、前記ベリファイ読み出しによる前記複数のセンスアンプ回路の読み出しデータと、前記複数の第1ラッチ回路に再度保持させた前記書き込みデータとが不一致の場合に、前記保持させた前記書き込みデータを再度前記複数のメモリセルに一括して書き込み、前記再度保持させた前記書き込みデータを再度前記複数のメモリセルに一括して書き込む際の書き込み電圧のステップアップ幅の値が、その前の前記複数の前記メモリセルに一括して書き込む際の書き込み電圧のステップアップ幅の値よりも大きくなるように、かつ前記再度の複数のメモリセルに一括して書き込む際の書き込み電圧の初期値が、その前の前記複数の前記メモリセルに一括して書き込む際の書き込み電圧の最大値よりも小さくなるように、前記電圧発生回路を制御する半導体記憶装置を提供できる。

この発明の一態様によれば、それぞれが電子を注入および放出可能な電極とワード線に接続された制御電極とを有する複数のメモリセルを含み、前記複数のメモリセルの電流経路が直列接続されたメモリセル列を複数備えたメモリセルアレイと、前記メモリセル列の電流経路の一端に電氣的に接続されたビット線と、前記メモリセル列の電流経路の他端に電氣的に接続されたソース線と、前記ビット線毎に設けられ前記メモリセルに書き込まれたデータを読み出し可能な複数のセンスアンプ回路を備えたセンスアンプと、前記ビット線毎に設けられて前記センスアンプ回路に電氣的に接続され、前記メモリセルに書き込むべきデータを保持可能な複数の第1ラッチ回路を備えたデータバッファと、書き込み電圧を発生する電圧発生回路と、前記電圧発生回路及び前記データバッファを制御する制御回路とを具備し、前記制御回路は、前記複数の第1ラッチ回路に保持された書き込みデータを、各々の前記複数の第1ラッチ回路に電氣的に接続された前記ビット線の複数の前記メモリセルに一括して書き込み、前記一括して書き込んだ後、前記書き込みデータを前記複

10

20

30

40

50

数の第1ラッチ回路に再度保持させ、前記メモリセルにベリファイ読み出しを行い、前記ベリファイ読み出しによる前記複数のセンスアンプ回路の読み出しデータと、前記複数の第1ラッチ回路に再度保持させた前記書き込みデータとが不一致の場合に、前記保持させた前記書き込みデータを再度前記複数のメモリセルに一括して書き込み、前記再度保持させた前記書き込みデータを再度前記複数のメモリセルに一括して書き込む際の書き込み電圧のステップアップ幅の値が、その前の前記複数の前記メモリセルに一括して書き込む際の書き込み電圧のステップアップ幅の値よりも大きくなるように、かつ前記再度の複数のメモリセルに一括して書き込む際の書き込み電圧の初期値が、その前の前記複数の前記メモリセルに一括して書き込む際の書き込み電圧の初期値と同じであるように、前記電圧発生回路を制御する半導体記憶装置を提供できる。

10

【発明の効果】

【0013】

この発明によれば、読み出しマージンを増大できる半導体記憶装置が得られる。

【発明を実施するための最良の形態】

【0014】

以下、この発明の実施形態について図面を参照して説明する。尚、この説明においては、全図にわたり共通の部分には共通の参照符号を付す。

【0015】

[第1の実施形態]

< 1. 構成例 (NAND型フラッシュメモリ) >

20

まず、図1および図2を用いて、この発明の第1の実施形態に係る半導体記憶装置の構成例を説明する。図1および図2は、この実施形態に係る半導体記憶装置として、NAND型フラッシュメモリ10を示すブロック図である。この実施形態では、半導体記憶装置の一構成例のとして、NAND型フラッシュメモリを例に挙げて、以下説明する。

【0016】

図1に示すように、この実施形態に係るNAND型フラッシュメモリ10は、制御信号及び制御電圧発生回路11、メモリセルアレイ12、ロウデコーダ13、カラムデコーダ14、データ入出力端子15、ビット線制御回路17を備えている。

【0017】

図2に示すように、制御信号及び制御電圧発生回路11は、電圧発生回路21および制御回路22を備え、メモリセルアレイ12、ロウデコーダ13、ビット線制御回路17を制御するように構成されている。制御信号及び制御電圧発生回路11は、例えば、制御信号入力端子(図示せず)に電気的に接続され、例えば、ホスト機器から制御信号入力端子を介して入力される制御信号ALE(アドレス・ラッチ・イネーブル)等によって制御される。

30

【0018】

電圧発生回路21は、制御回路22の制御に従い、書き込み電圧V_{pgm}等の所定の電圧を発生するように構成されている。

【0019】

制御回路22は、電圧発生回路21及びビット線制御回路17を制御するように構成されている。

40

【0020】

ビット線制御回路17は、センスアンプ18とデータバッファ20により構成されている。センスアンプ18は、ビット線BL₀~BL_{m+1}にそれぞれ接続された複数のセンスアンプ回路S/Aにより構成されている。

【0021】

データバッファ20は、各センスアンプ回路S/Aに接続された複数の第1ラッチ回路D1により構成されている。

【0022】

カラムデコーダ14は、ビット線制御回路17に接続されている。カラムデコーダ14

50

は、データ入出力端子15から入力された書き込みデータを、データバッファ20中の所定の第1ラッチ回路D1に供給するように構成されている。

【0023】

メモリセルアレイ12は、複数のブロック(..., Block n-1, Block n, Block n+1,...)により構成されている。例えば、各ブロック(..., Block n-1, Block n, Block n+1,...)は、1つのメモリセルトランジスタMT0~MTm+1に1ビットのデータを記録することが可能なSLC(Single Level Cell)領域として構成された2値NAND型フラッシュメモリである。また、後述する第3の実施形態に示すように、上記各のブロック(..., Block n-1, Block n, Block n+1,...)が1つのメモリセルトランジスタMT0~MTm+1に多ビットのデータを記録することが可能なMLC(Multi Level Cell)領域として構成された多値NAND型フラッシュメモリである場合であってもよい。

10

【0024】

本例の場合、ブロックBlock nは、32本のワード線WL0~WL31とm+2本のビット線BL0~BLm+1との交差位置にマトリクス状に配置された複数のメモリセルトランジスタMT0~MTm+1を備えている。

【0025】

メモリセルトランジスタMT0~MTm+1のそれぞれは、半導体基板(例えば、P型シリコン基板)上に設けられたトンネル絶縁膜、トンネル絶縁膜上に設けられた浮遊電極FG、浮遊電極FG上に設けられたゲート間絶縁膜、ゲート間絶縁膜上に設けられた制御電極CGを備えた積層構造である。各行に配置されたメモリセルトランジスタMT0~MTm+1の制御電極CGは、ワード線WL0~WL31のいずれかに共通接続されている。

20

【0026】

各ワード線WL0~WL31にそれぞれ接続された複数のメモリセルトランジスタMT0~MTm+1は、1ページを構成する。例えば、図2中の破線で示すワード線WL2に接続された複数のメモリセルトランジスタMT0~MTm+1は、1ページ(PAGE2)を構成する。

【0027】

各列に配置されたメモリセルトランジスタは、電流経路であるソース/ドレインを共有し、それぞれの電流経路の一端および他端が直列接続され、NANDセル列(メモリセル列)19を構成している。本例において、NANDセル列(メモリセル列)19は、32個接続するように配置されている。NANDセル列(メモリセル列)19は、選択トランジスタST1、ST2により選択される。

30

【0028】

選択トランジスタST1のゲートはセレクトゲート線SGDに共通接続され、選択トランジスタST2のゲートはセレクトゲート線SGSに共通接続されている。選択トランジスタST1のドレインは、ビット線BL0~BLm+1のいずれかに接続されている。選択トランジスタST2のソースは、ソース線SRCに接続されている。

【0029】

ソース線SRCは、ビット線方向(カラム方向)に隣接するブロックBlockで共有されている。例えば、図示するソース線SRCは、ブロックBlock nとブロックBlock n+1とで共有される。

40

【0030】

尚、列に配置されたメモリセルトランジスタの個数は、本例の32個に限らず、例えば、8個、16個等それ以上であっても良い。また、選択トランジスタST1、ST2は、NANDセル列19を選択できる構成であれば、選択トランジスタST1、ST2のいずれか一方のみが設けられていても良い。

【0031】

また、上記1ページ(PAGE)ごとにデータを書き込み、読み出しを行うため、ページ(PAGE)は書き込み単位および読み出し単位である。消去動作は、ブロックBlock n単位で一括して行う。即ち、ブロックBlock n-1~Block n+1内の全ての制御電極CGに消去電圧

50

Veraを印加して浮遊電極 F G 中の電子を半導体基板中に放出することにより行う。

【 0 0 3 2 】

ロウデコーダ 1 3 は、メモリセルアレイ 1 2 に電氣的に接続され、メモリセルアレイ 1 2 中のワード線 W L 0 ~ W L 3 1 を選択し、選択したワード線 W L 0 ~ W L 3 1 に読み出し、書き込みあるいは消去に必要な電圧を印加するように構成されている。本例の場合、ロウデコーダ 1 3 は、転送ゲート線 T G にゲートが共通接続されたトランスファゲートトランジスタ T G T D、T G T S、転送トランジスタ T R 0 ~ T R 3 1 を備えている。トランスファゲートトランジスタ T G T D、T G T S は、セレクトゲート線 S G S、S G D に接続されている。転送トランジスタ T R 0 ~ T R 3 1 は、各ワード線 W L 0 ~ W L 3 1 に、消去電圧 Vera、書き込み電圧 Vpgm 等の所定の電圧を転送するように構成されている。

10

【 0 0 3 3 】

ビット線制御回路 1 7 は、ビット線 B L 0 ~ B L m+1 を介してメモリセルアレイ 1 2 中のメモリセルトランジスタ M T 0 ~ M T m+1 のデータを読み出したり、ビット線 B L 0 ~ B L m+1 を介してメモリセルトランジスタ M T 0 ~ M T m+1 の状態を検出したり、ビット線 B L 0 ~ B L m+1 を介してメモリセルトランジスタ M T 0 ~ M T m+1 に書き込み電圧を印加してメモリセルトランジスタ M T 0 ~ M T m+1 に書き込みを行なうように構成されている。

【 0 0 3 4 】

各第 1 ラッチ回路 D 1 は、カラムデコーダ 1 4 から供給される書き込みデータを保持する。また、各第 1 ラッチ回路 D 1 は、センスアンプ 1 8 により読み出されたメモリセルトランジスタ M T 0 ~ M T m+1 からのデータを保持する。データバッファ 2 0 の各第 1 ラッチ回路 D 1 に保持されたデータは、カラムデコーダ 1 4 を介してデータ入出力端子 1 5 から外部へ出力される。

20

【 0 0 3 5 】

< 2 . 書き込み動作 >

次に、この実施形態に係る半導体記憶装置の書き込み動作について、図 3 乃至図 1 5 を用いて説明する。以下、この説明では、図 3 のフロー図に則して説明する。本例では、メモリセルアレイ 1 2 中の破線で示す 1 ページ (PAGE 2) を書き込む場合を一例に挙げて説明する。

【 0 0 3 6 】

(ステップ S T 1 (書き込みデータロード))

まず、図 3 および図 4 に示すように、カラムデコーダ 1 4 は、入出力端子 1 5 から入力された書き込みデータ (ページデータ) を第 1 ラッチ回路 D 1 のいずれかに取り込むようにデータバッファ 2 0 を制御する (データロード (data load)) 。

30

【 0 0 3 7 】

(ステップ S T 2 (ベリファイ書き込み))

続いて、図 5 に示すように、制御回路 2 2 は、第 1 ラッチ回路 D 1 中の書き込みデータに従って電圧発生回路 2 1 に所定の書き込み電圧 Vpgm 等を発生させ、ページ PAGE 2 のメモリセルトランジスタ M T 0 ~ M T m+1 にデータ書き込みを行う。より具体的には、制御回路 2 2 は、選択 N A N D セル列 1 9 の非選択セルに対してパス電位 (Vpass) を印加して、N A N D セル列 1 9 の電流経路を導通させるように制御する。続いて、制御回路 2 2 は、ページ PAGE 2 中の書き込みセル M T 0、M T m の制御電極 C G に書き込み電圧 Vpgm を印加し、書き込みセル M T 0、M T m の浮遊電極 F G に電子を注入する (“ 0 ” 書き込み) ように制御する。

40

【 0 0 3 8 】

ここで、個々のメモリセルトランジスタ M T 0 ~ M T m+1 間には、製造プロセスにおけるセル形状あるいは製造工程時の熱プロセス等の変動要因により、書き込み特性のばらつきが存在する。そのため、このページ PAGE 2 中の書き込みセル M T 0 ~ M T m+1 のうちでも、書き込みの早いセル群 M T fast (例えば、ここではメモリセルトランジスタ M T 0) と、書き込みの遅いセル群 M T late (例えば、ここではメモリセルトランジスタ M T m)

50

とが存在する。

【 0 0 3 9 】

続いて、ページPAGE 2 のページデータを一括して読み出すベリファイ読み出し (Verify Read) を行う。図 6 に示すように、この書き込みの初期においては、前述したように、ソース線ノイズが大きいため、センスアンプ回路 S / A により測定される閾値分布 2 5 は、実際の閾値分布 2 6 よりもその閾値電圧 V_{th} が大きく測定される。

【 0 0 4 0 】

そのため、書き込みの早いセル群 M T fast (M T 0) の閾値電圧は、書き込みの初期において、ベリファイ電圧 V_{verify} を超えた (既に書き込みが終了している) ものと誤判定される。このため、書き込みの早いセル群 M T fast (M T 0) に対しては、ベリファイ書き込み動作は行われぬ。

10

【 0 0 4 1 】

一方、ステップ S T 2 の初期の際において、書き込みの遅いセル群 M T late (メモリセルトランジスタ M T m) の閾値電圧は、まだベリファイ電圧 V_{verify} を超えておらず、まだ書き込みが終了していないと判定される。

【 0 0 4 2 】

そのため、続いて、図 7 に示すように、書き込みの遅いセル群 M T late (M T m) に対しては、所定のベリファイ電圧 V_{verify} に達するまで、上記と同様のベリファイ書き込みおよびベリファイ読み出しを繰り返し行う。具体的には、上記のように、センスアンプ S / A にページデータを一括して読み出すベリファイ読み出しを行い、所定のベリファイ電圧 V_{verify} に達したかどうかをビット毎に判定する。書き込み不十分との判定がされたビットのみに上記ベリファイ書き込みを行う。このベリファイ書き込みの際には、先のデータ書き込みの際の書き込み電圧 V_{pgm} のパルスの電圧を所定の値だけ増加させたステップアップ幅のある電圧 V_{pgm} をさらに加えた書き込み電圧 ($V_{pgm} + V_{pgm}$) を印加して行う。このベリファイ書き込みの際の書き込みパルスの電圧をどの位増加させるかは、最終的に得られる閾値 V_{th} の分布幅の広さと、すべてのメモリセルトランジスタ M T の書き込みを終了させるまでの時間とに関係し、必要に応じたパラメータにより決定される。

20

【 0 0 4 3 】

しかし、この書き込み終了の際には、ソース線ノイズが小さいため、センスアンプ回路 S / A により測定される閾値分布は、実際の閾値分布とほぼ一致する。その結果、書き込みの遅いセル群 M T late (M T m) の閾値電圧は、所定のベリファイ電圧 V_{verify} を超えたものとして正確に判定される。よって、書き込みの遅いセル群 M T late (M T m) は、ソース線ノイズの影響が小さいから、上記書き込みの早いセル群 M T fast (M T 0) のような誤判定は生じにくい。

30

【 0 0 4 4 】

このようなベリファイ書き込みおよびベリファイ読み出しを繰り返し、ページPAGE 2 を所定の閾値分布とする。しかし、図 7 に示すように、書き込みの早いセル群 M T fast (M T 0) は、ソース線ノイズにより、誤判定されており、まだベリファイ電圧 V_{verify} を満たしていない。

【 0 0 4 5 】

< ソース線ノイズについて >

次に、上記書き込み動作 (ステップ S T 2) のベリファイ読み出しの際に発生するソース線ノイズについて、図 8 乃至図 1 2 を用いてより詳細に説明する。

40

【 0 0 4 6 】

このソース線ノイズは、主にソース線 S R C の配線抵抗の寄生容量に起因するため、ソース線 S R C に流されるセル電流の多少により変動する。結果として、このソース線ノイズは、ベリファイ読み出しの際に、センスアンプ回路 S / A の判定において、書き込みの早いセル群 M T fast (M T 0) の閾値電圧 V_{th} が大きくなるように作用する。

【 0 0 4 7 】

即ち、図 8 に示すように、上記ステップ S T 2 の初期の際のベリファイ読み出し時には

50

、まずビット線 $B L 0 \sim B L m+1$ に所定の電圧を印加して充電を行なう。続いて、 $N A N D$ セル列 19 中の非選択セルにパス電位 (V_{pass}) を印加し、ページ $PAGE 2$ 中の選択セル $M T 0 \sim M T m+1$ の制御電極 $C G$ に判定電圧を印加する。続いて、選択セル $M T 0 \sim M T m+1$ の電流経路のセル電流をビット線 $B L 0 \sim B L m+1$ に放電し、ビット線 $B L 0 \sim B L m+1$ の電圧が、所定の判定電圧 V_{sense} を超えるか否かにより行われる。

【 0 0 4 8 】

例えば、この $S T 2$ の初期であるベリファイ読み出しの際の、ビット線 $B L 0 \sim B L m+1$ 電圧は、図 9 のように示される。図示するように、時刻 $t 1$ 乃至 $t 2$ の間において、センスアンプ回路 S / A がビット線 $B L 0 \sim B L m+1$ の電圧降下を測定することで、メモリセルトランジスタ $M T 0 \sim M T m+1$ が書き込み終了か否かを判定する。

10

【 0 0 4 9 】

ここで、この際においては、周囲のメモリセル $M T 1 \sim M T m+1$ の書き込みが終了していないため、閾値電圧 V_{th} がまだ低く、セル電流 $I_{MT0} \sim I_{MTm+1}$ が多い状態でベリファイ読み出しがされている。そのため、ソース線 $S R C$ には、多くのセル電流 $I_{MT0} \sim I_{MTm+1}$ が流れ込み、大きなソース線ノイズが発生するため、ソース線 $S R C$ の電圧が大きく上昇する。

【 0 0 5 0 】

そのため、図 9 に示すように、書き込みの早いセル群 $M T fast (M T 0)$ が判定される実線 0 データビット線電圧 $V_{BL} " 0 "$ は、ソース線ノイズによるソース線 $S R C$ の電圧 31 が大きく上昇することに伴って上昇し、その結果、判定電圧 V_{sense} を超える。従っ

20

て、書き込みの早いセル群 $M T fast (M T 0)$ は、本来未書き込みであるにもかかわらず、センスアンプ回路 S / A により書き込み終了であると誤判定されてしまう。

【 0 0 5 1 】

その後、図 8 に示すように、書き込みの早いセル群 $M T fast (M T 0)$ に接続されたセンスアンプ回路 S / A の値は、書き込み終了として反転 (" 0 " " 1 ") される。そのため、以後、書き込みの早いセル群 $M T fast (M T 0)$ に対しては、ベリファイ書き込みは行われない。

【 0 0 5 2 】

一方、続いて、図 10 に示すように、書き込み動作終了時 (ステップ $S T$ 終了時) には、書き込みの遅いセル群 $M T late (M T m)$ は、周囲のセル $M T 0 \sim M T m+1$ の書き込みが終了した状態でベリファイ読み出しされる。

30

【 0 0 5 3 】

そのため、この際においては、周囲のメモリセル $M T 0 \sim M T m+1$ の書き込みが終了しているため、閾値電圧 V_{th} が高く、セル電流 $I_{MT0} \sim I_{MTm+1}$ が少ない状態でベリファイ読み出しがされている。よって、ソース線 $S R C$ には、少ないセル電流 $I_{MT0} \sim I_{MTm+1}$ が流れ込み、大きなソース線ノイズは発生せず、ソース線 $S R C$ の電圧の上昇幅は少ない。

【 0 0 5 4 】

そのため、図 11 に示すように、書き込みの遅いセル群 $M T late (M T m)$ は、ソース線ノイズによりソース線 $S R C$ の電圧が大きく上昇することはないから、実線 0 データビット線電圧 $V_{BL} " 0 "$ により判断され、センスアンプ回路 S / A による誤判定はなされない。

40

【 0 0 5 5 】

一方、この際においてベリファイ読み出しを行うと、書き込みの早いセル群 $M T fast (M T 0)$ は、破線実線 0 データビット線電圧 $V_{BL} " 0 "$ から実線 0 データビット線電圧 $V_{BL} " 0 "$ により判断されるため、まだ書き込みが終了していないと判断される。

【 0 0 5 6 】

そのため、以下のステップ $S T 3$ 乃至 $S T 5$ に従った (ソース線ノイズ用) 追加書き込みを行い、読み出しマージンを増大させる。

【 0 0 5 7 】

尚、上記のように、ソース線ノイズの大きさは、上記セル電流 $I_{MT0} \sim I_{MTm+1}$ の値によ

50

り変動する。即ち、ソース線ノイズは、どの位のセル電流 $I_{MT0} \sim I_{MTm+1}$ が流れ込むかによって、電圧降下の値が決定される。そのため、ソース線ノイズの大きさによるソース線電圧 31 の上昇幅は、周囲のメモリセルトランジスタ $MT0 \sim MTm+1$ の書き込みデータパターンに依存する。このソース線ノイズの大きさを決定するメモリセルトランジスタ $MT0 \sim MTm+1$ の書き込みデータパターンは、外部のアドレス等により決定されるものである。よって、ソース線ノイズの大きさは、事前に予測することが困難なものである。

【0058】

(ステップ ST3 (書き込みデータ再ロード (reload)))

続いて、図 12 に示すように、ステップ ST3 の際に制御回路 22 は、入出力端子 15 から再び書き込みデータ (ページデータ) を第 1 ラッチ回路 D1 のそれぞれに取り込むようにデータバッファ 20 を制御する (reload)。

10

【0059】

(ステップ ST4 (ベリファイ読み出し (Verify Read1)))

続いて、図 13 に示すように、ステップ ST4 の際に、上記と同様のベリファイ読み出しを行う。例えば、ページ PAGE2 のメモリトランジスタ $MT0 \sim MTm+1$ の書き込みデータをセンスアンプ S/A にそれぞれ読み出し、ベリファイ読み出しを行う。

【0060】

そして、読み出された閾値電圧 V_{th} が、所定のベリファイ電圧 V_{verify} を満たす場合には、以後の (ソース線ノイズ用) 追加書き込み (ST5) を行うことなく、この書き込み動作を終了する。これは、ソース線ノイズの大きさによるソース線電圧 31 の上昇幅は、周囲のメモリセルトランジスタ $MT0 \sim MTm+1$ の書き込みデータパターンに依存する。そのため、書き込みデータパターンによっては、書き込みの早いセル群 MT_{fast} ($MT0$) であっても、誤判定がなされない場合があるためである。

20

【0061】

一方、読み出された閾値電圧 V_{th} が、上記のソース線ノイズにより、所定のベリファイ電圧 V_{verify} を満たさない場合には、以下の (ソース線ノイズ用) 追加書き込み (ST5) を行う。本例の場合には、書き込みの早いセル群 MT_{fast} ($MT0$) のデータを読み出したセンスアンプ S/A の値 "1" と、上記ステップ ST3 の際にリロードした第 1 ラッチ回路 D1 の値 "0" とが不一致である。そのため、ベリファイ電圧 V_{verify} を満たさない。

30

【0062】

(ステップ ST5 (ソース線ノイズ用追加書き込み (Verify Write2)))

続いて、図 14 に示すように、制御回路 22 は、ステップ ST3 の際の第 1 ラッチ回路 D1 中の再度取り込んだ書き込みデータに従って、電圧発生回路 21 の電圧値を制御し、上記と同様のページ PAGE2 のメモリセルトランジスタ $MT0 \sim MTm+1$ に一括して追加のベリファイ書き込みを行う。続いて、同様のベリファイ読み出しを行う。このように、ページ PAGE2 のメモリセルトランジスタ $MT0 \sim MTm+1$ がベリファイ電圧を満たすまで、追加のベリファイ書き込みおよびベリファイ読み出しを繰り返す。

【0063】

その結果、図 14 中に破線で示す書き込みの早いセル MT_{fast} ($MT0$) の閾値電圧 V_{th} を増大でき、所定のベリファイ電圧 V_{verify} を満たした閾値電圧にすることができる。

40

【0064】

加えて、図 15 に示すように、この追加書き込み (ステップ ST5) の際には、上記ベリファイ書き込み (ステップ ST2) の際よりも、書き込み電圧 V_{pgm} の最大値 V_{pgm_max}' (またはパルス印加回数) を低減することができる (最大電圧値 $V_{pgm_max}' < \text{最大電圧値 } V_{pgm_max}$)。そのため、この追加書き込み (ステップ ST5) の際に必要な書き込み時間は、上記ベリファイ書き込み (ステップ ST2) の際よりも低減することができる。よって、この追加書き込み (ステップ ST5) による書き込み動作の増大時間を最小限とすることができる。例えば、本例の場合、この追加書き込み (ステップ ST5) の際の書き込み電圧の最大値 V_{pgm_max}' (パルス印加回数) は、上記ベリファイ書き込み (ステ

50

ップST2)の際の書き込み電圧の最大値 V_{pgm_max} (パルス印加回数)に比べ、 $1/3 \sim 1/2$ 程度とすることができる。

【0065】

これは、上記のように、ソース線ノイズの影響は、書き込みの早いセル群MTfast(本例では、MT0)により顕著であるところ、上記セル群MTfast(本例では、MT0)は書き込みが早いからである。一方、書き込みの遅いセル群MTlate(本例では、MTm)は書き込み特性が遅いため、書き込みの遅いセル群MTlate(MTm)の閾値分布 V_{th} の移動は少ない。その結果、書き込みの早いセル群MTfast(MT0)の閾値分布のみ所定のペリファイ電圧 V_{verify} を満たすように移動することができ、且つこの追加書き込みST5における閾値分布 V_{th} の全体の移動は少なくできるため、信頼性が低減することを防止することができる。

10

【0066】

<3.この実施形態に係る効果>

この実施形態に係る半導体記憶装置によれば、少なくとも下記(1)乃至(3)の効果が得られる。

【0067】

(1)ソース線ノイズが発生した場合であっても、読み出しマージンを増大できる。

上記のように、この実施形態に係る半導体記憶装置は、制御回路22を備えている。この制御回路22は、複数の第1ラッチ回路D1に保持された(ST1)書き込みデータを、各々の複数の第1ラッチ回路D1に電気的に接続された前記ビット線BL0~BLm+1の複数の前記メモリセルMT0~MTm+1に一括して書き込む(ST2)。続いて、一括して書き込んだ後、書き込みデータを複数の第1ラッチ回路D1に再度保持させる(ST3)。続いて、メモリセルMT0~MTm+1にペリファイ読み出しを行い、ペリファイ読み出しによる複数のセンスアンプ回路D1の読み出しデータと、複数の第1ラッチ回路に再度保持させた書き込みデータとが不一致の場合(ST5)に、保持させた書き込みデータを再度複数のメモリセルMT0~MTm+1に一括して書き込むことができる(ST6)。

20

【0068】

そのため、図14に示したように、ソース線ノイズにより誤って判定された書き込みの早いセルMTfast(本例では、MT0)の閾値電圧 V_{th} を増大でき、所定のペリファイ電圧 V_{verify} を満たした閾値電圧にすることができる。

30

【0069】

結果、図16に示すように、ソース線ノイズに起因したノイズ電圧 V_{no1} を除去した状態で、ページ読み出し動作(read)を行うことができるため、読み出しマージン電圧を、マージン電圧 V_{m1} からマージン電圧 V_{m1}' まで増大することができる。

【0070】

例えば、本例のように、メモリセルアレイ12が2値NAND型フラッシュメモリとして構成された場合、読み出しマージンの増大率は、ノイズ電圧値 V_{no1} /マージン電圧値 V_{m1}' となり、10%程度となる。

【0071】

一方、後述する第3の実施形態に示すように、メモリセルアレイ12が多値NAND型フラッシュメモリとして構成された場合は、閾値分布間のマージン電圧がより狭くなるが、ノイズ電圧 V_{no1} の大きさは変わらないから、読み出しマージンの増大率をより大きくすることができる。

40

【0072】

ここで、上記ソース線ノイズによるソース線SRCの電圧上昇31の大きさは、ページのメモリセルトランジスタMT0~MTm+1の書き込みデータパターンに依存するため、予測困難なものである。よって、ソース線ノイズが発生した場合であっても読み出しマージンを増大させるためには、本例のような追加書き込み動作(ST5)を行うことが有効となる。

50

【 0 0 7 3 】

また、メモリセルトランジスタ $M T 0 \sim M T m+1$ の微細化とメモリセルアレイ 1 2 の大容量化に伴い、同一ページに配置されるセルの数は増加し、かつソース線電位が上昇した場合のセルの閾値電圧 V_{th} 上昇（バックバイアス効果）の影響は次第に拡大している。そのため、メモリセルトランジスタ $M T 0 \sim M T m+1$ の微細化とメモリセルアレイ 1 2 の大容量化に伴い、今後かかるソース線ノイズの影響が増大すると思われる。

【 0 0 7 4 】

(2) 追加書き込み（ステップ $S T 5$ ）の書き込み時間を低減できる。

加えて、図 1 5 に示したように、この追加書き込み（ステップ $S T 5$ ）の際には、上記ベリファイ書き込み（ステップ $S T 2$ ）の際よりも、書き込み電圧 V_{pgm} の最大値 V_{pgm_max} （印加回数）を低減することができる。そのため、この追加書き込み（ステップ $S T 5$ ）の際に必要な書き込み時間を低減することができる。よって、この追加書き込み（ステップ $S T 5$ ）により増大する、書き込み動作全体の時間の増大を最小限とすることができる。

10

【 0 0 7 5 】

これは、上記のように、ソース線ノイズの影響は、書き込みの早いセル群 $M T_{fast}$ （ $M T 0$ ）により顕著であるところ、上記セル群 $M T_{fast}$ （ $M T 0$ ）は書き込みが早いからである。一方、書き込みの遅いセル群 $M T_{late}$ （ $M T m$ ）は書き込み特性が遅いため、書き込みの遅いセル群 $M T_{late}$ （ $M T m$ ）の閾値分布 V_{th} の移動は少ない。その結果、書き込みの早いセル群 $M T_{fast}$ （ $M T 0$ ）の閾値分布のみ所定のベリファイ電圧 V_{verify} を満たすように移動することができ、且つこの追加書き込み $S T 5$ における閾値分布 V_{th} の全体の移動は少なくできるため、信頼性が低減することを防止することができる。

20

【 0 0 7 6 】

(3) 製造コストの低減に対して有利である。

上記ソース線ノイズを低減しようとする場合、例えば、ソース線 $S R C$ に抵抗値を低減するための裏打ち等を行えばよいと思われる。しかし、ソース線 $S R C$ に抵抗値を低減するための裏打ち等を行うためには、別途そのための製造プロセスが発生し、製造コストが増大する。

【 0 0 7 7 】

本例の場合には、ソース線に対してかかる裏打ち等を行う必要がないため、別途新たな製造プロセスを何ら発生させることなく、ソース線ノイズを低減することができるため、製造コストの低減に対して有利である。

30

【 0 0 7 8 】

[第 2 の実施形態（データラッチ回路を更に備える一例）]

次に、第 2 の実施形態に係る半導体記憶装置について、図 1 7 乃至図 1 9 を用いて説明する。この実施形態は、第 2 ラッチ回路 $D 2$ を更に備える一例に関するものである。この説明において、上記第 1 の実施形態と重複する部分の詳細な説明を省略する。

【 0 0 7 9 】

< 構成例 >

図示するように、第 2 の実施形態に係る半導体記憶装置は、データバッファ $2 0$ が第 2 ラッチ回路 $D 2$ を更に備えている点で上記第 1 の実施形態と相違している。

40

【 0 0 8 0 】

第 2 ラッチ回路 $D 2$ のそれぞれは、入力がカラムデコーダ $1 4$ に電氣的に接続され、出力が第 1 ラッチ回路 $D 1$ の入力に接続されている。

【 0 0 8 1 】

< 書き込み動作 >

次に、この実施形態に係る半導体記憶装置の書き込み動作について説明する。この説明では、図 1 8 のフロー図に則して説明する。本例では、ステップ $S T 1$ の際に書き込みデータを第 1 ラッチ回路 $D 1$ 、 $D 2$ にそれぞれ取り込み、ステップ $S T 3$ の際に第 2 ラッチ回路 $D 2$ の書き込みデータ（ページデータ）を第 1 ラッチ回路 $D 1$ にコピーする点で上記

50

第 1 の実施形態と相違している。

【 0 0 8 2 】

(ステップ S T 5 (書き込みデータコピー (データラッチ D 2 データラッチ D 1)))

即ち、図 1 9 に示すように、ステップ S T 3 の際、制御回路 2 2 は、第 2 ラッチ回路 D 2 に保持されている書き込みデータを第 1 ラッチ回路 D 1 のそれぞれにコピーするようにデータバッファ 2 0 を制御する (データコピー (data copy)) 。

【 0 0 8 3 】

これは、ベリファイ書き込み (ステップ S T 2) の後であっても、書き込みデータは第 2 ラッチ回路 D 2 に保持されているからである。そのため、データ入出力端子 1 5 から再び書き込みデータ (ページデータ) を第 1 ラッチ回路 D 1 のそれぞれに取り込む必要がないため、高速書き込みに対して有利である。

10

【 0 0 8 4 】

上記のように、この実施形態に係る半導体記憶装置によれば、上記 (1) 乃至 (3) と同様の効果が得られる。さらに、本例によれば、少なくとも以下の (4) の効果が得られる。

【 0 0 8 5 】

(4) 高速書き込みに対して有利である。

本例に係る半導体記憶装置は、データバッファ 2 0 中に第 2 ラッチ回路 D 2 を更に備えている。

20

【 0 0 8 6 】

そのため、ステップ S T 3 の際、第 2 ラッチ回路 D 2 に保持されている書き込みデータを第 1 ラッチ回路 D 1 のそれぞれにコピーすることができる。その結果、データ入出力端子 1 5 から再び書き込みデータ (ページデータ) を第 1 ラッチ回路 D 1 のそれぞれに取り込む必要がない点で、高速書き込みに対して有利である。

【 0 0 8 7 】

[変形例 1 (ステップアップ幅を大きくする一例)]

次に、変形例 1 に係る半導体記憶装置について、図 2 0 を用いて説明する。この変形例 1 は、書き込み電圧のステップアップ幅 V_{pgm} を大きくする一例に関するものである。この説明において、上記第 1 の実施形態と重複する部分の詳細な説明を省略する。

30

【 0 0 8 8 】

図示するように、この変形例 1 では、上記 (ソース線ノイズ用) 追加書き込み (ステップ S T 6) の際に、制御回路 2 2 がステップアップ幅 V_{pgm}' をより大きくするように電圧発生回路 2 1 を制御する点で上記第 1 の実施形態と相違している。図 2 0 中の実線で示すステップアップ幅 V_{pgm}' は、上記第 1 の実施形態に係るステップアップ幅 V_{pgm} よりも大きくなるように制御される ($V_{pgm}' > V_{pgm}$) 。

【 0 0 8 9 】

上記のように、この実施形態に係る半導体記憶装置によれば、上記 (1) 乃至 (3) と同様の効果が得られる。

【 0 0 9 0 】

さらに、本例に係る制御回路 2 2 は、上記ステップ S T 5 (ソース線ノイズ低減用追加書き込み) の際に、ステップアップ幅 V_{pgm}' をより大きくするように電圧発生回路 2 1 を制御する点で上記第 1 の実施形態と相違している。

40

【 0 0 9 1 】

これは、上記のように、ソース線ノイズの影響は、ベリファイ電圧 V_{verify} 付近の書き込みの早いセル群 M T fast 等により顕著であるところ、上記ベリファイ電圧 V_{verify} 付近のセル群 M T fast 等は、すぐに上記ベリファイ電圧 V_{verify} を超える。そのため、ステップアップ幅 V_{pgm}' をより大きくすること (荒く書き込みを行うこと) をした場合であっても、所定の閾値電圧 V_{th} を満たすことができるからである。

【 0 0 9 2 】

50

そのため、上記第1の実施形態に比べ、より追加書き込みの際（ステップST5の際）の書き込み時間を低減できる点で有利である。

【0093】

[変形例2（ペリファイ読み出しステップ更に備える一例）]

次に、変形例2に係る半導体記憶装置について、図21を用いて説明する。この変形例2は、ペリファイ読み出しステップST6を更に備える一例に関するものである。この説明において、上記第1の実施形態と重複する部分の詳細な説明を省略する。

【0094】

図示するように、変形例2に係る半導体記憶装置の書き込み動作は、ペリファイ読み出しステップST6を更に備える点で上記第1の実施形態と相違している。

10

【0095】

（ステップST6（ペリファイ読み出し（Verify Read 2）））

即ち、ステップST5に続き、センスアンプS/Aは、ペリファイ読み出し（Verify Read 2）を行う。例えば、ページPAGE2のメモリトランジスタMT0～MTmの書き込みデータをセンスアンプS/A中のラッチ回路D1にそれぞれ読み出し、再度ペリファイ読み出しを行う。

【0096】

そして、読み出された閾値電圧 V_{th} が、所定のペリファイ電圧 V_{verify} を満たす場合には、書き込み動作を終了する。

【0097】

一方、読み出された閾値電圧 V_{th} が、まだ所定のペリファイ電圧 V_{verify} を満たさない場合には、再度上記ソース線ノイズ低減用の追加書き込み（ST3乃至ST5）を行う。

20

【0098】

上記のように、この変形例2に係る半導体記憶装置によれば、上記（1）乃至（3）と同様の効果が得られる。

【0099】

さらに、変形例2に係る半導体記憶装置の書き込み動作は、ペリファイ読み出しステップST6を更に備えている。そのため、ステップST6の際に読み出された閾値電圧 V_{th} が、まだ所定のペリファイ電圧 V_{verify} を満たさない場合であっても、上記ソース線ノイズ低減用の追加書き込み（ST3乃至ST5）を行うことができる。その結果、さらに読み出しマージンを低減でき、信頼性を向上することができる点で有利である。

30

【0100】

[第3の実施形態（多値NAND型フラッシュメモリの一例）]

次に、第3の実施形態に係る半導体記憶装置について、図22を用いて説明する。本例は、メモリセルアレイ12が1つのメモリセルトランジスタMT0～MTm+1に多ビットのデータを記録することが可能なMLC（Multi Level Cell）領域として構成された多値NAND型フラッシュメモリである場合の一例に関するものである。この説明において、上記第1の実施形態と重複する部分の詳細な説明を省略する。

【0101】

上記第1の実施形態の説明においては、半導体記憶装置の一例として、メモリセルアレイ12が2値NAND型フラッシュメモリとして構成されている場合を一例に挙げて説明した。しかし、2値NAND型フラッシュメモリに限らず、多値NAND型フラッシュメモリに対しても同様に適用することが可能であり、さらに読み出しマージンの増大率を増大することができる。この第3の実施形態は、メモリセルアレイ12が多値NAND型フラッシュメモリとして構成された場合の一例である。ここでは、多値の一例として4値の場合を例に挙げて説明する。

40

【0102】

本例に係る多値NAND型フラッシュメモリの閾値分布は、図22に示すようになる。図示するように、本例のメモリセルトランジスタMT0～MTm+1は、閾値電圧 V_{th} の低い順に“11”、“01”、“10”、“00”の4つのデータを保持できる。“11”

50

データを保持するメモリセルトランジスタ $MT_0 \sim MT_{m+1}$ の閾値電圧 V_{th} は、 $V_{th} < V_{th1}$ (本例では $0V$) である。“01”データを保持するメモリセルトランジスタ $MT_0 \sim MT_{m+1}$ の閾値電圧 V_{th} は、 $V_{th1} < V_{th} < V_{th2}$ である。“10”データを保持するメモリセルトランジスタの閾値電圧 V_{th} は、 $V_{th2} < V_{th} < V_{th3}$ である。“00”データを保持するメモリセルトランジスタの閾値電圧 V_{th} は、 $V_{th} < V_{th3}$ である。

【0103】

上記2値NAND型フラッシュメモリの書き込みモード(以下、2値モードと称する)と比較すると、本例の4値NAND型フラッシュメモリの書き込みモード(以下、4値モードと称する)は、下位ビットおよび上位ビットを用いた動作モードとすることができる。

10

【0104】

また、メモリセルトランジスタ $MT_0 \sim MT_{m+1}$ に対して2値モードでデータを書き込むか、または4値モードでデータを書き込むかについては、例えば、NAND型フラッシュメモリ10の外部のコントローラ等(図示せず)が制御する。具体的には、2ビットデータの下位ビットには下位ページアドレスが割り当てられ、上位ビットには上位ページアドレスが割り当てられる。メモリセルトランジスタ $MT_0 \sim MT_{m+1}$ に対して2値モードでデータを書き込む場合、コントローラ等は、これらのページアドレスのうち下位ページアドレスのみを使用してデータを書き込む。メモリセルトランジスタ $MT_0 \sim MT_{m+1}$ に対して4値モードでデータを書き込む場合、コントローラ等は、上位ページアドレスと下位ページアドレスの両方を使用してデータを書き込むことができる。

20

【0105】

本例の4値モードのデータ書き込みは、まず下位ビットから行われる。消去状態を“11”(“- -”、-は不定の意味)とすると、まず下位ビットが書き込まれることにより、メモリセルトランジスタ $MT_0 \sim MT_{m+1}$ は、“11”(“- 1”)、または“10”(“- 0”)を保持する。2値モードの場合には、以上で書き込みは終了である。4値モードで書き込む場合には、次に上位ビットが書き込まれる。その結果、“11”(“- 1”)を保持するメモリセルトランジスタ $MT_0 \sim MT_{m+1}$ は、“11”または“01”を保持し、“10”(“- 0”)を保持するメモリセルトランジスタ $MT_0 \sim MT_{m+1}$ は“10”または“00”を保持する。

【0106】

本例の4値モードのデータ書き込みの際であっても、上記図3で説明したステップ $ST_1 \sim ST_5$ 等に従った同様の書き込み動作を行う。そのため、図22に示すように、ソース線ノイズに起因したノイズ電圧 V_{no1} 、 V_{no2} 、 V_{no3} の全てを除去した状態で、ページ読み出し動作(read)を行うことができる。結果、大きなソース線ノイズが発生した場合であっても、読み出しマージン電圧 V_{m1}' 、 V_{m2}' 、 V_{m3}' に増大することができる。

30

【0107】

例えば、本例のように、メモリセルアレイ12が4値NAND型フラッシュメモリとして構成された場合、読み出しマージンの増大率は、ノイズ電圧値 V_{no1} / マージン電圧値 V_{m1}' 、ノイズ電圧値 V_{no2} / マージン電圧値 V_{m2}' 、ノイズ電圧値 V_{no3} / マージン電圧値 V_{m1}' となり、それぞれ20%程度となる。このように、メモリセルアレイ12が4値NAND型フラッシュメモリとして構成された場合は、閾値分布間のマージン電圧がより狭くなる一方、ノイズ電圧 V_{no1} 、 V_{no2} 、 V_{no3} は変わらないから、読み出しマージンの増大率をより大きくすることができる。

40

【0108】

尚、この第3の実施形態では、多値NAND型フラッシュメモリとしての一例として、4値の場合を一例に挙げて説明した。しかし、多値としては4値に限らず、例えば、8値、16値等の場合であっても同様に適用することができ、適用した場合にはさらに読み出しマージンの増大率を増大することができる。

【0109】

50

例えば、メモリセルアレイ 12 が 8 値の多値 NAND 型フラッシュメモリとして構成され、この 8 値の多値 NAND 型フラッシュメモリに適用した場合であっても、同様にソース線ノイズに起因したノイズ電圧 V_{no1} 、 V_{no2} 、...、 V_{no7} の全てを除去することができる。この場合、同様に、閾値分布間のマージン電圧 $V_{m1'}$ 、 $V_{m2'}$ 、...、 $V_{m7'}$ はより狭くなる一方、ノイズ電圧 V_{no1} 、 V_{no2} 、...、 V_{no7} は変わらない。その結果、8 値の場合、読み出しマージンの増大率を、例えば、30%以上とすることができる。

【0110】

以上、第 1 乃至第 3 の実施形態および変形例 1、変形例 2 を用いて本発明の説明を行ったが、この発明は上記各実施形態および各変形例に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施形態および各変形例には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施形態および各変形例に示される全構成要件からいくつかの構成要件が除去されても、発明が解決しようとする課題の欄で述べた課題の少なくとも 1 つが解決でき、発明の効果の欄で述べられている効果の少なくとも 1 つが得られる場合には、この構成要件が除去された構成が発明として抽出され得る。

【図面の簡単な説明】

【0111】

【図 1】この発明の第 1 の実施形態に係る半導体記憶装置を示すブロック図。

【図 2】第 1 の実施形態に係る半導体記憶装置を示すブロック図。

【図 3】第 1 の実施形態に係る半導体記憶装置の書き込み動作を示すフロー図。

【図 4】第 1 の実施形態に係る書き込み動作の一ステップ ST 1 (データロード) を説明するためのブロック図。

【図 5】第 1 の実施形態に係る書き込み動作の一ステップ ST 2 (ベリファイ書き込み) を説明するためのブロック図。

【図 6】第 1 の実施形態に係る書き込み動作の一ステップ ST 2 初期の際の閾値分布を示す図。

【図 7】第 1 の実施形態に係る書き込み動作の一ステップ ST 2 終了時の際の閾値分布を示す図。

【図 8】第 1 の実施形態に係る書き込み動作の一ステップ ST 2 初期の際のベリファイ読み出しを説明するためのブロック図。

【図 9】第 1 の実施形態に係る書き込み動作の一ステップ ST 2 初期の際のビット線電圧を示す図。

【図 10】第 1 の実施形態に係る書き込み動作の一ステップ ST 2 終了時の際のベリファイ読み出しを説明するためのブロック図。

【図 11】第 1 の実施形態に係る書き込み動作の一ステップ ST 2 終了時の際のビット線電圧を示す図。

【図 12】第 1 の実施形態に係る書き込み動作の一ステップ ST 3 (再ロード) の際を説明するためのブロック図。

【図 13】第 1 の実施形態に係る書き込み動作の一ステップ ST 4 (ベリファイ読み出し) の際を説明するためのブロック図。

【図 14】第 1 の実施形態に係る書き込み動作の一ステップ ST 5 の際の閾値分布を示す図。

【図 15】第 1 の実施形態に係る書き込み動作の一ステップ ST 5 の際の書き込み電圧を示す図。

【図 16】第 1 の実施形態に係る半導体記憶装置の読み出し動作の際の閾値分布を示す図。

【図 17】この発明の第 2 の実施形態に係る半導体記憶装置を示すブロック図。

【図 18】第 2 の実施形態に係る半導体記憶装置の書き込み動作を示すフロー図。

10

20

30

40

50

【図19】第2の実施形態に係る書き込み動作の一ステップST3（データコピー）の際を説明するためのブロック図。

【図20】この発明の変形例1に係る書き込み動作の一ステップST5の際の書き込み電圧を示す図。

【図21】この発明の変形例2に係る半導体記憶装置の書き込み動作を示すフロー図。

【図22】この発明の第3の実施形態に係る半導体記憶装置の読み出し動作の際の閾値分布を示す図。

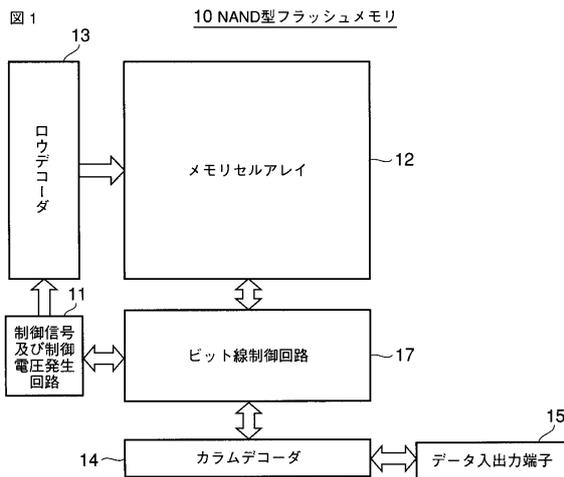
【符号の説明】

【0112】

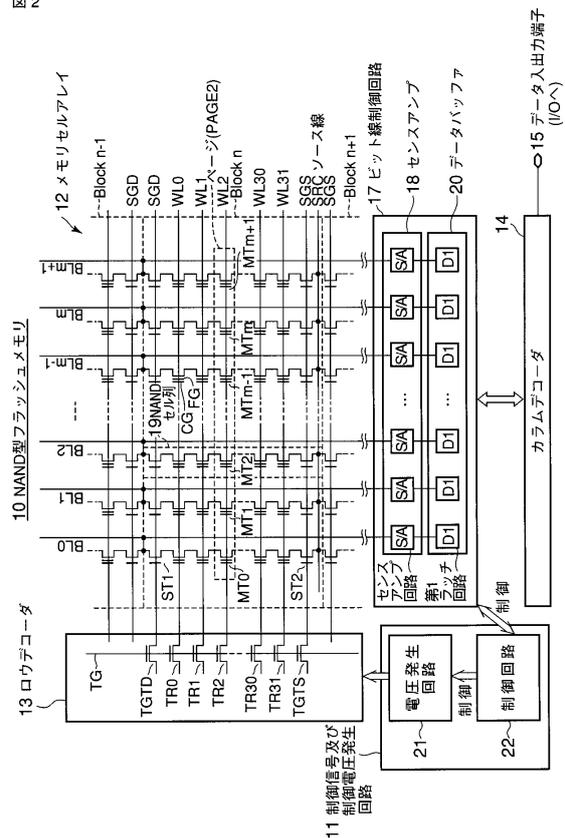
10...NAND型フラッシュメモリ、12...メモリセルアレイ、MT0~MTm+1...メモリセルトランジスタ、PAGE...ページ、WL0~WL31...ワード線、BL0~BLm+1...ビット線、13...ロウデコーダ、14...カラムデコーダ、15...入出力端子、17...ビット線制御回路、18...センスアンプ、S/A...センスアンプ回路、19...NANDセル列、20...データバッファ、D1...データラッチ回路、21...電圧発生回路、22...制御回路。

10

【図1】

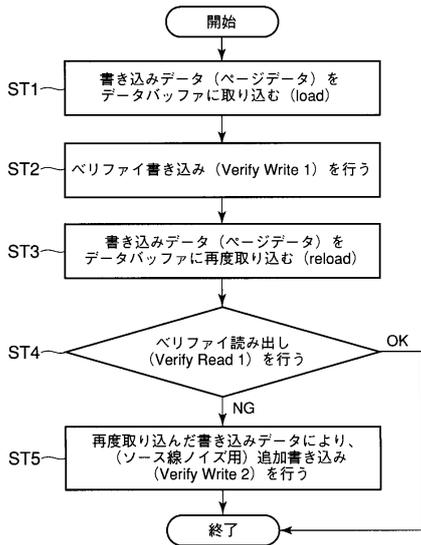


【図2】



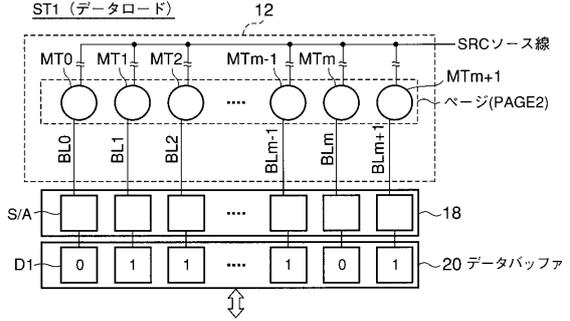
【 図 3 】

図 3



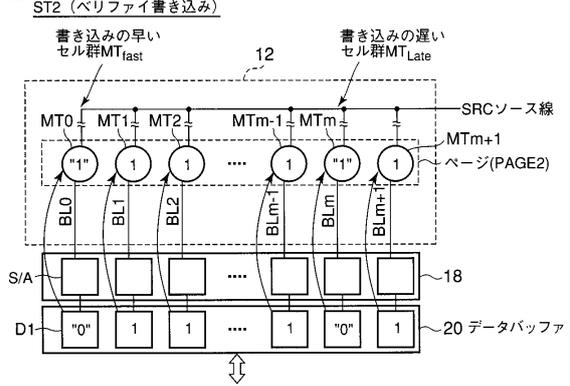
【 図 4 】

図 4



【 図 5 】

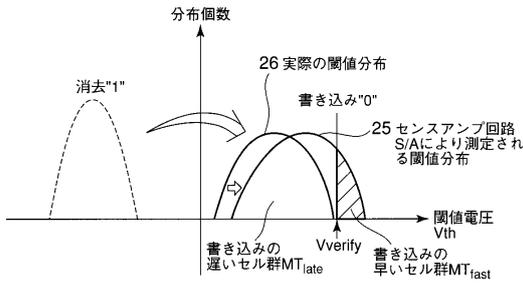
図 5



【 図 6 】

図 6

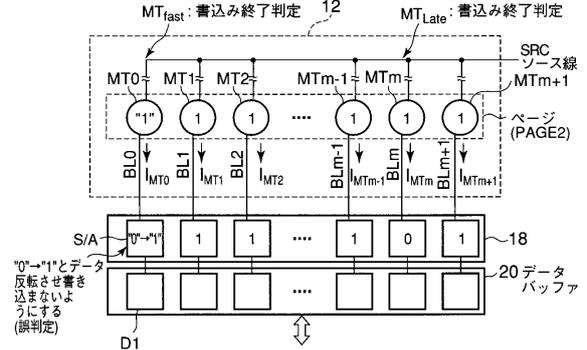
ST2 初期 (ペリファイ書き込み初期：ソース線ノイズが大きい)



【 図 8 】

図 8

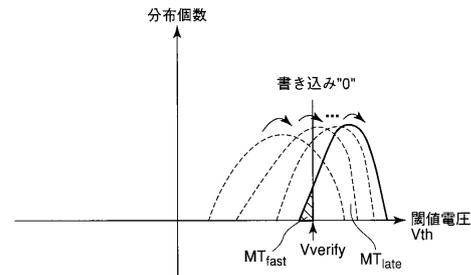
ST2 終了時 (ペリファイ読み出し初期：ソース線ノイズが大きい)



【 図 7 】

図 7

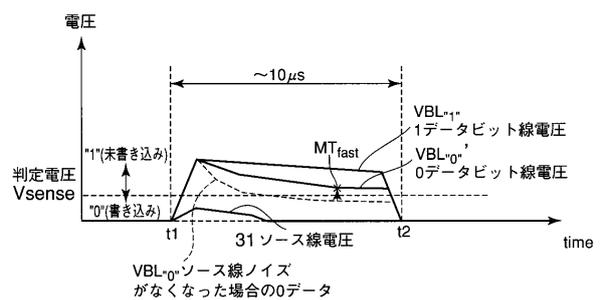
ST2 終了時 (ペリファイ書き込み終了時：ソース線ノイズが小さい)



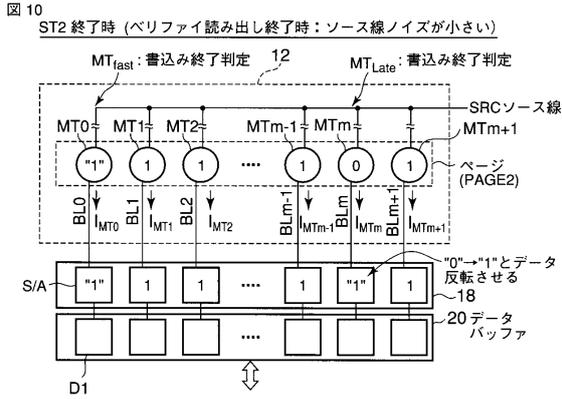
【 図 9 】

図 9

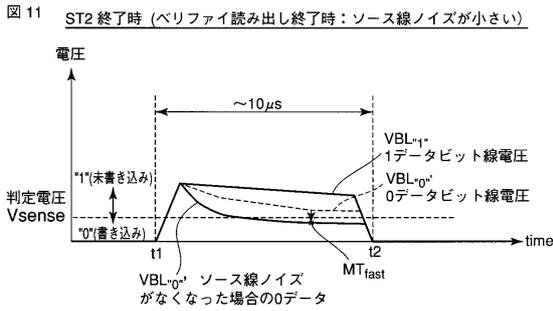
ST2 初期 (ペリファイ読み出し初期：ソース線ノイズが大きい)



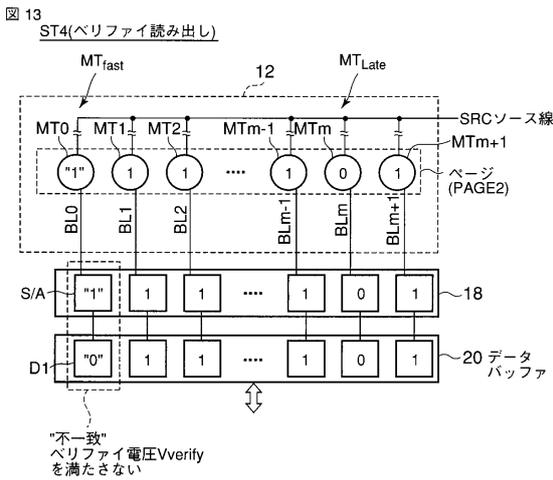
【図10】



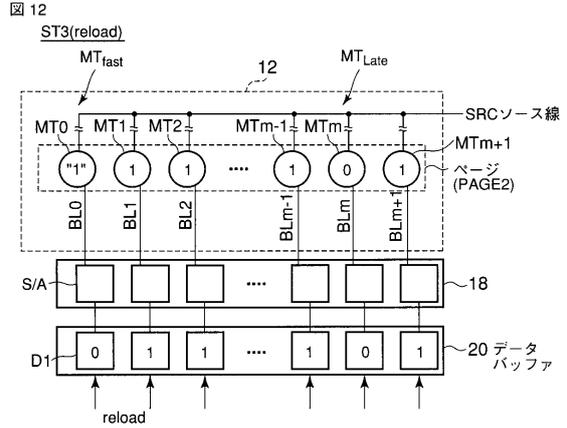
【図11】



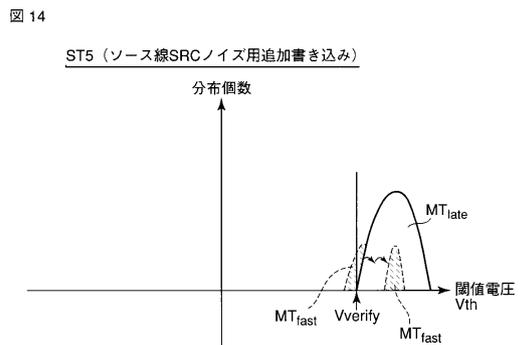
【図13】



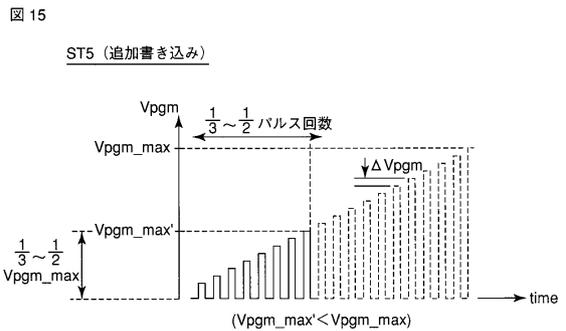
【図12】



【図14】

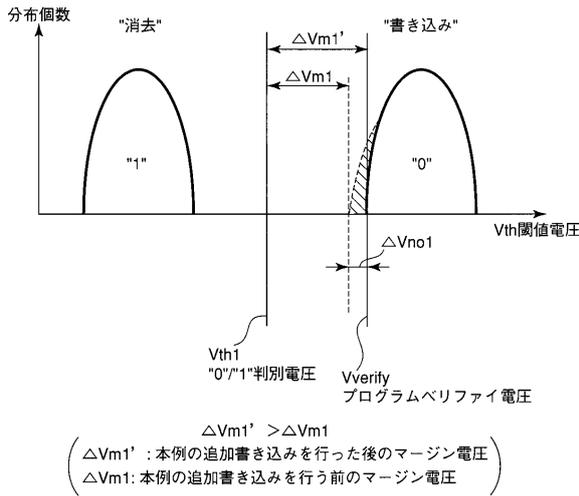


【図15】



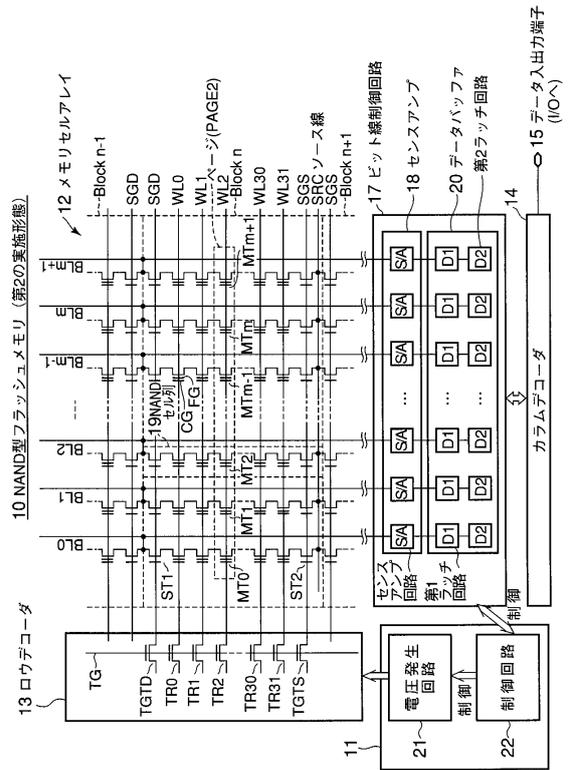
【図16】

図16



【図17】

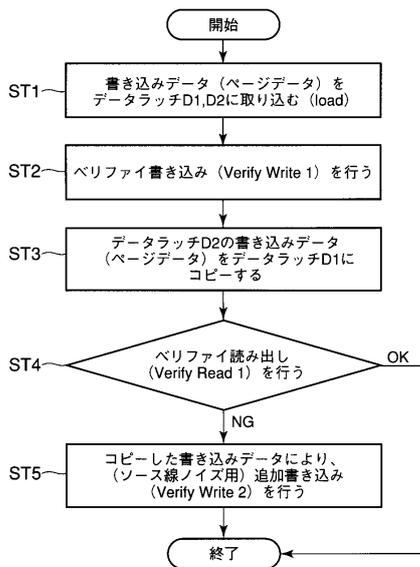
図17



【図18】

図18

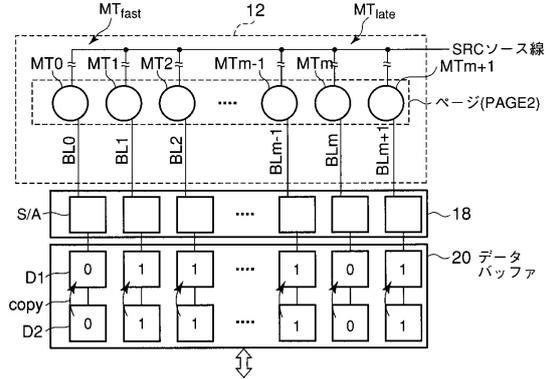
書き込み動作 (第2の実施形態)



【図19】

図19

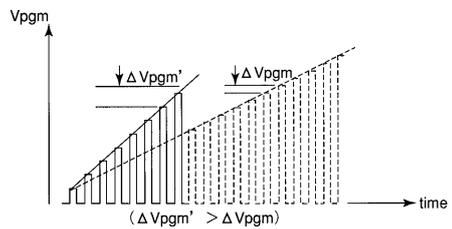
ST3 (データコピー: 第2の実施形態)



【図20】

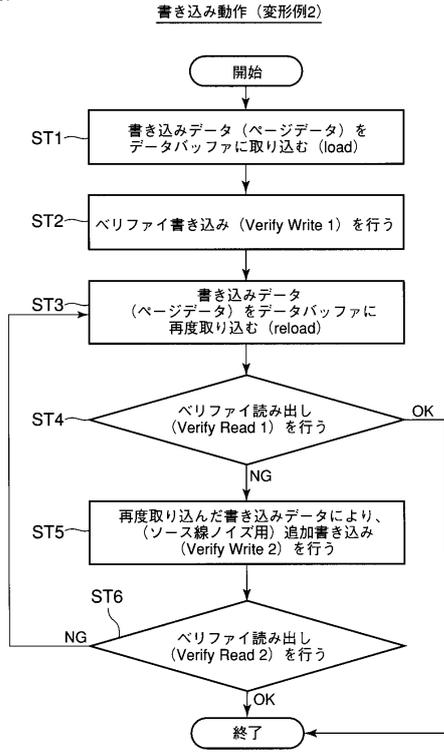
図20

ST5 (追加書き込み: 変形例1)



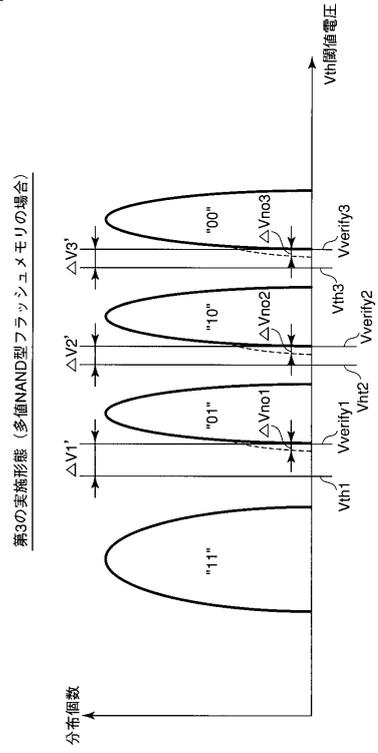
【図 2 1】

図 21



【図 2 2】

図 22



フロントページの続き

- (74)代理人 100092196
弁理士 橋本 良郎
- (72)発明者 荒井 史隆
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 上垣内 岳司
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 佐藤 敦祥
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 外山 毅

- (56)参考文献 特開平11-260076(JP,A)
特開平06-036578(JP,A)
特開2003-233992(JP,A)
特開平10-125082(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G11C 16/00-16/34