

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200810173892. X

[51] Int. Cl.

H01L 21/84 (2006.01)
H01L 21/336 (2006.01)
H01L 21/768 (2006.01)
H01L 27/12 (2006.01)
H01L 23/522 (2006.01)
G02F 1/1362 (2006.01)

[43] 公开日 2009年5月20日

[11] 公开号 CN 101436569A

[51] Int. Cl. (续)

G02F 1/1368 (2006.01)

[22] 申请日 2008.11.13

[21] 申请号 200810173892. X

[30] 优先权

[32] 2007.11.13 [33] JP [31] 2007-294249

[71] 申请人 三菱电机株式会社

地址 日本东京都

[72] 发明人 伊藤康悦 荒木利夫

[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 何欣亭 李家麟

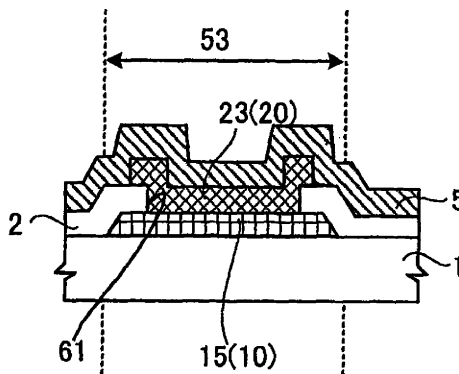
权利要求书 3 页 说明书 23 页 附图 15 页

[54] 发明名称

薄膜晶体管阵列基板的制造方法及显示装置

[57] 摘要

本发明的标题是“薄膜晶体管阵列基板的制造方法及显示装置”，其中包括如下工序：形成由第1导电膜(10)构成的图案；依次层叠栅绝缘膜(2)、半导体层(4)及光刻胶层；形成沿厚度方向具有台阶构造的光刻胶图案(41)；利用光刻胶图案(41)形成第1导电膜(10)的露出区及半导体层(4)的图案；在第1导电膜的露出区中形成由与第1导电膜(10)接触的第2导电膜(20)构成的图案；用上层膜覆盖第2导电膜(20)；以及在上述第2导电膜(20)的上层形成第3导电膜(30)。薄膜晶体管的栅电极(16)用第1导电膜(10)形成，源电极(25)及漏电极(26)用第2导电膜(20)形成，像素电极用第3导电膜(30)形成，第2导电膜(20)用上层膜覆盖。



1.一种薄膜晶体管阵列基板的制造方法，其特征在于，
包括如下工序：在基板上形成由第1导电膜构成的图案；
在所述第1导电膜上依次层叠栅绝缘膜、半导体层及光刻胶层；
在所述光刻胶层的上部配置光掩模，用照相制版工艺形成沿厚度
方向具有台阶构造的光刻胶图案；

利用所述光刻胶图案，形成所述第1导电膜的露出区及半导体层的
图案；

在所述第1导电膜的露出区形成由与所述第1导电膜接触的第2
导电膜构成的图案；以及

在所述第2导电膜的上层形成由层间绝缘膜及第3导电膜构成的
各图案，

所述第1导电膜与所述第2导电膜具有导电膜连接区，该导电膜
连接区包含它们经由所述栅绝缘膜上形成的开口部直接接触的区域，
并包含由上层膜覆盖所述第2导电膜的区域，

薄膜晶体管的栅电极用所述第1导电膜形成，所述薄膜晶体管的
源电极和漏电极用所述第2导电膜形成，像素电极用所述第3导电膜
形成。

2.如权利要求1中记载的薄膜晶体管阵列基板的制造方法，其特
征在于，

在形成所述第1导电膜的露出区及半导体层的图案的工序中：

以所述光刻胶图案为掩模来蚀刻所述半导体层和所述栅绝缘膜，
从而得到所述第1导电膜的露出区，

形成第2光刻胶图案，使所述光刻胶图案的膜厚大的部分作为图
案残留，

以所述第2光刻胶图案为掩模来蚀刻所述半导体层，从而得到所

述半导体层的图案。

3.如权利要求 1 中记载的薄膜晶体管阵列基板的制造方法，其特征在于，

在形成所述第 1 导电膜的露出区及半导体层的图案的工序中：

以所述光刻胶图案为掩模来蚀刻所述半导体层，

形成第 2 光刻胶图案，使所述光刻胶图案中膜厚大的部分作为图案残留，

接着，以通过所述第 2 光刻胶图案而露出的半导体层为掩模进行所述栅绝缘膜的蚀刻，从而得到所述第 1 导电膜的露出区，

以所述第 2 光刻胶图案为掩模来蚀刻所述半导体层，从而得到所述半导体层的图案。

4.如权利要求 1 中记载的薄膜晶体管阵列基板的制造方法，其特征在于，

所述导电膜连接区的所述第 2 导电膜，在所述栅绝缘膜上形成的开口部内及所述栅绝缘膜的正上方形成。

5.如权利要求 1 中记载的薄膜晶体管阵列基板的制造方法，其特征在于，

所述第 3 导电膜是透明导电膜。

6.如权利要求 1 中记载的薄膜晶体管阵列基板的制造方法，其特征在于：

所述导电膜连接区在由所述第 1 导电膜构成的布线和由所述第 2 导电膜构成的布线的连接区域形成。

7.如权利要求 1 中记载的薄膜晶体管阵列基板的制造方法，其特征在于，

所述导电膜连接区在驱动电路上形成。

8.如权利要求 1 中记载的薄膜晶体管阵列基板的制造方法，其特征在于，

所述导电膜连接区在端子上形成。

9.如权利要求 1 中记载的薄膜晶体管阵列基板的制造方法，其特征在于，

所述导电膜连接区在保护电路上形成。

10.如权利要求 1 中记载的薄膜晶体管阵列基板的制造方法，其特征在于，

所述上层膜是保护膜或所述第 3 导电膜。

11.一种装有用权利要求 1~10 中任何一项记载的薄膜晶体管阵列基板的制造方法制造的薄膜晶体管阵列基板的显示装置。

薄膜晶体管阵列基板的制造方法及显示装置

技术领域

0001

本发明涉及薄膜晶体管阵列基板的制造方法，还涉及装有用上述薄膜晶体管阵列基板的制造方法制造的薄膜晶体管阵列基板的显示装置。

背景技术

0002

薄膜晶体管(以下也称为「TFT」(Thin Film Transistor))作为有源矩阵(active matrix)液晶显示装置(AMLCD: Active-Matrix Liquid-Crystal Display)的像素驱动用晶体管而被广泛采用。在TFT中非晶质(无定形(amorphous)硅(Si)膜也作为半导体膜而使用，这是因为可用少的工序数进行制造，容易实现绝缘性基板大型化，因此生产性高而被广泛采用。

0003

在TFT阵列基板的制造工序中至少需要5道不同的蚀刻工序。另外，为了形成对应于各自的蚀刻(etching)工序的光刻胶图案(resist pattern)，需要5道照相制版工序，为了进行这5道照相制版工序，要使用5枚光掩模(photo mask)(例如，专利文献1)。

0004

近年来，提出了进一步减少制造工序数，而使制造成本降低的方法(例如，专利文献2~5)。通过采用所谓的多灰度曝光技术及剥离(lift off)法等，将减少制造工序数。采用多灰度曝光技术，能够在光刻胶层上有意地形成膜厚差。为了在光刻胶层上形成膜厚差，需要在光掩模上形成中间灰度区域，让与通过透明基板的光量相比更少的光量通过

该区域。关于中间灰度区域的形成方法，公知有使用灰色调掩模(gray tone mask)的方法及使用半色调掩模(half tone mask)的方法。所谓灰色调掩模，是将照相制版工序中成为不析像的微小图案配置成狭缝状 slit)或格子状，以控制该部分的透光光量的掩模。半色调掩模是用半透明膜形成中间灰度区域的掩模。

0005

专利文献 2 公开了一种采用 4 枚掩模技术，制造具有静电保护电路部的逆叠积型液晶显示装置的方法，专利文献 3 中公开了一种制造横向电场驱动液晶显示器的方法。另外，专利文献 4 中公开了一种具备同时采用剥离法和多灰度曝光技术而减少制造工艺(process)的逆叠积型(inverted staggered)TFT 的液晶显示装置的制造方法。

专利文献 1: 特开平 11-64884 号公报

专利文献 2: 特开 2002-26333 号公报的图 1~图 3、段落号 0037-0047

专利文献 3: 特开 2004-318076 号公报的图 7~10、段落号 0022-0028

专利文献 4: 特开 2007-59926 号公报图的 2~6 和图 11、段落号 0042-0060 和 0074-0079

专利文献 5: 特开 2003-172946 号公报

发明内容

0006

上述专利文献 2 中公开了一种不经由层间绝缘膜而在源/漏电极上形成透明导电膜(透明电极层)，且经由此透明导电膜，使源/漏电极与栅电极电连接的结构。但是，与栅电极、源/漏电极中通常使用的金属材料相比，作为透明导电膜而通常使用的 ITO、ITZO 或 IZO 等的体积电阻率大约高 2 位数。所以，如果经由透明导电膜，将源/漏电极与栅电极电连接，则为了抑制电阻上升而需要充分地确保与透明导电膜的接触面积。

0007

上述专利文献3中记载的液晶显示装置是不使用ITO等透明导电膜的结构，所以能够实现低成本化。但是，存在的问题是：在作为输入外部信号等的端子部的开口部中，由于金属露出，因此端子部的金属易于因外部的气氛而受到腐蚀。另外，在上述专利文献3中，由于在栅绝缘膜及半导体层的层叠膜上设有接触孔，因此有可能在接触孔的一部分上产生表面台阶，在其上层及接触孔内部配置的导电膜的接触孔部分上的覆盖层劣化，产生断线等问题。

0008

上述专利文献4中公开了一种经由透明导电膜而使构成栅电极的Cr导电膜与构成源/漏电极的金属导电膜电连接的结构。所以，与上述专利文献2同样，为了抑制电阻上升，需要充分地确保与透明导电膜的接触面积。

0009

近来，对于确保显示区并使整个显示装置小型化的要求正在提高。为此，要求一种在显示区的外侧划分出的边框区缩小的结构。另外，要求可靠性高的显示装置。

0010

本发明是鉴于上述背景而提出的，其目的在于提供可使边框狭窄化且可靠性优良，并可进一步低成本化的薄膜晶体管阵列基板的制造方法及显示装置。

0011

本发明的薄膜晶体管阵列基板的制造方法包括：在基板上形成由第1导电膜构成的图案的工序；在上述第1导电膜上依次层叠栅绝缘膜、半导体层及光刻胶层的工序；在上述光刻胶层的上部配置光掩模，采用照相制版工艺，形成沿厚度方向具有台阶构造的光刻胶图案的工序；利用上述光刻胶图案，形成上述第1导电膜的露出区及半导体层的图案的工序；在上述第1导电膜的露出区形成由与上述第1导电膜接触的第2导电膜构成的图案的工序；以及在上述第2导电膜的上层

形成由层间绝缘膜及第3导电膜构成的各图案的工序。

而且，薄膜晶体管的栅电极用上述第1导电膜形成，源电极和漏电极用上述第2导电膜形成，像素电极用上述第3导电膜形成。另外，上述第2导电膜由上层膜覆盖。

0012

本发明具有如下优良效果：能够提供实现边框狭窄化且可靠性优良并可进一步低成本化的薄膜晶体管阵列基板的制造方法及显示装置。

附图说明

0089

图1是实施例1的TFT阵列基板的局部放大示意上面图。

图2是实施例1的像素附近的示意电路图。

图3是实施例1的TFT的剖面图。

图4是实施例1的布线转换部附近的上面图。

图5是实施例1的布线转换部附近的剖面图。

图6(a)~(c)是实施例1的TFT阵列基板的制造工序图。

图7(a)~(c)是实施例1的TFT阵列基板的制造工序图。

图8(a)~(c)是实施例1的TFT阵列基板的制造工序图。

图9(a)~(c)是实施例2的TFT阵列基板的制造工序图。

图10(a)是驱动电路部上形成的TFT的电路图，图10(b)是实施例3的驱动电路部的TFT的示意上面图。

图11(a)是实施例4的液晶显示面板的示意平面图，图11(b)是端子部的剖面图。

图12是比较例1的TFT阵列基板的布线转换部附近的上面图。

图13是图12的XIII-XIII处截取的剖面图。

图14是比较例2的TFT阵列基板的驱动电路部的局部放大上面图。

图 15 是比较例 3 的 TFT 阵列基板的端子部的剖面图。

附图标记说明

0090

- 1 绝缘性基板
- 2 栅绝缘膜
- 4 半导体层
- 5 层间绝缘膜
- 6 TFT
- 7 保持电容
- 10 第 1 导电膜
- 11 栅极布线
- 12 栅极端子
- 13 共用电容布线
- 15 共用电容电极层
- 16 栅电极
- 20 第 2 导电膜
- 21 源极布线
- 22 源极端子
- 23 公共布线
- 24 公共端子
- 25 源电极
- 26 漏电极
- 30 第 3 导电膜
- 31 像素电极
- 33 连接层
- 41 第 1 光刻胶图案
- 42 第 2 光刻胶图案
- 50 显示区

- 51 边框区
- 53 布线转换部
- 54 TFT形成区
- 55 遮光区
- 56 透光区
- 57 半透光区
- 58 栅极布线区
- 59 源极布线区
- 60 驱动电路配置区
- 61 第1开口部
- 62 第2接触孔
- 71 外部端子区
- 80 TFT阵列基板
- 81 液晶显示面板

具体实施方式

0013

下面说明采用本发明的一个实施例。另外，不言而喻，只要与本发明的宗旨相符，其它的实施例也属于本发明的范畴。另外，以下附图中各部材的尺寸与比率是为了便于说明，并不构成限定。

0014

实施例1

本实施例1的显示装置是一种装有具有逆叠积型MOS构造的薄膜晶体管(TFT)作为开关(switching)元件的有源矩阵型TFT阵列基板的显示装置。这里，作为显示装置之一例，说明透光型液晶显示装置。

0015

图1是本实施例1的TFT阵列基板80的平面图。如图1所示，TFT阵列基板80具备栅极布线11、栅极布线侧端子12、共用电容布

线 13、源极布线 21、源极布线侧端子 22、公共布线 23、公共端子 24 及像素电极 31 等。

0016

栅极布线 11 沿图 1 中的横向延伸，沿纵向并排设置多个。源极布线 21 沿图 1 中的纵向延伸，沿横向并排设置多个，经由栅极布线 11 和栅绝缘层(未图示)而交叉。多根栅极布线 11 和多根源极布线 21 大致垂直相交而形成矩阵，在由相邻的栅极布线 11 及源极布线 21 围住的区域上形成像素电极 31。该区域作为像素而发挥功能，形成多个像素的区域为显示区 50。在显示区 50 的外侧划分的区域是边框区 51。

0017

栅极布线侧端子 12 在边框区 51 的图中左侧排列多个，各栅极布线 11 从显示区 50 延伸至该端子。同样地，源极布线侧端子 22 在边框区 5 的图中上部侧排列多个，各源极布线 21 从显示区 50 延伸至该端子。

0018

用于电容器形成的共用电容布线 13 与栅极布线 11 平行地设于各像素，在边框区 51 连接在公共布线 23 上。公共布线 23 在多根源极布线 21 排列的端部形成，用与源极布线 21 相同的层(layer)即第 2 导电膜与源极布线并行地形成。另外，公共布线 23 延伸至公共端子 24。公共端子 24 是用于从外部供给共用电位的端子，在图 1 的例中，配置在排列为一系列的多个源极布线侧端子 22 的一端。

0019

图 2 表示以图 1 的符号 52 所示的邻近区域的示意电路图。如图 2 所示，在各像素的栅极布线 11 和源极布线 21 的交叉点附近至少设有一个信号传送用 TFT 6。在像素上形成的 TFT 6 的栅电极与栅极布线 11 连接，TFT 6 的源电极与源极布线 21 连接。

0020

一旦信号供给栅极布线 11，从源极布线 21 传送来的信号电荷就写入像素内，电荷就储存在保持电容 7 中。此时，像素电极 31 将对应

于被写入信号的电位施加在液晶上，使所要求的图像显示。用像素电极 31 作为各像素的储存信号电荷的电极，用共用电容布线 13 作为对置电极。共用电容布线 13 由与栅极布线 11 相同的层(第 1 导电膜)形成，为了与所有的像素连接，配置成隔着栅绝缘层与源极布线 21 交叉。

0021

图 3 表示本实施例 1 的 TFT 6 附近的示意剖面图。TFT 6 是逆叠积型，通过沟道蚀刻(CE(channel etching)而制造。如图 3 所示，TFT 6 具有绝缘性基板 1、栅电极 16、栅绝缘膜 2、作为半导体层的第 1 半导体层 4a 和第 2 半导体层 4b、源电极 25、漏电极 26、层间绝缘膜 5 及像素电极 31 等。

0022

作为绝缘性基板 1，使用玻璃基板及石英基板等具有透明性的基板。栅电极 16 在绝缘性基板 1 上形成，采用与栅极布线 11、共用电容布线 13、共用电容电极层 15 等相同的层，即第 1 导电膜。在其上层形成栅绝缘膜 2，以覆盖栅电极 16。第 1 半导体层 4a 在栅绝缘膜 2 上形成，至少其一部分隔着栅绝缘膜 2 与栅电极 16 相向配置。

0023

第 2 半导体层 4b 在第 1 半导体层 4a 的上层形成。源电极 25 及漏电极 26 在第 2 半导体层 4b 上形成。层叠有源电极 25 的第 2 半导体层 4b 的区域成为源极区域，层叠有漏电极 26 的第 2 半导体层 4b 的区域成为漏极区域。第 1 半导体层 4a 由位于中源极区域和漏极区域下层的第 1 半导体层 4a 夹于中间且除去第 2 半导体层 4b 的区域为沟道区。

0024

源电极 25 及漏电极 26 隔着栅绝缘膜 2、第 1 半导体层 4a、第 2 半导体层 4b，至少与栅电极 16 的一部分相向配置。也就是说，为了作为 TFT 而动作，沟道区位于栅电极 16 上，处于栅电极 16 上施加电压时易于受电场影响的状态。

0025

层间绝缘膜 5 覆盖沟道区、源电极 25 及漏电极 26 而形成(参照图

3)。然后，在层间绝缘膜 5 上形成像素电极 31。经由在层间绝缘膜 5 上形成的第 2 接触孔(contact hole)62，像素电极 31 与漏电极 26 电连接。

0026

下面，说明共用电容布线 13 与公共布线 23 的电连接方法。如上所述，用于电容器(capacitor)形成的共用电容布线 13 由与栅极布线 11 相同的层即第 1 导电膜 10 构成，公共布线 23 由与源极布线 21 相同的层即第 2 导电膜 20 构成。而且，在边框区 51 内，共用电容布线 13 与公共布线 23 电连接。再有，作为「第 1 导电膜」，采用形成薄膜晶体管的栅电极而通常使用的材料，作为「第 2 导电膜」，采用形成薄膜晶体管的源/漏电极而通常使用的材料。也就是说，使用由金属或者以金属为主要成分的材料构成的膜，即具有与金属同一等级(level)的体积电阻率的材料。

0027

首先，用图 12 及图 13 说明比较例 1 的共用电容布线和公共布线的电连接方法。图 12 是比较例 1 的共用电容布线与公共布线的布线转换部附近的示意上面图，图 13 是图 12 的 XIII-XIII 处截取的剖面图。再有，为便于说明，图 12 中省略了层间绝缘膜 105 和栅绝缘膜 102 的图示，图示了第 1 接触孔 161 和第 2 接触孔 162 的形成位置。

0028

如图 13 所示，TFT 阵列基板 200 上的布线转换部 153 具有绝缘性基板 101、共用电容电极层 115、栅绝缘膜 102、公共布线 123、层间绝缘膜 105 及连接层 133 等。

0029

共用电容电极层 115 在绝缘性基板 101 上形成，由与栅极布线 111、共用电容布线 113 及栅电极(未图示)等相同的层即第 1 导电膜 110 形成。在其上层形成栅绝缘膜 102，以覆盖共用电容电极层 115。另外，公共布线 123 在栅绝缘膜 102 上形成，隔着栅绝缘膜 102 与共用电容电极层 115 相向配置。公共布线 123 用与源极布线及源/漏电极等相同

的层即第2导电膜120形成。

0030

为了覆盖公共布线123和栅绝缘膜102,形成层间绝缘膜105。然后,在层间绝缘膜105上形成连接层133。连接层133经由贯通层间绝缘膜105的第1接触孔161与公共布线123电连接。同样地,经由贯通层间绝缘膜105及栅绝缘膜102的第2接触孔162,共用电容电极层115与连接层133电连接。由此,从公共端子124供给的外部电位经由公共布线123及连接层133传到共用电容电极层115,供给共用电容布线113。再有,连接层133由与构成像素电极的层相同的导电膜构成。

0031

如图13所示,为了在比较例1的布线转换部153中使信号从公共布线123传送到共用电容电极层115,在公共布线123上形成第1接触孔161,还形成贯通公共布线123的第2接触孔162。

0032

在比较例1的布线转换部153中,用于将公共布线123与共用电容电极层115连接的连接层133,对于全透光型液晶显示装置通常使用ITO等透明导电膜材料。如上所述,ITO等的体积电阻率比金属约高2个数量级。因此,在使用ITO等作为连接层133的材料时,需要取大的接触面积。

0033

再有,在上述比较例1中,用于使公共布线123与共用电容电极层115连接的第1接触孔161及第2接触孔162,需要在层间绝缘膜105形成后且像素电极131形成前的工序中形成。

0034

接着,用图4及图5说明本实施例1的共用电容布线与公共布线的电连接方法。图4是本实施例1的共用电容布线和公共布线的布线转换部附近的示意上面图,图5是图4的V-V处截取的剖面图。再有,为便于说明,图4中省略了层间绝缘膜5和栅绝缘膜2的图示,并用

虚线图示了第1开口部61的形成位置。

0035

如图5所示,在TFT阵列基板80上的布线转换部53中,有绝缘性基板1、共用电容电极层15、栅绝缘膜2、公共布线23及层间绝缘膜5等。另外,用于将共用电容电极层15与公共布线23连接的第1开口部61在栅绝缘膜2上形成。在图5的例中说明了第1开口部61以狭缝状形成,但并不限于于此,也可以排列多个正方形及圆形等形状的接触孔。

0036

共用电容电极层15在绝缘性基板1上形成,由与栅极布线11、共用电容布线13及栅电极(未图示)等相同的层即第1导电膜10形成。栅绝缘膜2在其上层形成,以覆盖共用电容电极层15。另外,公共布线23在栅绝缘膜2上形成,其至少一部分通过栅绝缘膜2的第1开口部61与共用电容电极层15连接。公共布线23用与源极布线及源/漏电极等相同的层即第2导电膜20形成。

0037

层间绝缘膜5覆盖公共布线23和栅绝缘膜2而形成。在本实施例1中,公共布线23与共用电容电极层15不采用与上述比较例1的连接层133相当的膜,而是使之通过栅绝缘膜2上形成的第1开口部61电连接。由此,从公共端子24供给的外部电位,经由公共布线23传到共用电容电极层15,供给共用电容布线13。再有,在以下说明中,将第1导电膜10与第2导电膜20直接连接的区域称作「导电膜连接区」。在导电膜连接区的第2导电膜的上层,形成上层膜。

0038

近来,要求以液晶显示装置为代表的各种显示装置进一步小型轻量化。尤其是对于手机等中使用的对角尺寸小于约3英寸(inch)的小型液晶显示面板,为了确保显示区50宽阔,非常需要减小边框区的面积。

0039

根据本实施例1的TFT阵列基板80,能够使布线转换部53的宽

度狭小化。在上述比较例 1 中，布线转换部 153 的宽度需要约 $100\mu\text{m}$ 。而本实施例 1 中的布线转换部 53 的宽度能够设为例如约 $10\mu\text{m}$ 。根据本实施例 1，由于使共用电容电极层 15 与公共布线 23 直接连接，因此与使用构成像素电极的导电膜即连接层 133 的情况相比，可减小接触孔的图案。另外，可不经由体积电阻率高的 ITO 等，使第 1 导电膜与第 2 导电膜接触而连接，所以能够减小接触区域。另外，与经由构成像素电极的导电膜连接的情况相比，由于结构简单，因此能够提高制造合格率。另外，如上所述，在上述专利文献 3 中，在栅绝缘膜及半导体层的层叠膜上设接触孔，因此，有可能在接触孔的一部分上产生表面台阶，出现伴随覆盖不良而断线等问题。另一方面，根据本实施例 1 的 TFT 阵列基板 80，使第 1 导电膜与第 2 导电膜通过栅绝缘膜上形成的开口部而接触，而且，在第 2 导电膜由上层膜覆盖的导电膜连接区，在栅绝缘膜的正上方不形成半导体层而直接层叠第 2 导电膜。换言之，仅在栅绝缘膜上形成接触孔。因此，能够防止接触孔的一部分上产生表面台阶，能够有效地防止伴随覆盖不良而产生断线等问题。

0040

接着，用图 6 至图 8 说明如上述构成的 TFT 阵列基板的制造方法。在图 6 至图 8 中，图中右侧表示 TFT 形成区 54，图中左侧表示布线转换部 53 的剖面结构。

0041

首先，采用蒸镀等方法，在玻璃(glass)基板等绝缘性基板 1 上成膜第 1 导电膜 10。第 1 导电膜例如是 Cr、Al、Mo、W 或者以这些金属为主要成分的合金以及这些金属的层叠膜。然后，经照相制版工序、蚀刻工序及光刻胶层除去工序等，形成所要求形状的栅极布线 11、共用电容电极层 15 及栅电极 16 等。

0042

接着，经洗净工序等，采用等离子体(plasma)CVD(Chemical Vapor Deposition)等各种 CVD 法，在栅电极 16 等及绝缘性基板 1 上依次堆

积栅绝缘膜 2、用作半导体层的第 1 半导体层 4a 和第 2 半导体层 4b(参照图 6(a))。栅绝缘膜 2 是 SiN_x 及 SiO_y 等。第 1 半导体层 4a 是不含导电性杂质的纯半导体的所谓真性半导体。作为第 1 半导体层 4a, 使用 a-Si(无定形硅(amorphous silicon))等。作为第 2 半导体层 4b, 使用 n 型半导体, 即在 a-Si 中微量地掺杂(doping)P(磷(phosphorus))等的 $\text{n}^+\text{a-Si}$ (n^+ 无定形硅)膜等。

0043

第 1 半导体层 4a 和第 2 半导体层 4b 最好在同一腔室(chamber)内形成。通过在同一腔室内形成第 1 半导体层 4a 和第 2 半导体层 4b, 能够降低 2 种硅(silicon)层间的电连接电阻。当然, 也可将栅绝缘膜 2 在同一腔室内形成。以下, 在不需要区别第 1 半导体层 4a 和第 2 半导体层 4b 时, 将二者统一记作半导体层 4。

0044

接着, 用旋涂(spin coat)法在半导体层 4 上涂复感光性树脂, 即光刻胶。然后, 用光掩模(未图示)将涂复的光刻胶层曝光。如图 6(b)所示, 作为光掩模, 是将遮光区 55、透光区 56 及透光率小于透光区 56 的中间色调曝光区 57 按所要求的图案加以配置而使用。然后, 进行曝光及显影等一系列的照相制版工序。具体地说, 在共用电极层 15 上形成第 1 开口部 61 的部分为透光区 56, 使半导体层 4 成为孤岛而残留的部分为遮光区 55, 除去半导体层 4 的区域为中间色调曝光区 57。

0045

由此, 曝光部的光刻胶层被除去, 得到图 6(b)所示的第 1 光刻胶图案 41。也就是说, 通过在透光区 56 除去光刻胶层, 使半导体层 4 在表面露出。在未曝光部, 即遮光区 55 中光刻胶层未被除去, 而形成预定膜厚的光刻胶图案。对于半曝光部, 即中间色调透光区 15, 光刻胶层按照在半导体层 4 的表面不露出的程度而被除去, 形成膜厚比遮光区 55 的预定膜厚更薄的图案。换言之, 第 1 光刻胶图案 41 可以得到通过未曝光部和半曝光部而在沿膜厚方向具有 2 个台阶构造的图

案。

0046

接着,进行蚀刻处理。由此,除去露出的半导体层4以及位于其下层的栅绝缘膜2,在栅极布线12上形成第1开口部61(参照图6(c))。然后,在第1光刻胶图案41中除去膜厚薄的部分,再进行灰化处理,使位于其下层的半导体层4露出(参照图7(a))。在灰化(ashing)处理中可使用例如RIE-DE装置、UV灰化器(UV Asher)等众所周知的装置。经过灰化处理,遮光区55的膜厚大的区域也通过灰化而变薄,但作为光刻胶图案残留。

0047

通过第1光刻胶图案41的灰化处理,得到图7(a)所示的第2光刻胶图案42。第2光刻胶图案42由与半导体层4要成为孤岛的区域对应的图案构成。

0048

通过以第2光刻胶图案42作为掩模,进行蚀刻,除去露出的半导体层4(参照图7(b))。由此,使TFT形成部分的半导体层4成为孤岛,形成所要求的图案。再有,在第1开口部61中共用电容电极层15露出,但在共用电容电极层15上通常使用Al、Cr、Mo、W以及以这些金属为主要成分的合金金属,所以,能够充分地确保对于半导体层4蚀刻的选择比。接着,通过蚀刻除去露出的半导体层4,然后再除去第2光刻胶图案42。

0049

然后,用溅射(sputter)法等成膜第2导电膜20,以覆盖共用电容电极层15、栅绝缘膜2及半导体层4(参照图7(c))。接着,通过照相制版工序,形成第3光刻胶图案43(参照图8(a))。然后,以第3光刻胶图案43作为掩模,进行蚀刻处理,得到所要求形状的源电极25、漏电极26、源极布线21及公共布线23等。然后,蚀刻TFT6的后沟道(back channel)部分的半导体层4的一部分。此时,通过切断源电极25侧和

漏电极 26 侧的第 2 半导体层 4b, 形成用作开关元件的 TFT(参照图 8(b))。

0050

然后, 用等离子体 CVD 等各种 CVD 法形成层间绝缘膜 5, 以覆盖栅绝缘膜 2、沟道区、源电极 25、漏电极 26 及公共布线 23 等(参照图 8(c))。作为层间绝缘膜 5, 可使用 SiN_x 、 SiO_y 等或者它们的混合物及层叠物。在将 TFT 6 搭载于液晶显示装置上的场合, 除去第 2 光刻胶图案 4, 然后在层间绝缘膜 5 上形成第 2 接触孔 62, 再成膜作为像素电极 31 的透明导电性膜 30, 经照相制版、蚀刻及光刻胶层除去等工序, 使像素电极 31 与漏电极 26 电连接。经过这一系列工序, 在基板上形成图 5 所示的布线转换部 53 及图 3 所示的 TFT 6。

0051

再有, 用上层膜覆盖第 2 导电膜 20, 以不形成露出区。作为上层膜, 可使用层间绝缘膜及纯化(passivation)膜等保护膜。作为上层膜的材料, 也可为氮化硅膜及氧化硅膜等无机膜及有机类的绝缘膜。另外, 也可以是它们的层叠膜。另外, 在端子部等露出面上要求导电性的区域, 按本说明书, 可适当使用 ITO、ITZO 及 IZO 等透明导电膜。

0052

另外, 作为实施上述中间色调曝光的方法, 可使用所谓的「半色调掩模」技术, 即在用于照相制版的掩模上用具有一定透光率的材料形成图案。此外, 也可采用以对于曝光用光的析像极限以下的尺寸构成的网格(mesh)状、棋盘(checker)状等几何图案的图案掩模及 L/S(直线(line)/间隔(space))等图案掩模。如上所述, 在本实施例 1 中可形成第 1 导电膜 10 的露出区, 而且使半导体层 4 成为孤岛即可, 能够使用众所周知的光掩模来形成具有台阶构造的光刻胶图案。

0053

按上述那样制造的 TFT 阵列基板与滤光膜(color filter)基板、背光源(back light)及液晶等, 通过公知的制造工序搭载在液晶显示装置上。

0054

在上述比较例 1 中，在用 ITO 等透明导电膜形成连接层之前，第 1 导电膜和第 2 导电膜分别以独立的状态被绝缘膜围住。因此，玻璃基板在工艺过程中带电时，有可能在层间及同一层的布线之间放电，存在作为产品的显示装置变为不良制品的风险。根据本实施例 1，作为制造 TFT 阵列基板的工艺过程，在早期阶段就形成第 1 导电膜 10 与第 2 导电膜 20 的连接部分。其结果是：即使在带有异常静电时，由于存在连接的区域，因此也能够形成异常静电逃逸的通路，有效地防止不良制品产生。

0055

根据本实施例 1，通过在布线转换部 53 中使由第 1 导电膜 10 构成的共用电容电极层 15 与由第 2 导电膜 20 构成的公共布线 23 接触而电连接，因此能够缩短公共布线 23 的布线宽度。而且不使用 ITO 等体积电阻率高的材料，而用金属材料彼此进行连接，从而能够实现接触面积的缩小。其结果是：能够使边框变得狭窄。

0056

另外，根据本实施例 1，用上层膜(本实施例 1 中是层间绝缘膜)覆盖而不使第 2 导电膜露出，因此不用担心第 2 导电膜受到腐蚀。其结果是：能够提供可靠性高的 TFT 阵列基板。不必增加用于在栅绝缘膜 2 上形成开口部的掩模，不必新增用于使第 1 导电膜 10 与第 2 导电膜 20 连接的照相制版工序。也就是说，能够采用照相制版次数少的工艺过程来获得上述效果。因此，能够实现低成本化。

0057

而且，由于使第 1 导电膜 10 与第 2 导电膜 20 接触，因此，与上述比较例 1 那样经由连接层 133 而使第 1 导电膜与第 2 导电膜连接的情况相比，能够使结构简化。另外，在导电膜连接区使第 1 导电膜 10 与第 2 导电膜 20 直接连接，因此，不会如上述比较例 1 那样发生连接层 133 的覆盖层(coverage)不良。所以，能够阻止水分等因覆盖不良而进入，能够提供可靠性高的显示装置。

0058

实施例 2

下面,说明一例与上述实施例 1 不同的 TFT 阵列基板的制造方法。另外,在以下说明中与上述实施例相同的构成部件均附加同一标记,其说明适当省略。

0059

除下述的不同点之外,本实施例 2 的 TFT 阵列基板的制造方法与上述实施例 1 的制造方法相同。不同点是:在上述实施例 1 中以第 1 光刻胶图案 41 作为掩模,通过蚀刻处理除去半导体层 4 和栅绝缘膜 2;而在本实施例 2 中以第 1 光刻胶图案 41 作为掩模,先只对半导体层 4 进行蚀刻处理。并且,在形成了第 2 光刻胶图案 42 后,以露出的半导体层 4 作为掩模,对露出的栅绝缘膜 2 进行蚀刻处理,然后再对露出的半导体层 4 进行蚀刻处理。

0060

图 9(a)~(c)表示用于说明本实施例 2 的 TFT 阵列基板的制造工序的剖面图。采用与上述实施例 1 相同的方法,在绝缘性基板 1 上形成栅电极 16、栅极布线 11、栅绝缘膜 2、半导体层 4 及第 1 光刻胶图案 41(参照图 6(b))。然后,以第 1 光刻胶图案 41 为掩模,通过蚀刻处理除去半导体层 4(参照图 9(a))。

0061

然后,除去第 1 光刻胶图案 41 中膜厚薄的部分,进行灰化处理而使位于其下层的半导体层 4 露出。通过对第 1 光刻胶图案 41 的灰化处理,得到图 9(b)所示的第 2 光刻胶图案 42。第 2 光刻胶图案 42 由与半导体层 4 中要成为孤岛的区域对应的图案构成。

0062

接着,以露出的半导体层 4 为掩模,通过蚀刻而除去露出的栅绝缘膜 2(参照图 9(c))。然后,以第 2 光刻胶图案 42 为掩模,通过蚀刻而除去露出的半导体层 4。由此,使 TFT 形成部分的半导体层 4 成为孤岛,形成所要求的图案。在通过蚀刻而除去了露出的半导体层 4 后,

除去第2光刻胶图案42。然后，采用与上述实施例1相同的方法，形成图5所示的布线转换部53以及图3所示的TFT6。

0063

根据本实施例2的TFT阵列基板的制造方法，能够有效地防止栅电极因异常放电而受到破坏。其理由如下：若以第1光刻胶图案41为掩模而蚀刻半导体层4和栅绝缘膜2，形成图6(c)所示的结构，则形成在绝缘层覆盖的中间露出极小一部分导电性材料即第1导电膜10的结构。在这种情况下，一旦在干蚀刻时等离子体的状态不稳定，有可能根据具体状况而产生异常放电，第1导电膜10(共用电容电极层15)会完全破坏。

0064

根据本实施例2的TFT阵列基板的制造方法，在蚀刻栅绝缘膜2时，使半导体层4的大部分表面露出。所以，即使在第1导电膜10(共用电容电极层15)的一部分露出的情况下，导电性的部分面积也不会急剧地变化，因此，能够防止栅电极因异常放电而受到破坏。

0065

实施例3

接着，说明在TFT阵列基板的驱动电路部形成使第1导电膜10与第2导电膜20接触而连接的导电膜连接区的例。本实施例3的TFT阵列基板的基本结构与上述实施例1相同。

0066

如上所述，通过将搭载栅极驱动电路、源极驱动电路(下面称作「驱动电路」)的液晶驱动用的半导体芯片(chip)(以下称「IC」(Integrated Circuit))与TFT阵列基板的端子部直接连接或者经由柔性印刷电路板(以后称作「FPC(Flexible Printed Circuit)」)等进行连接，使所要的图像显示。但是，需另外准备IC，因此其费用在制造成本中有实际反映。因此，在形成像素的TFT的同时，在TFT阵列基板上形成电路，从而能够减少使用的IC，还可形成具有新功能的电路，从而能够提高

显示装置的附加值。在本实施例3中将说明在TFT阵列基板的边框区51(参照图1)形成这种驱动电路时采用本发明的例。

0067

如果作为显示装置在所需的最低限度的功能之外还搭载具有附加值的电路,则如图10(a)所示,在TFT 6a的源/漏电极和栅电极之间设置连接部8。组合设有连接部8的电路,就可构成各种逻辑电路。

0068

图14表示比较例2的驱动电路中的TFT 106a附近的示意上面图。再有,为便于说明,图14中省略了栅绝缘膜和层间绝缘膜的图示,用粗实线表示了构成连接层的导电膜。另外,用粗实线图示了接触孔的形成位置。

0069

如图14所示,比较例2的驱动电路的TFT 106a中,由第1导电膜110构成的栅电极116和由第2导电膜120构成的源电极125与漏电极126经由半导体层104和栅绝缘膜(未图示)而相向配置。而且,在源电极125、漏电极126上形成层间绝缘膜(未图示),在其上配置由第3导电膜130构成的连接层133a。连接层133a经由贯通层间绝缘膜(未图示)的第1接触孔161a与漏电极126电连接。同样地,连接层133a经由贯通层间绝缘膜(未图示)及栅绝缘膜(未图示)的第2接触孔162a,与栅电极125电连接。由此,栅电极125与源/漏电极电连接。

0070

比较例2的驱动电路部中,为了使栅电极与源/漏电极电连接,如图14所示,需要在漏电极126上形成第1接触孔161a,在栅电极116上形成第2接触孔162a。另外,与比较例1同样,对于全透光型液晶显示装置,作为连接层133a,通常使用ITO等透明导电膜材料。如上所述,ITO等的体积电阻率比金属高2位。因此,在使用ITO等作为连接层133a的材料时,需要取大的接触面积。

0071

另一方面,如图10(b)所示,在本实施例3中使漏电极26a与栅电

极 16a 接触，从而形成金属之间的连接，因此与 ITO 和金属进行连接的情况相比，可减小连接部分的接触区域。所以，能够用小的面积进行所要求的连接，能够使边框狭窄化。

0072

另外，在驱动电路中，为了尽量减少驱动信号的延迟，最好布线电阻及接触电阻能够较小。根据本实施例 3，不经由电阻高的 ITO，而使由导电率高的金属构成的第 1 导电膜的层与第 2 导电膜的层接触，因此能够提供高性能的驱动电路。

0073

另外，根据本实施例 3 的制造方法，不增加照相制版工序数，就能够在所要求的位置上形成具有金属布线彼此之间(第 1 导电膜及第 2 导电膜)的接触部的驱动电路。另外，用层间绝缘膜 5 进行覆盖，使由第 2 导电膜 20 构成的源电极 25a 和漏电极 26a 不露出，因此，不用担心布线受到腐蚀。其结果是：能够提供实现低成本化且可靠性高的显示装置。

0074

实施例 4

说明在 TFT 阵列基板的端子上形成使第 1 导电膜 10 与第 2 导电膜 20 直接连接的导电膜连接区的例。本实施例 4 的 TFT 阵列基板的基本结构与上述实施例 1 相同。

0075

图 11(a)表示本实施例 4 的液晶显示面板(panel)的示意上面图。这里，与上述实施例 3 同样，说明采用 COG(Chip on Glass)技术而封装驱动电路等的情况。如上所述，液晶显示面板 81 具备显示区 50 及划分在其外侧的边框区 51(参照图 1)。另外，如图 11(a)所示，在边框区 51 有栅极布线区(area)58、源极布线区 59、驱动电路安装区 60 及外部端子区 71 等。

0076

栅极布线 11 从显示区 50 经由边框区 51 的栅极布线区 58 延伸而

设置到驱动电路安装区 60。同样地，源极布线 21 也从显示区 50 经由边框区 51 的源极布线区 59 延伸而设置到驱动电路安装区 60。

0077

外部端子区 71 和驱动电路安装区 60 经由布线（未图示）连接。外部信号从 FPC(Flexible Printed Circuit)等传送给外部端子区 71 上形成的端子(未图示)。然后，来自外部的各种信号从外部端子区 71 传送给位于驱动电路安装区 60 的驱动电路(未图示)。在驱动电路安装区 6a 中配有栅极布线 11 的栅极端子和源极布线 21 的源极端子。然后，根据来自外部的控制信号，驱动电路将栅极信号供给栅极布线，将显示信号供给源极布线。由此，与显示数据对应的显示电压被传送给各像素电极。

0078

图 15 表示比较例 3 的驱动电路安装区中的栅极端子 112 及源极端子 122 的示意剖面图。在图 15 中，图中左侧表示栅极端子 112 的邻近区域，在图中右侧表示源极端子 122 的邻近区域。

0079

在比较例 3 中，栅极端子 112 上形成与栅电极 116 等相同的层即第 1 导电膜 110 的图案，通过栅绝缘膜 102 上形成的第 3 接触孔 163 使第 3 导电膜 130 即连接层 133 与第 1 导电膜 110 连接。同样地，源极端子 122 上形成与源电极 126 等相同的层即第 2 导电膜 120 的图案，经由层间绝缘膜 105 上形成的第 4 接触孔 164 与第 3 导电膜 130 即连接层 133 连接。也就是说，栅极端子 112 使用第 1 导电膜 110 和第 3 导电膜 130 的层，源极端子 122 使用第 2 导电膜 120 和第 3 导电膜 130 的层。因此，对于栅极端子 112 和源极端子 122，如图 15 所示，栅极端子 112 的高度 H11 和源极端子 122 的高度 H12 不同。

0080

如果栅极端子 112 和源极端子 122 的高度不同，则在使用同一芯片上装有栅极驱动电路和源极驱动电路的驱动电路的情况下，端子高

度低的一方有可能产生连接不良。特别是若为小型面板等，则会有使用装有栅极驱动电路和源极驱动电路这两个电路的单一 IC 的情况，因此易产生连接不良。

0081

图 11(b)表示本实施例 4 的驱动电路安装区中的栅极端子 12 及源极端子 22 的示意剖面图。在图 11(b)中，图中左侧表示栅极端子 12 的邻近区域，图中右侧表示源极端子 22 的邻近区域。

0082

在本实施例 4 中，栅极端子 12 上形成与栅电极 16 等相同的层即第 1 导电膜 10 的图案，通过栅绝缘膜 2 上形成的接触孔而形成第 2 导电膜 20 的图案，在其上层第 3 导电膜 30 与第 2 导电膜 20 连接。同样地，源极端子 22 上也形成与栅电极 16 等相同的层即第 1 导电膜 10 的图案，通过栅绝缘膜 2 上形成的接触孔而形成第 2 导电膜 20 的图案，在其上层第 3 导电膜 30 与第 2 导电膜 20 连接。因此，对于栅极端子 12 和源极端子 22，如图 11(b)所示，栅极端子 12 的高度 H1 与源极端子 22 的高度 H2 相同。

0083

根据本实施例 4，栅极端子 12 和源极端子 22 用相同结构构成，因此，能够解决上述比较例 3 的问题。也就是说，根据本实施例 4，因为栅极端子 12 与源极端子 22 的端子高度相同，所以能够防止端子部中的连接不良。

0084

再有，也可考虑采用上述比较例 1 的方式，将栅极端子与源极端子的结构设为相同。例如，该方法是：在栅极布线和源极布线这两方中的任何一方，在布线的途中设置转换部，将栅极端子和源极端子这两方均设置成与图 15 所示的栅极端子 112 或源极端子 122 中任一方的结构统一，使高度一致。但是，如果选择与上述比较例 1 相同的结构，即经由第 3 导电膜使第 1 导电膜与第 2 导电膜连接的结构，则边框区

的面积会随着接触孔等的形成区域而增加。另外，整个(total)布线的电阻会随着布线转换而上升，因此，不利于提高显示特性。

0085

实施例 5

在本实施例 5 中将说明将本发明用于 TFT 阵列基板的保护电路的例。本实施例 5 的 TFT 阵列基板的基本结构与上述实施例 1 相同。

0086

在保护电路中，与上述实施例 3 中说明的驱动电路同样，通过在保护电路中的 TFT 的源/漏电极和栅电极之间设置连接部 8(参照图 10(a))，能够构成各种逻辑电路。如图 10(b)所示，通过设置使第 1 导电膜 10 与第 2 导电膜 20 接触的区域，在本实施例 5 的保护电路中也能够获得与上述实施例 3 的驱动电路相同的效果。

0087

根据本实施例 5，能够获得防止导电膜连接区(第 1 导电膜 10 和第 2 导电膜 20)中的金属布线受到腐蚀而降低接触电阻，以及使边框区 51 的面积狭小化等效果。

0088

另外，本发明不限于上述实施例 1~5 中说明的应用例。例如，也可用于检查电路等中。换言之，在需要连接第 1 导电膜与第 2 导电膜的所有位置上都可采用本发明。另外，在上述实施例 1~5 中说明了液晶显示装置上装有 TFT 阵列基板的例，但不限于此，还可用于 EL 显示装置等所有显示装置。

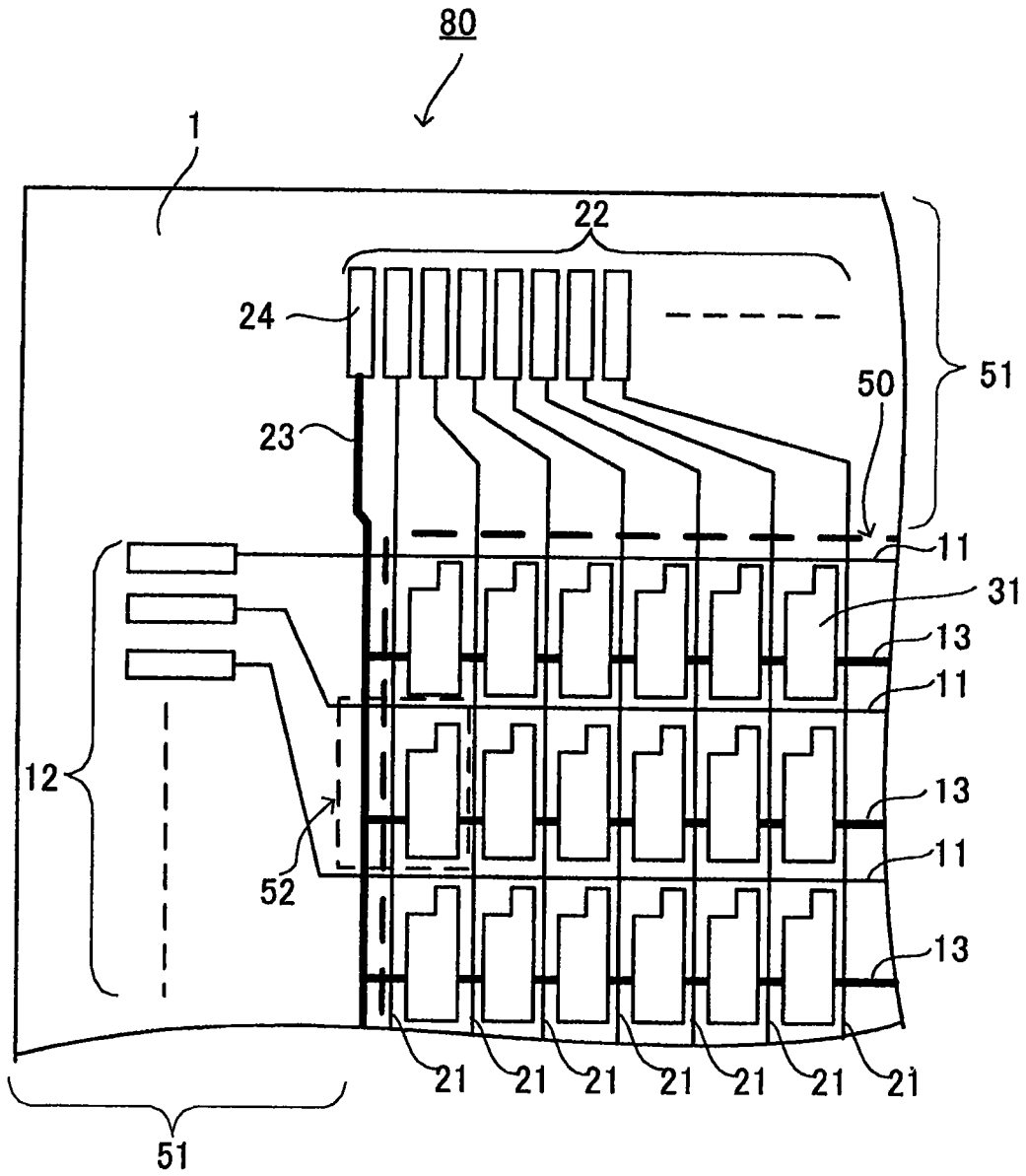


图 1

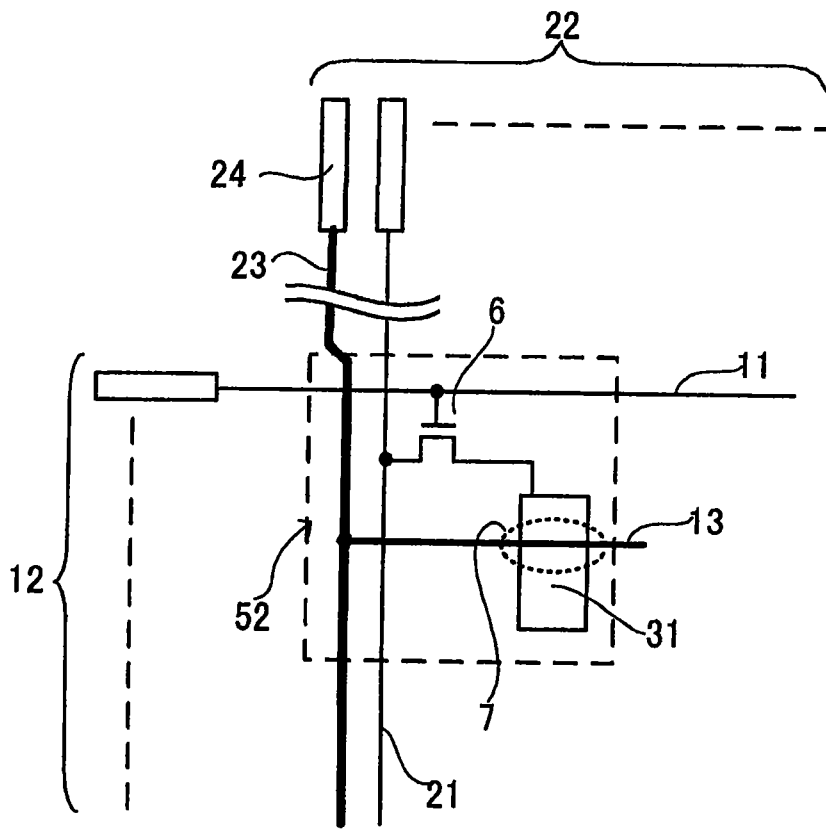


图 2

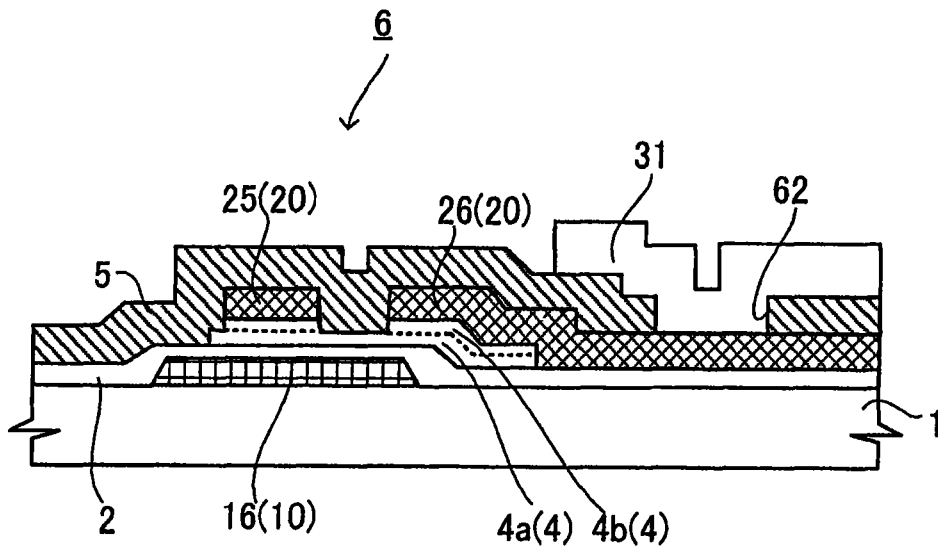


图 3

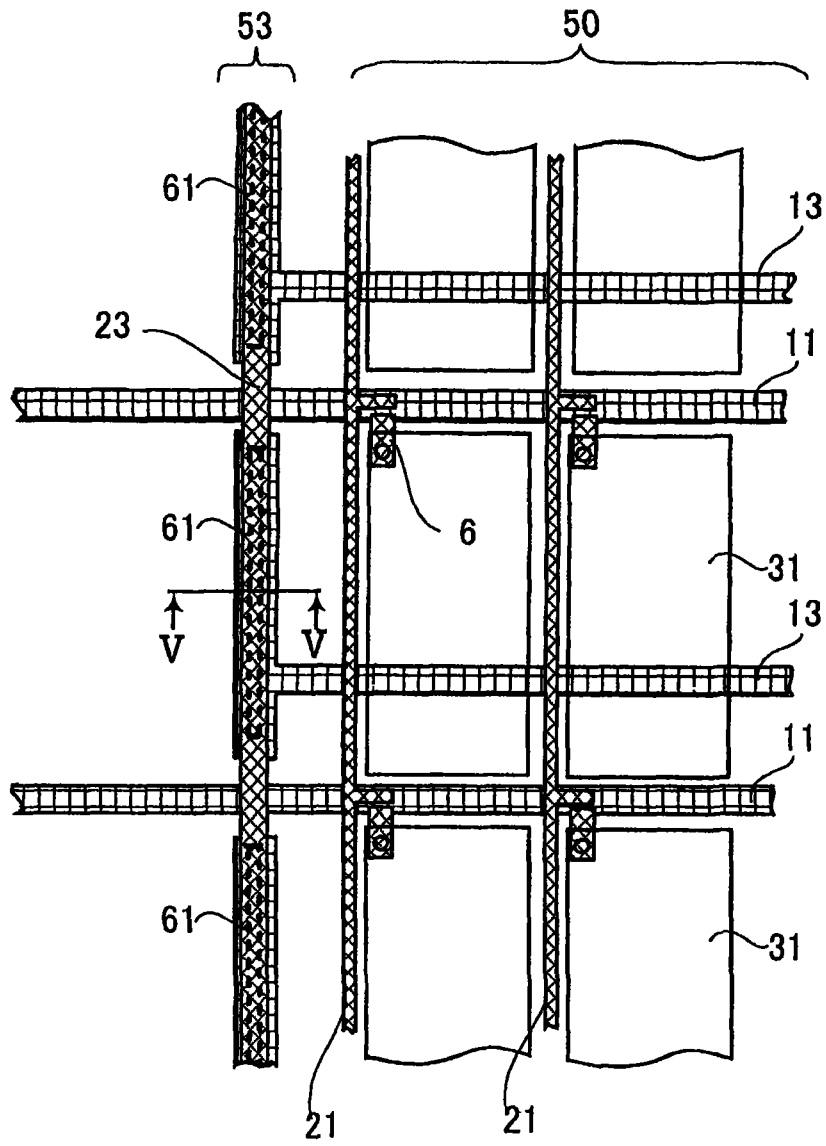


图 4

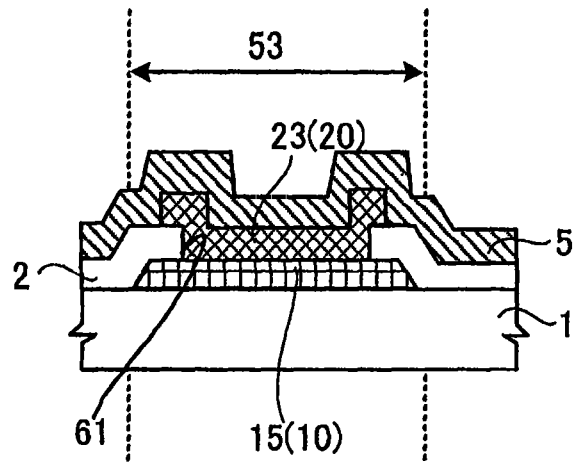


图 5

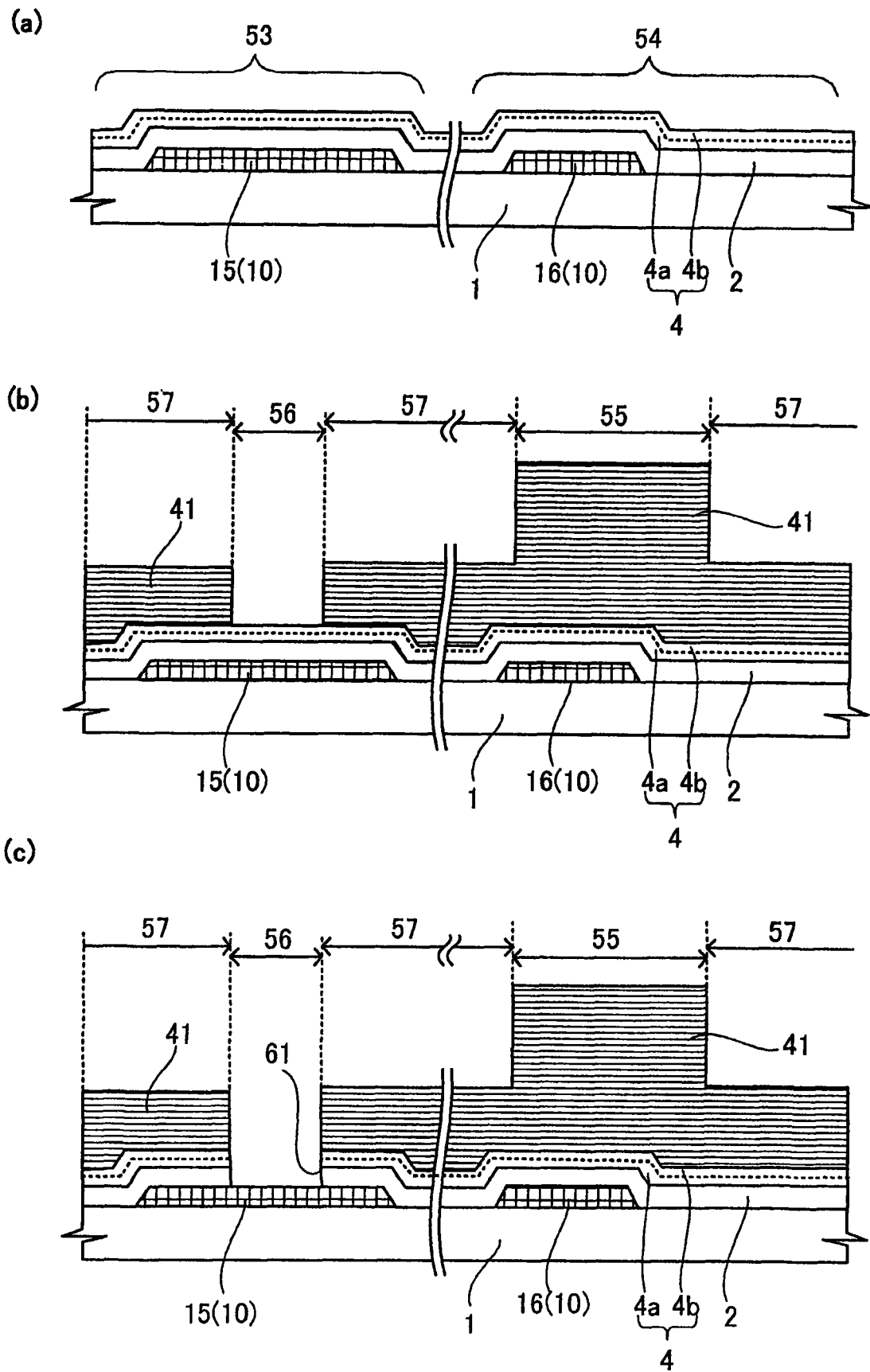


图 6

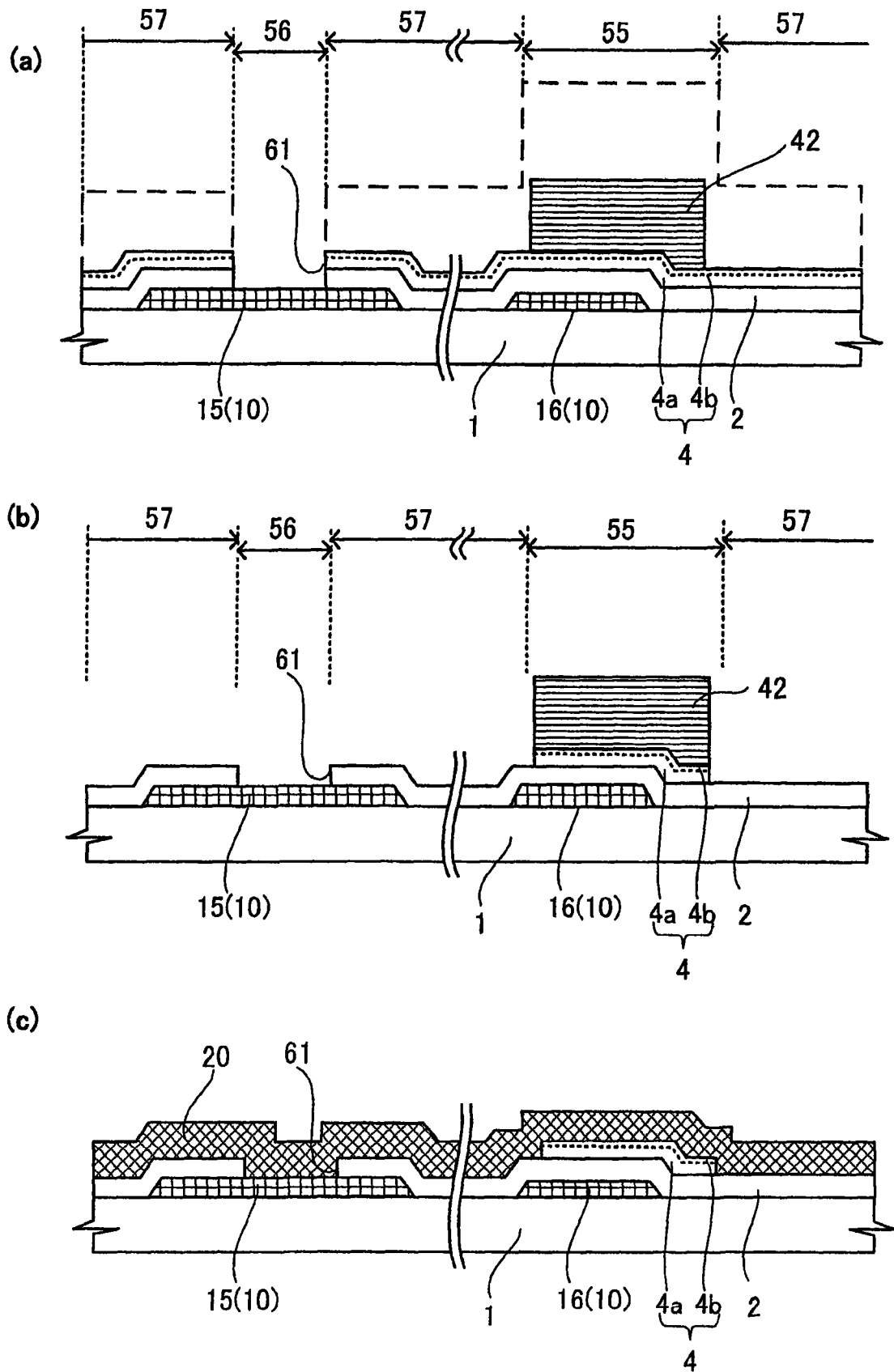


图 7

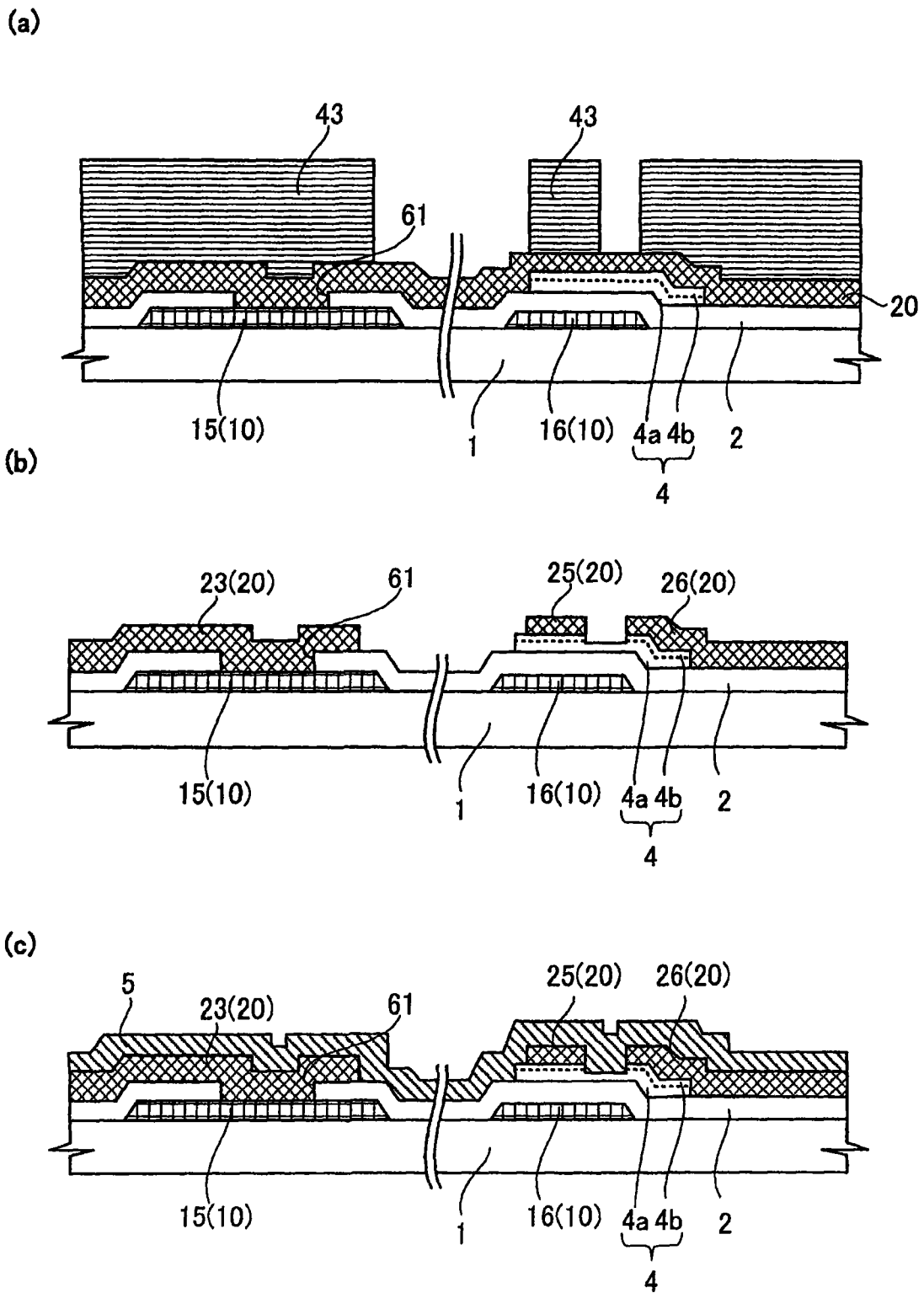


图 8

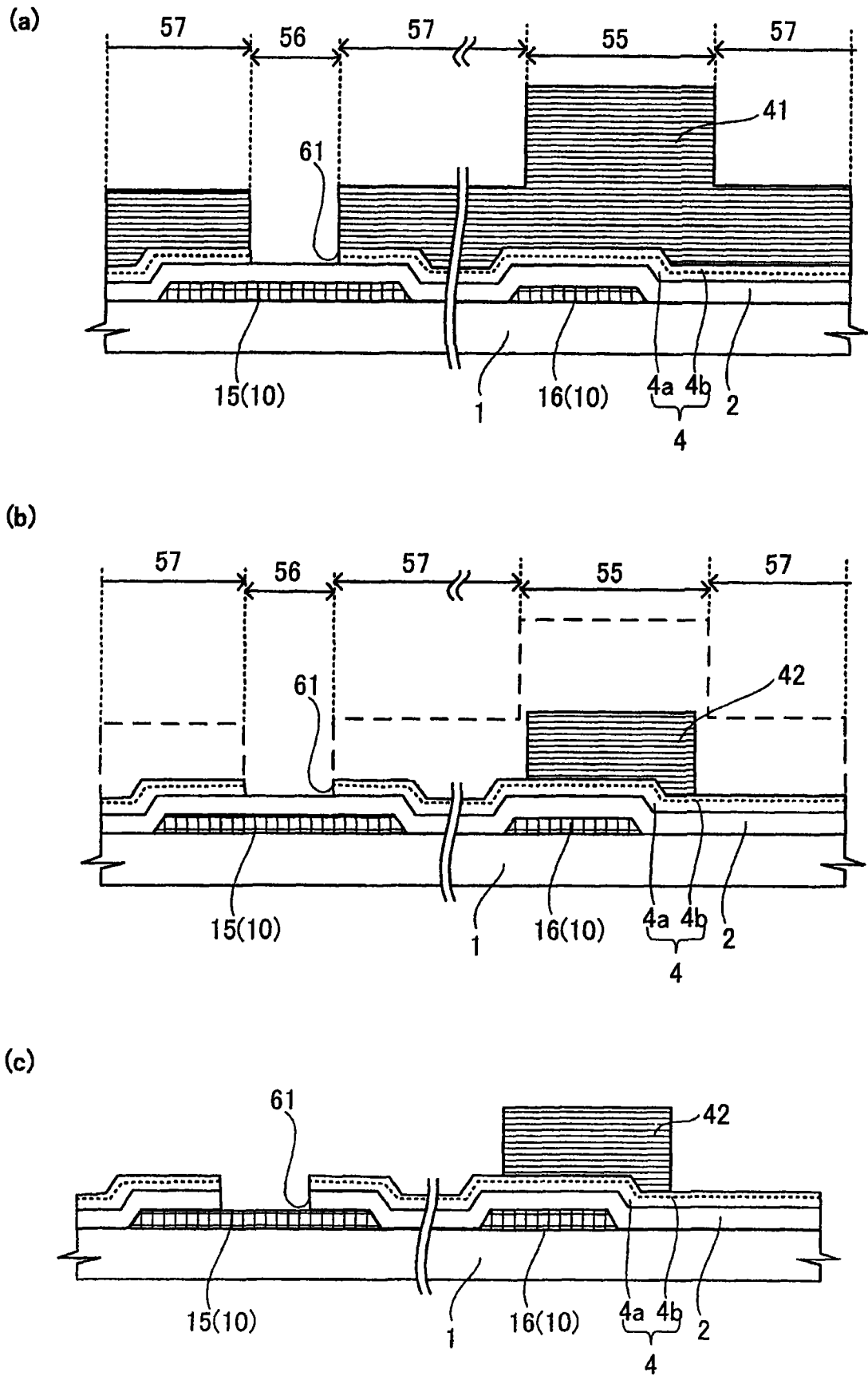
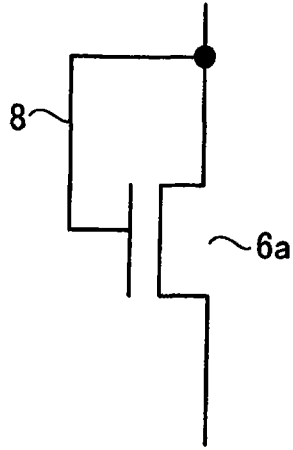


图 9

(a)



(b)

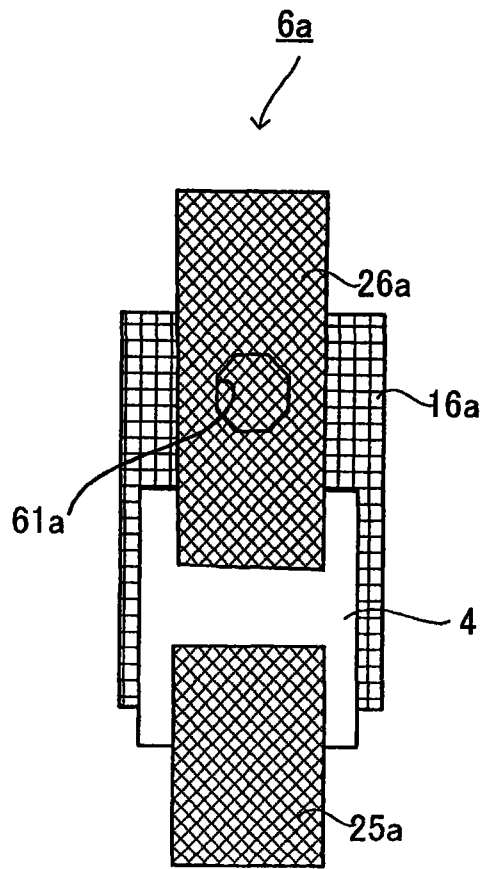


图 10

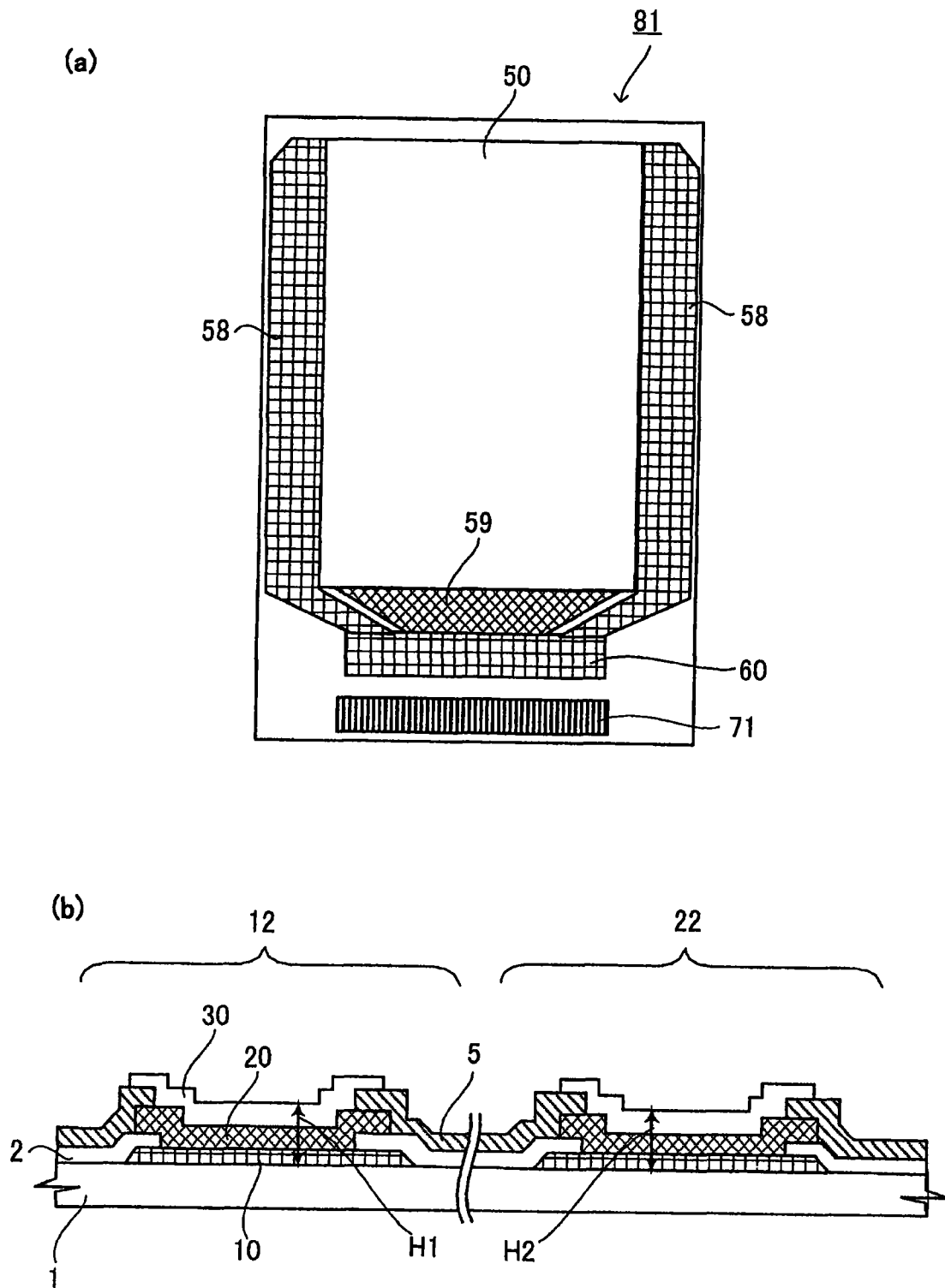


图 11

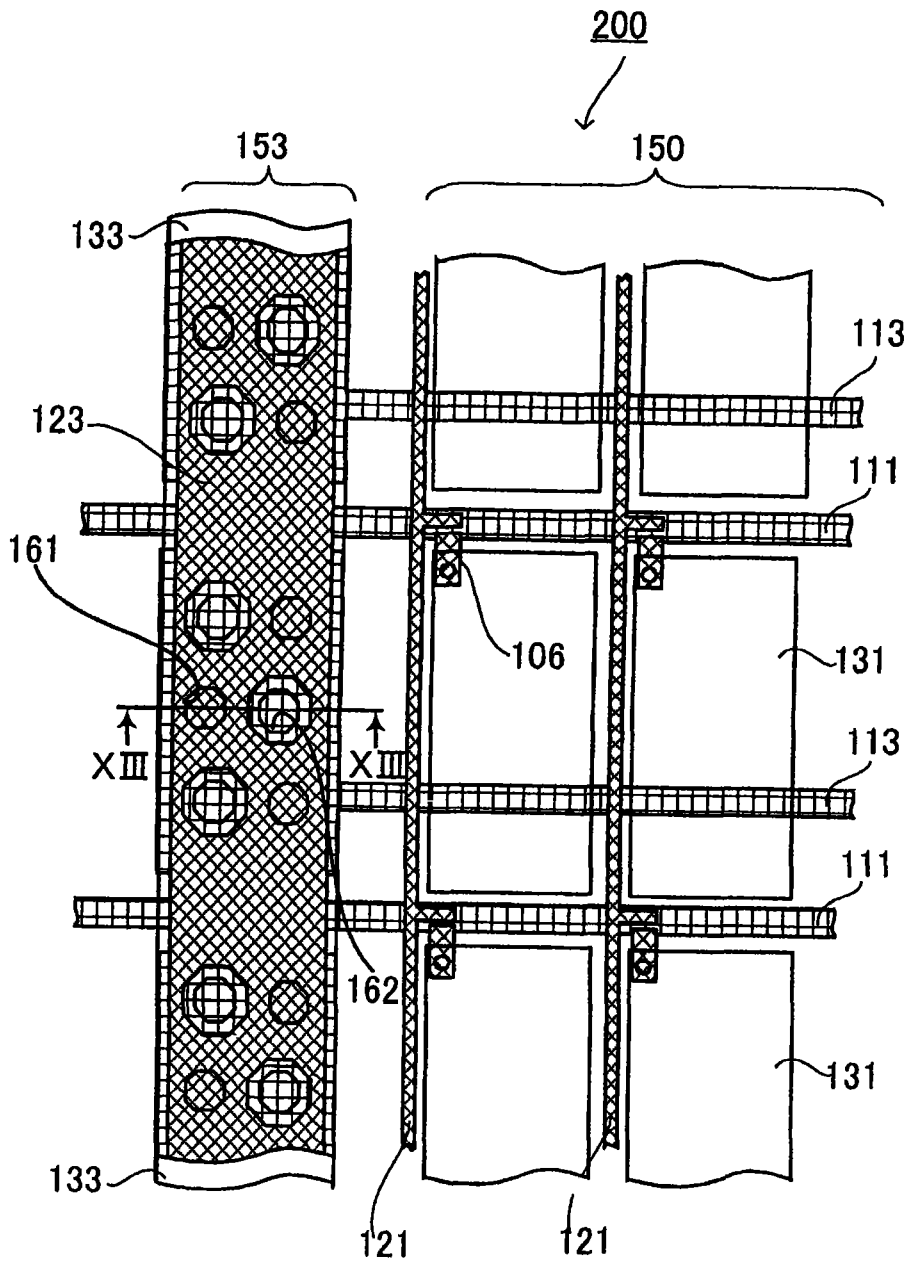


图 12

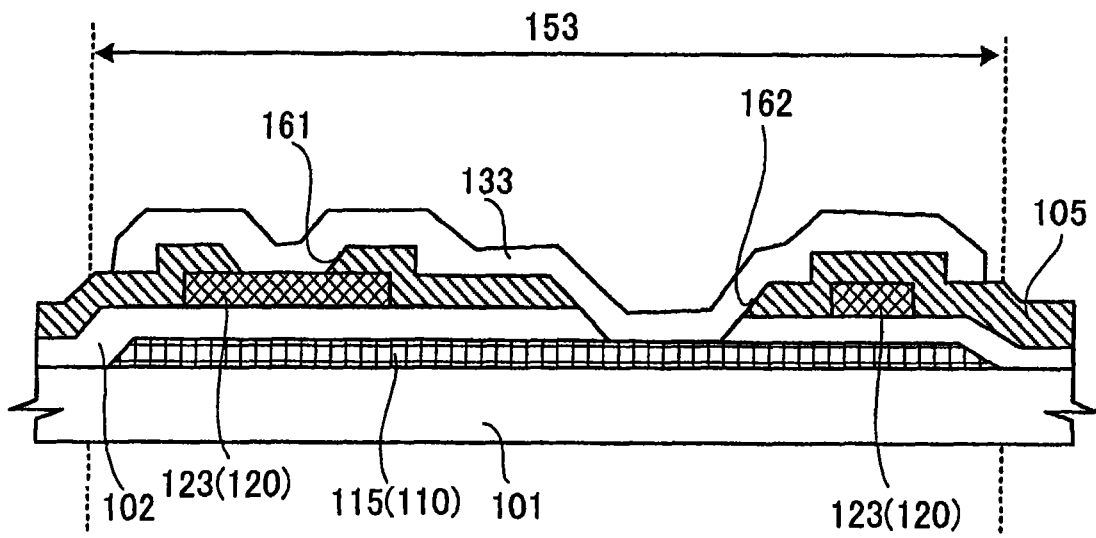


图 13

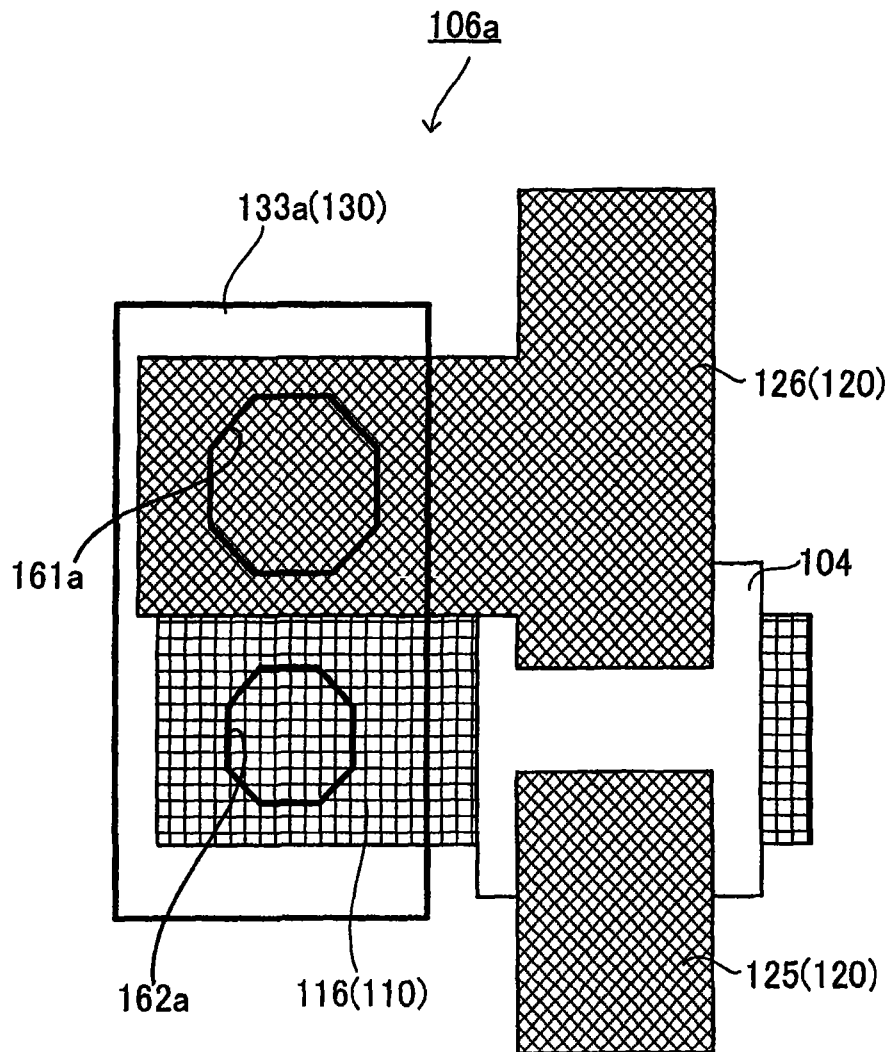


图 14

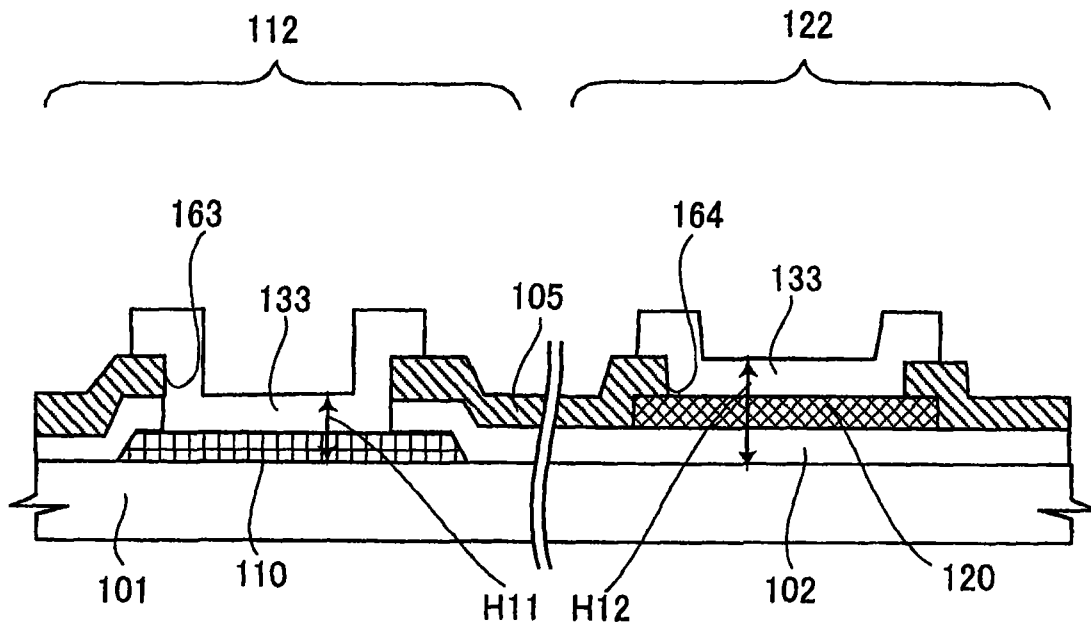


图 15