



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I572034 B

(45) 公告日：中華民國 106 (2017) 年 02 月 21 日

(21) 申請案號：104109854

(22) 申請日：中華民國 104 (2015) 年 03 月 26 日

(51) Int. Cl. : **H01L29/20 (2006.01)****H01L29/66 (2006.01)****H01L29/778 (2006.01)**

(71) 申請人：江文章 (中華民國) (TW)

新竹市東區建中路 45 號 12 樓

(72) 發明人：江文章 (TW)

(74) 代理人：蔡秀玫

(56) 參考文獻：

TW 457555

US 7972915B2

US 8035111B2

US 8076699B2

US 8946779B2

審查人員：李景松

申請專利範圍項數：32 項 圖式數：9 共 51 頁

(54) 名稱

III 族/氮化物之半導體元件及其製作方法

(57) 摘要

本發明係揭露一種 III 族/氮化物之半導體元件，其包含：基板；一緩衝層，設置於基板上；一半導體堆疊結構，半導體堆疊結構設置於緩衝層上，半導體堆疊結構之上具有閘極、源極與汲極，且閘極與半導體堆疊結構間具有閘極絕緣層，形成一高速電子遷移電晶體；以及一鈍化膜，覆蓋高速電子遷移電晶體，鈍化膜具有複數開口，該鈍化膜之材料係氮氧化矽。

指定代表圖：

符號簡單說明：

10 . . . 基板

20 . . . 緩衝層

301 . . . 通道層

302 . . . 阻障層

303 . . . 覆蓋層

31 . . . 閘極

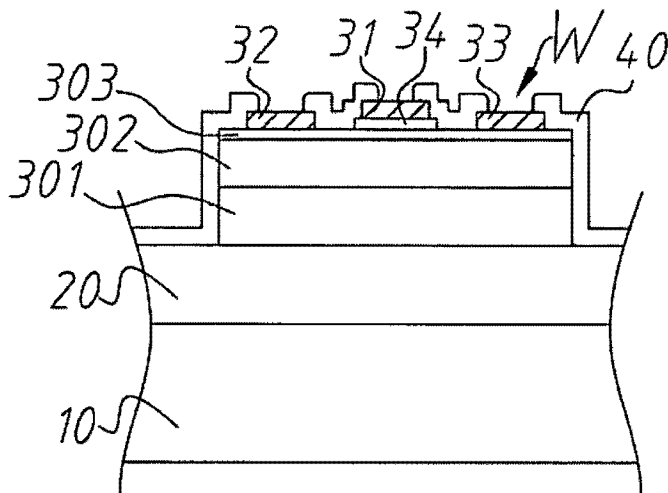
32 . . . 源極

33 . . . 汲極

34 . . . 閘極絕緣層

40 . . . 鈍化膜

W . . . 開口



第三A圖



申請日: 104. 3. 26

IPC分類: H01L 29/20 (2006.1)

H01L 29/66 (2006.1)

H01L 29/778 (2006.1)

**【發明摘要】****【中文發明名稱】** III族/氮化物之半導體元件及其製作方法**公告本****【中文】**

本發明係揭露一種III族/氮化物之半導體元件，其包含：基板；一緩衝層，設置於基板上；一半導體堆疊結構，半導體堆疊結構設置於緩衝層上，半導體堆疊結構之上具有閘極、源極與汲極，且閘極與半導體堆疊結構間具有閘極絕緣層，形成一高速電子遷移電晶體；以及一鈍化膜，覆蓋高速電子遷移電晶體，鈍化膜具有複數開口，該鈍化膜之材料係氮氧化矽。

**【指定代表圖】 第三A圖****【代表圖之符號簡單說明】**

- 10 基板
- 20 緩衝層
- 301 通道層
- 302 阻障層
- 303 覆蓋層
- 31 閘極
- 32 源極
- 33 汲極
- 34 閘極絕緣層
- 40 鈍化膜
- W 開口

**【特徵化學式】**

無

## 【發明說明書】

【中文發明名稱】 III族/氮化物之半導體元件及其製作方法

【技術領域】

【0001】 本發明是關於一種高耐壓且低漏電流之III族/氮化物之半導體元件及其製作方法

【先前技術】

【0002】 蕭特基位障二極體(Schottky Barrier Diode, SBD)係利用乾式蝕刻的方式先將元件的主動區以外的區域，蝕刻至高阻值磊晶層，再製作歐姆接觸電極位於蕭特基接觸電極的兩側，其中蕭特基接觸電極為陽極而歐姆接觸電極為陰極。其設計最大缺陷在於，電極間距同時決定了順向電流及逆向崩潰電壓，當電極間距縮小時，順向電流雖上升，惟逆向崩潰電壓卻下降，反之當電極間距增加時，逆向崩潰電壓雖上升，惟順向電流卻下降，因此，習知技術必須在順向電流及逆向崩潰電壓抉擇，在電路設計時極其不便。習知技術為克服上述缺陷，係將蕭特基位障二極體耦接一高速電子遷移電晶體(High Electron Mobility Transistor, HEMT)，如第一圖所示，當順向偏壓時，高速電子遷移電晶體打開，當逆向偏壓時，高速電子遷移電晶體關閉，並藉此保護蕭特基位障二極體不因逆向電壓而崩潰，惟此方法係以兩個獨立元件耦接，在電路設計須考慮到佔據空間，且高速切換時，整體速度會下降，反而喪失元件本身特性。

【0003】 高速電子遷移電晶體一般分為兩種型態，其一為空乏型(Dynamic

mode)，其一為加強型(Enhancement mode)，習知技術係將空乏型高速電子遷移電晶體之通道注入氟離子(F<sup>-</sup>)，使其被注入區域之二維電子氣(2-Dimensional Electron Gas, 2DEG)被提升至費米能階(Fermi Energy Level)上，而形成一加強型高速電子遷移電晶體。惟不論何種型態，同樣具有上述順向電流與汲極至源極之崩潰電壓必須抉擇之缺陷，且主動元件還必須考量到如何減少表面漏電流。

**【0004】** 過去通常以二氧化矽(SiO<sub>2</sub>)作為高速電子遷移電晶體之表面鈍化膜，增加其崩潰電壓並減少表面漏電流，其係利用二氧化矽作與鈍化膜界面形成深度捕捉(Deep Trap)，捕捉該些電子，使崩潰電壓得以提升，惟深度捕捉卻造成在汲極給予固定的高電壓下元件從關閉狀態，也就是汲極至閘極處於逆向偏壓轉至啟動狀態，也就是汲極至源極處於順向偏壓時，電流回復速度過慢之問題。習知技術在逆向回復電流已有許多討論，惟尚無問線針對順向回復電流作進一步分析或討論，所謂順向回復電流，可參考第二圖，其係順向回復電流之示意圖，當元件於逆向偏壓時，電流非常小趨近於零，於此同時給予順向偏壓時，電流尚無法跟著電壓立即升高，必須延遲一段時間，將使得元件在高速環境下，操作速度減緩之問題。

**【0005】** 綜上所述，習知技術具有順向電流與逆向崩潰電壓無法同時優化，以及順向回復電流速度與表面漏電流無法同時優化之問題。

#### **【發明內容】**

**【0006】** 本發明之主要目的在於提供一種III族/氮化物之半導體元件，利用其結構特性同時具備高逆向崩潰電壓與高順向電流。

- 【0007】 本發明之次要目的在於提供一種III族/氮化物之半導體元件，利用其材料特性使其表面漏電流低且順向回復電流速度快。
- 【0008】 本發明之次要目的在於提供一種一次流程同時完成具備上述元件之製作方法。
- 【0009】 為達到上述所指稱之各目的與功效，本發明係揭露一種III族/氮化物之半導體元件，其包含：一基板；一緩衝層，設置於該基板上；一半導體堆疊結構，該半導體堆疊結構設置於該緩衝層上，該半導體堆疊結構之上具有一閘極、一源極與一汲極，且該閘極與該半導體堆疊結構間具有一閘極絕緣層，以形成一高速電子遷移電晶體；以及一鈍化膜，覆蓋該高速電子遷移電晶體，該鈍化膜具有複數開口，該些開口各別對應該閘極、該源極與該汲極，該鈍化膜之材料係氮氧化矽。
- 【0010】 本發明在一實施例中係III族/氮化物之半導體元件，其包含：一基板；一緩衝層，設置於該基板上；一第一半導體堆疊結構，該第一半導體堆疊結構設置於該緩衝層上，該第一半導體堆疊結構之上具有一閘極、一源極與一汲極，且該閘極與該第一半導體堆疊結構間具有一閘極絕緣層，以形成一高速電子遷移電晶體；一第二半導體堆疊結構，該第二半導體堆疊結構設置於該緩衝層上，該第二半導體堆疊結構之上具有一陽極與一陰極，形成一蕭特基位障二極體，該陽極連接該閘極，且該陰極連接該汲極；以及一鈍化膜，覆蓋該高速電子遷移電晶體與該蕭特基位障二極體，該鈍化膜具有複數開口，該些開口分別對應該源極與該陽極。
- 【0011】 本發明在一實施例中係III族/氮化物之半導體元件，其包含：一

基板；一緩衝層，設置於該基板上；一第一半導體堆疊結構，該第一半導體堆疊結構設置於該緩衝層上，該第一半導體堆疊結構之上具有一第一閘極、一第一源極與一第一汲極，且該第一閘極與該第一半導體堆疊結構間具有一第一閘極絕緣層，以形成一第一高速電子遷移電晶體；一第二半導體堆疊結構，該第二半導體堆疊結構設置於該緩衝層上，該第二半導體堆疊結構之上具有一第二閘極、一第二源極與一第二汲極，且該第二閘極與該第二半導體堆疊結構間具有一第二閘極絕緣層，以形成一第二高速電子遷移電晶體，該第一閘極連接該第二源極，及該第一源極連接該第二汲極；以及一鈍化膜，覆蓋該第一高速電子遷移電晶體與該第二高速電子遷移電晶體，該鈍化膜具有複數開口，該些開口分別對應該第一汲極、第二閘極與該第二源極。

#### 【圖式簡單說明】

- 【0012】 第一圖：其係為習知技術示意圖；
- 第二圖：其係為順向回復電流示意圖；
- 第三A圖：其係為本發明III族/氮化物之半導體元件第一實施例示意圖；
- 第三B圖：其係為本發明III族/氮化物之半導體元件之第一實施例之局部放大圖；
- 第四A~四F圖：其係為本發明第一實施例之製作流程圖；
- 第五A圖：其係本發明III族/氮化物之半導體元件第二實施例平視圖；
- 第五B圖：其係為第五A圖V-V' 線段剖視圖；
- 第五C圖：其係為第五A圖V-V' 線段另一實施例剖視圖；



第五D圖：其係為本發明第二實施例之等效電路圖；13

第六A~六E圖：其係為本發明第二實施例之製作流程圖；

第七A圖：其係本發明III族/氮化物之半導體元件第三實施例平視圖；

第七B圖：其係為第七A圖U-U' 線段剖視圖；

第七C圖：其係為第三實施例之等效電路圖；21

第八A~八F圖：其係為本發明第三實施例之製作流程圖；

第九圖：其係本發明III族/氮化物之半導體元件第四實施例示意圖。28

#### 【實施方式】

【0013】 為使 貴審查委員對本發明之特徵及所達成之功效有更進一步之瞭解與認識，謹佐以較佳之實施例及配合詳細之說明，說明如後：

【0014】 參照第三A圖，其係為本發明III族/氮化物之半導體元件第一實施例示意圖，如圖所示：本發明III族/氮化物之半導體元件，其係包含：一基板10、一緩衝層20、一半導體堆疊結構30、以及一鈍化膜40。緩衝層20設置於基板10上，半導體堆疊結構30設置於緩衝層20上，半導體堆疊結構30上具有複數電極，分別係一閘極31、一源極32與一汲極33，且閘極31與半導體堆疊結構30之間具有一閘極絕緣層34，使半導體堆疊結構30與該些電極形成一高速電子遷移電晶體，此外，鈍化膜40係覆蓋高速電子遷移電晶體，具有複數個開口W，開口W位置分別對應在閘極31、源極32與汲極33之上。

【0015】 基板10之材料為矽，緩衝層20之材料則為氮化鎵，半導體堆疊結

構30之材料為氮化鎵與氮化鎵鋁相互堆疊，該半導體堆疊結構包含一通道層301、一阻障層302及一覆蓋層303，注意的是，上述材料並非本發明之限制條件。

【0016】 覆蓋於高速電子遷移電晶體之鈍化膜40，其材料為氮氧化矽，且折射率介於1.46~1.98之間。鈍化膜40材料使用氮氧化矽，可有效減少鈍化膜40與氮化鎵鋁界面之深層捕捉，抑制表面漏電流，且可避免表面累積過多電荷造成電極燒毀。此外，考量表面漏電流與回復電流速度，必須取得一平衡點，本發明研究材料之晶格(Lattice Structure)結構與界面深層捕捉，最佳參數係在該氮氧化矽之折射率介於1.46~1.98之間，並且厚度大於100nm，除有效抑制元件表面漏電流外，亦可使元件可在高速環境下操作，增加元件可靠度。

【0017】 閘極絕緣層34之材料，必須考量閘極31下方之缺陷累積電荷，而造成電流崩潰效應(Current Collapse Effect)，閘極絕緣層與前述鈍化膜40相同，採用氮氧化矽，折射率介於1.46~1.98之間；或者若考量到耐壓性，參照第三B圖，其係第一實施例之局部放大圖，亦可利用氮氧化矽結合氧化矽完成，閘極絕緣層34具有一底部341與一上部342，底部係氮氧化矽，而上部係氧化矽。此外，閘極絕緣層34必須長度大於閘極31，始能有效防止電流崩潰效應。

【0018】 請參照第四A~四F圖，其係為本發明III族/氮化物之半導體元件之實施例製作流程圖，如圖所示：於基板10上蝕刻一層疊結構3，深度介於250nm~1000nm，蝕刻後形成半導體堆疊結構30；進行第一次表面氧化處理；披覆歐姆金屬層，並掀離該歐姆金屬層，

於半導體堆疊結構30上形成一源極32與一汲極33；進行第二次表面氧化處理；披覆一絕緣層，並蝕刻該絕緣層，於源極32與汲極33間形成一閘極絕緣層34；披覆蕭特基金屬層，並掀離蕭特基金屬層，於閘極絕緣層34上形成一閘極31；披覆一鈍化膜40，並蝕刻鈍化膜40，使鈍化膜40具有複數個開口W，開口W位置分別對應閘極31、源極32與汲極33。

【0019】 於製程中，配合鈍化膜40與閘極絕緣層34材料採用氮氧化矽，蝕刻該層疊結構3時，深度係250nm~1000nm之間。原因在於，考量到蝕刻層疊結構3時，蝕刻深度越深，將使的氮化鎵與氮化鎵鋁應力釋放越多，通道速度產生變化，逆向漏電流亦隨之升高，且鈍化膜40之折射率調整，對於元件表面應力亦有影響，故鈍化膜40為氮氧化矽且折射率於1.46~1.98之間時，最佳化之蝕刻深度為250nm~1000nm。

【0020】 為避免覆蓋層表面為完整鍵結(Dangling Bond)或缺陷形成漏電流路徑，本發明利用表面氧化處理方式，對其表面進行修補，表面氧化處理係利用高溫氧化方式，溫度介於400~800°C之間，亦可利用電漿氧化方式為之。流程中，第二次表面氧化處理，可選擇先不去除表面氧化物，而待之後形成閘極絕緣層34時，一併去除。

【0021】 本發明III族/氮化物之半導體元件除上述幾點技術特徵外，更包含於製程中，可與本發明其他實施例之元件，於同一流程、同一基板上一併形成，其他實施例容後陳述。

【0022】 請參照第五A圖，其係本發明III族/氮化物之半導體元件第二實

施例平視圖，以及第五B圖，其係為第五A圖V-V' 線段剖視圖，如圖所示：本發明III族/氮化物之半導體元件其係包含：基板10、緩衝層20、一第一半導體堆疊結構30A、一第二半導體堆疊結構30B以及鈍化膜40。緩衝層20設置於基板上10，第一半導體堆疊結構30A與第二半導體堆疊結構30B設置於緩衝層20上。第一半導體堆疊結構30A上具有複數電極，分別係閘極31A、源極32A與汲極33A，且閘極31A與第一半導體堆疊結構30A間具有閘極絕緣層34A，使第一半導體堆疊結構30A與該些電極形成一高速電子遷移電晶體；第二半導體堆疊結構30B上具有一陽極31B與一陰極32B，形成一蕭特基位障二極體，並且陽極31B係連接閘極31A，陰極32B連接汲極33A。此外，鈍化膜40係覆蓋高速電子遷移電晶體與蕭特基位障二極體，鈍化膜40具有複數個開口W，開口W位置分別對應對在應源極32A與陽極31B。

【0023】 第一半導體堆疊結構30A與第二半導體堆疊結構30B之材料，為氮化鎵與氮化鎵鋁相互堆疊，且分別包含一通道層301、一阻障層302及一覆蓋層303，注意的是，上述材料並非本發明之限制。

【0024】 鈍化膜40材料為氮氧化矽，折射率介於1.46~1.98之間，並且厚度大於100nm，藉由鈍化膜40材料達到降低元件表面漏電流以及加速順向回復電流，已如前述。鈍化膜40之開口位置分別對應源極32A與陽極31B，供元件連接外部電路使用。

【0025】 本發明第二實施例之III族/氮化物半導體元件，包含高速電子遷移電晶體與蕭特基位障二極體，透過高速電子遷移電晶體保護蕭特基位障二極體，增加元件逆向崩潰電壓，且具有鈍化膜40保護，有效抑制表面漏電流，使元件可在高速環境下操作。此外，高

速電子遷移電晶體更進一步可為加強型(第五C圖)，利用加強型高速電子遷移電晶體需開啓電壓較高之特性，更可達到保護電路之功效。

- 【0026】 請參照第六A~六E圖，其係第二實施例之製作流程圖，如圖所示：  
於基板10上蝕刻一層疊結構3(圖未式)，深度介於250nm~1000nm，蝕刻後形成第一半導體堆疊結構30A與第二半導體堆疊結構30B；進行第一次表面氧化處理；披覆歐姆金屬層，並掀離該歐姆金屬層，於第一半導體堆疊結構上形成源極32A與汲極33A，於第二半導體堆疊結構上形成一陰極32B，且陰極32B係連接至汲極33A；進行第二次表面氧化處理；披覆一絕緣層，並蝕刻該絕緣層，於源極32A與汲極33A間形成閘極絕緣層34A；披覆蕭特基金屬層，並掀離蕭特基金屬層，於閘極絕緣層34A上形成閘極31A，於第二半導體堆疊結構30B上形成一陽極31B，且陽極31B連接至閘極31A；披覆鈍化膜40，並蝕刻鈍化膜40，使鈍化膜40具有複數個開口W，開口W位置分別對應源極32A與陽極31B。
- 【0027】 本發明第二實施例參數條件皆與第一實施例相同，不再贅述。由第二實施例製作流程可知，係得與第一實施例於同一個製程中完成，大幅節省時間及成本。
- 【0028】 此外，本實施例之高速電子遷移電晶體型態，若為加強型，僅需在製程中增加一步驟為注入氟離子即可。
- 【0029】 請參照第七A圖，其係本發明III族/氮化物半導體元件第三實施例平視圖，以及第七B圖，其係為第七A圖U-U'線段剖視圖，如

圖所示：基板10、緩衝層20、第一半導體堆疊結構30C、第二半導體堆疊結構30D以及鈍化膜40。緩衝層20設置於基板10上，第一半導體堆疊結構30C與第二半導體堆疊結構30D設置於緩衝層40上。第一半導體堆疊結構30C上具有複數電極，分別係第一閘極31C、第一源極32C與第一汲極32C，且第一閘極31C與第一半導體堆疊結構30C間具有第一閘極絕緣層34C，使第一半導體堆疊結構30C與該些電極形成第一高速電子遷移電晶體；第二半導體堆疊結構30D上具有複數電極，分別係第二閘極31D、第二源極32D與第二汲極33D，且第二閘極31D與第二半導體堆疊結構30D間具有第二閘極絕緣層34D，使第二半導體堆疊結構30D與該些電極形成第二高速電子遷移電晶體，並且第一閘極31C連接第二源極32D，第一源極32C連接第二汲極33D。此外，鈍化膜40係覆蓋第一高速電子遷移電晶體與第二高速電子遷移電晶體，鈍化膜40具有複數個開口W，開口W位置分別對應第一汲極33C、第二閘極31D與該第二源極32D。

【0030】 第一半導體堆疊結構30C與第二半導體堆疊結構30D之材料，為氮化鎵與氮化鎵鋁相互堆疊，且包含一通道層301、一阻障層302及一覆蓋層303，注意的是，上述材料並非本發明之限制。

【0031】 鈍化膜40材料為氮氧化矽，折射率介於1.46~1.98之間，並且厚度大於100nm，藉由鈍化膜40材料達到降低元件表面漏電流以及加速順向回復電流，已如前述。鈍化膜40之開口W位置分別對應第一汲極33C、第二閘極31D與該第二源極32D，供元件連接外部電路使用。

【0032】 本發明第三實施例之III族/氮化物半導體元件，包含第一高速電

子遷移電晶體與第二高速電子遷移電晶體，其中之一為空乏型，另一則為加強型。透過不同型態高速電子遷移電晶體耦接，可增加元件逆向崩潰電壓，且具有鈍化膜40保護，有效抑制表面漏電流，使元件可在高速環境下操作。

【0033】請參照第八A~八F圖，其係第二實施例之製作流程圖，如圖所示：於基板10上蝕刻一層疊結構3(圖未式)，深度介於250nm~1000nm，蝕刻後形成第一半導體堆疊結構30C與第二半導體堆疊結構30D；進行第一次表面氧化處理；披覆歐姆金屬層，並掀離該歐姆金屬層，於第一半導體堆疊結構30C上形成第一源極32C與第一汲極33C，於第二半導體堆疊結構30D上形成第二源極32D與第二汲極33D，且第一源極32C連接至第二汲極33D；於第二半導體堆疊結構中30D定義氟離子注入區，並將氟離子注入；進行氟離子熱處理以及第二次表面氧化處理；披覆一絕緣層，並蝕刻該絕緣層，於第一源極32C與第一汲極33C間形成第一閘極絕緣層34C，於第二源極32D與第二汲極32D間形成第二閘極絕緣層34D；披覆蕭特基金屬層，並掀離蕭特基金屬層，於第一閘極絕緣層34C上形成第一閘極31C，於第二閘極絕緣層34D上形成第二閘極31D，且第一閘極31C連接至第二源極32D；披覆鈍化膜40，並蝕刻鈍化膜40，使鈍化膜40具有複數個開口W，開口W位置分別對應第一汲極33C、第二閘極31D與該第二源極32D。

【0034】本發明第三實施例參數條件皆與第一實施例相同，不再贅述。由第三實施例製作流程可知，係得與第一、第二實施例於同一個製程中完成，大幅節省時間及成本。

【0035】請參照第九圖，其係本發明III族/氮化物之半導體元件第四實施

例示意圖，如圖所示：本發明III族/氮化物半導體元件可於前述實施例中結合防護二極體，舉例而言，於第一實施例中，其更包含：一第二半導體堆疊結構30F、一第二緩衝層304、一N型摻雜層501、一本質層502、一P型摻雜層503、一正極51以及一負極52，其中N型摻雜層501、一本質層502及一P型摻雜層形成一PIN二極體，係用來保護高速電子遷移電晶體或蕭特基位障二極體。

【0036】 PIN二極體之逆向崩潰電壓雖較高速電子遷移電晶體低，惟PIN二極體具有可回復性質，崩潰後可繼續使用，而高速電子遷移電晶體崩潰後即不可回復，利用此特性，於電路設計中，可使PIN二極體做為防突破元件，於逆向偏壓時先行崩潰，藉此保護高速電子遷移電晶體。

【0037】 防護二極體製作流程可結合本發明前述實施例一併完成。舉例而言，於第一實施例製程，蝕刻層疊結構3時，一併形成第二半導體堆疊結構30F；在第二半導體堆疊結構30F上形成防護二極體；於掀離該歐姆金屬層時，形成一負極52於防護二極體上；於蝕刻蕭特基金屬層時，形成一正極51於防護二極體上。藉此在一個製作流程中，同時於前述實施例完成具有防護二極體，節省時間及製造成本。

【0038】 本發明之III族/氮化物半導體元件，其係包含一高速電子遷移電晶體，具有一鈍化膜覆蓋於上方，鈍化膜材料為氮氧化矽，且折射率介於1.46到1.98之間，有效降低鈍化膜與氮化鎵鋁界面之深層捕捉，抑制表面漏電流，且元件不因過多電荷累積表面，造成漏電流過大而電擊燒毀，亦加快速順向回復電流速度，使元件可在高速環境下操作，增加元件可靠度。高速電子遷移電晶體之開



極絕緣層，亦採用氮氧化矽，且折射率介於1.46到1.98之間，藉此避免電流崩潰效應，並增加閘極耐壓。於第二實施例，其更包含蕭特基位障二極體，增加元件逆向崩潰電壓。於第三實施例，其更包含不同型態之高速電子遷移電晶體，達到增加逆向崩潰電壓之功效。第四實施例，其更包含防護二極體，保護元件不因逆向崩潰，發生不可回復情形。此外，本發明每一實施例之製作流程，均可一次性地中在同一塊基板上完成，大幅節省時間與成本。

【0039】 故本發明實為一具有新穎性、進步性及可供產業上利用者，應符合我國專利法專利申請要件無疑，爰依法提出發明專利申請，祈鈞局早日賜准專利，至感為禱。

【0040】 惟以上所述者，僅為本發明一實施例而已，並非用來限定本發明實施之範圍，故舉凡依本發明申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

#### 【符號說明】

- 10 基板
- 20 緩衝層
- 3 層疊結構
- 30 半導體堆疊結構
- 30A 第一半導體堆疊結構
- 30B 第二半導體堆疊結構
- 30C 第一半導體堆疊結構
- 30D 第二半導體堆疊結構

30E 第一半導體堆疊結構

30F 第二半導體堆疊結構

301 通道層

302 阻障層

303 覆蓋層

304 第二緩衝層

31 閘極

32 源極

33 汲極

34 閘極絕緣層

341 底部

342 上部

40 鈍化膜

501 N型摻雜層

502 本質層

503 P型摻雜層

51 正極

52 負極

PR 光阻

W 開口

## 【發明申請專利範圍】

- 【第1項】 一種III族/氮化物之半導體元件，其包含：
- 一基板；
  - 一緩衝層，設置於該基板上；
  - 一第一半導體堆疊結構，該第一半導體堆疊結構設置於該緩衝層上，該第一半導體堆疊結構之上具有一閘極、一源極與一汲極，且該閘極與該第一半導體堆疊結構間具有一閘極絕緣層，以形成一高速電子遷移電晶體；
  - 一第二半導體堆疊結構，該第二半導體堆疊結構設置於該緩衝層上，該第二半導體堆疊結構之上具有一陽極與一陰極，形成一蕭特基位障二極體，該陽極連接該閘極，且該陰極連接該汲極；以及
  - 一鈍化膜，覆蓋該高速電子遷移電晶體與該蕭特基位障二極體，該鈍化膜具有複數開口，該些開口分別對應該源極與該陽極。
- 【第2項】 如申請專利範圍第1項所述之半導體元件，其中該高速電子遷移電晶體為加強型。
- 【第3項】 如申請專利範圍第1項所述之半導體元件，其中該鈍化膜之材料係氮氧化矽。
- 【第4項】 如申請專利範圍第1項所述之半導體元件，其中該鈍化膜之厚度大於100nm。
- 【第5項】 如申請專利範圍第1項所述之半導體元件，其中該鈍化膜之折射率係1.46到1.98之間。

- 【第6項】 如申請專利範圍第1項所述之半導體元件，其中該閘極絕緣層長度大於該閘極長度。
- 【第7項】 如申請專利範圍第1項所述之半導體元件，其中該閘極絕緣層之折射率係1.46到1.98之間。
- 【第8項】 如申請專利範圍第1項所述之半導體元件，其中該第一半導體堆疊結構與該第二半導體堆疊結構，分別包含：
- 一通道層，設置於該基板上；
  - 一阻障層，設置於該通道層上；以及
  - 一覆蓋層，設置於該阻障層上。
- 【第9項】 如申請專利範圍第1項所述之半導體元件，其中更包含一防護二極體，設置於該緩衝層上，防止該高速電子遷移電晶體逆向崩潰。
- 【第10項】 一種III族/氮化物之半導體元件，其包含：
- 一基板；
  - 一緩衝層，設置於該基板上；
  - 一第一半導體堆疊結構，該第一半導體堆疊結構設置於該緩衝層上，該第一半導體堆疊結構之上具有一第一閘極、一第一源極與一第一汲極，且該第一閘極與該第一半導體堆疊結構間具有一第一閘極絕緣層，以形成一第一高速電子遷移電晶體；
  - 一第二半導體堆疊結構，該第二半導體堆疊結構設置於該緩衝層上，該第二半導體堆疊結構之上具有一第二閘極、一第二源極與一第二汲極，且該第二閘極與該第二半導體堆疊結構間具有一第二閘極絕緣層，以形成一第二高速電子遷移電晶體，該第一閘極連接該第二源極，及該第一源極連接該第二汲極；以及
  - 一鈍化膜，覆蓋該第一高速電子遷移電晶體與該第二高速電子遷

移電晶體，該鈍化膜具有複數開口，該些開口分別對應該第一汲極、第二閘極與該第二源極。

【第11項】 如申請專利範圍第10項所述之半導體元件，其中該鈍化膜之材料係氮氧化矽。

【第12項】 如申請專利範圍第10項所述之半導體元件，其中該鈍化膜之厚度大於100nm。

【第13項】 如申請專利範圍第10項所述之半導體元件，其中該鈍化膜之折射率係1.46到1.98之間。

【第14項】 如申請專利範圍第10項所述之半導體元件，其中該第一閘極絕緣層長度大於該第一閘極長度，該第二閘極絕緣層長度大於該第二閘極長度。

【第15項】 如申請專利範圍第10項所述之半導體元件，其中該第一閘極絕緣層與第二閘極絕緣層之折射率係1.46到1.98之間。

【第16項】 如申請專利範圍第10項所述之半導體元件，其中該第一半導體堆疊結構與該第二半導體堆疊結構，係分別包含：

一通道層，設置於該緩衝層上；

一阻障層，設置於該通道層上；以及

一覆蓋層，設置於該阻障層上。

【第17項】 如申請專利範圍第10項所述之半導體元件，其中更包含一防護二極體，設置於該緩衝層上，防止該空乏型高速電子遷移電晶體與該加強型高速電子遷移電晶體逆向崩潰。

【第18項】 一種III族/氮化物之半導體元件之製造方法，其步驟為：  
蝕刻一層疊結構，蝕刻深度介於250nm~1000nm間，形成一第一半導體堆疊結構；

進行第一次表面氧化處理；

披覆一歐姆金屬層，並掀離該歐姆金屬層，形成一源極與一汲極於該第一半導體堆疊結構上；

進行第二次表面氧化處理；

披覆一絕緣層，並蝕刻該絕緣層，形成一閘極絕緣層於該源極與該汲極間；

披覆一蕭特基金屬層，並掀離該蕭特基金屬層，形成一閘極於該閘極絕緣層上；以及

披覆一鈍化膜，並於該鈍化膜形成複數個開口，該些開口分別對應該源極、該汲極與該閘極，該鈍化膜之材料係氮氧化矽；

其中更包含：

蝕刻該層疊結構時，同時形成一第二半導體堆疊結構，並於該第二半導體堆疊結構之上形成一防護二極體；

掀離該歐姆金屬層時，同時形成一負極於該防護二極體；以及

掀離該蕭特基金屬層時，同時形成一正極於該防護二極體。

【第19項】 如申請專利範圍第18項所述之製造方法，其中該層疊結構係包含一通道層、一阻障層及一覆蓋層。

【第20項】 如申請專利範圍第18項所述之製造方法，其中表面氧化係利用高溫氧化方式，溫度介於400~800°C之間。

【第21項】 如申請專利範圍第18項所述之製造方法，其中表面氧化係利用電漿氧化方式。

【第22項】 一種III族/氮化物之半導體元件之製造方法，其步驟為：  
蝕刻一層疊結構，蝕刻深度介於250nm~1000nm間，形成一第一半導體堆疊結構與一第二半導體堆疊結構；

進行第一次表面氧化處理；

披覆一歐姆金屬層，並掀離該歐姆金屬層，形成一源極與一汲極

於該第一半導體堆疊結構上與形成一陰極於該第二半導體堆疊結構上；

進行第二次表面氧化處理；

披覆一絕緣層，並蝕刻該絕緣層，形成一閘極絕緣層於該源極與該汲極間；

披覆一蕭特基金屬層，並掀離該蕭特基金屬層，形成一閘極於該閘極絕緣層上與一陽極於該第二半導體堆疊結構上；以及

覆蓋一鈍化膜，並於該鈍化膜形成複數個開口，該些開口分別對應該源極、該陽極，該鈍化膜之材料係氮氧化矽。

【第23項】 如申請專利範圍第22項所述之製造方法，其中更包含在第二次表面氧化處理之前，於第一半導體堆疊結構中定義氟離子注入區，並將氟離子注入。

【第24項】 如申請專利範圍第22項所述之製造方法，其中該層疊結構係包含一通道層、一阻障層及一覆蓋層。

【第25項】 如申請專利範圍第22項所述之製造方法，其中表面氧化係利用高溫氧化方式，溫度介於400~800°C之間。

【第26項】 如申請專利範圍第22項所述之製造方法，其中表面氧化係利用電漿氧化方式。

【第27項】 如申請專利範圍第22項所述之製造方法，其中更包含蝕刻該層疊結構時，同時形成一第三半導體堆疊結構，並於該第三半導體堆疊結構上形成一防護二極體；

掀離該歐姆金屬層時，同時形成一負極於該防護二極體；以及

掀離該蕭特基金屬層時，同時形成一正極於該防護二極體。

【第28項】 一種III族/氮化物之半導體元件之製造方法，其步驟為：  
蝕刻一層疊結構，蝕刻深度介於250nm~1000nm間，形成至少一第

一半導體堆疊結構與一第二半導體堆疊結構；  
進行第一次表面氧化處理；  
披覆一歐姆金屬層，並掀離該歐姆金屬層，形成一第一源極與一第一汲極於該第一半導體堆疊結構上，及一第二源極與一第二汲極於該第二半導體堆疊結構上；  
於第二半導體堆疊結構中定義氟離子注入區，並將氟離子注入；  
進行氟離子熱處理與第二次表面氧化處理；  
披覆一絕緣層，並蝕刻該絕緣層，形成一第一閘極絕緣層於該第一源極與該第一汲極間，及一第二閘極絕緣層於該第二源極與該第二汲極間；  
披覆一蕭特基金屬層，並掀離該蕭特基金屬層，形成一第一閘極於該第一閘極絕緣層上，及第二閘極於該第二閘極絕緣層上；以及  
覆蓋一鈍化膜，並於該鈍化膜形成複數個開口，該開口分別對應該第一汲極、第二閘極與該第二源極。

【第29項】 如申請專利範圍第28項所述之製造方法，其中該層疊結構係包含一通道層、一阻障層及一覆蓋層。

【第30項】 如申請專利範圍第28項所述之製造方法，其中表面氧化係利用高溫氧化方式，溫度介於400~800°C之間。

【第31項】 如申請專利範圍第28項所述之製造方法，其中表面氧化係利用電漿氧化方式。

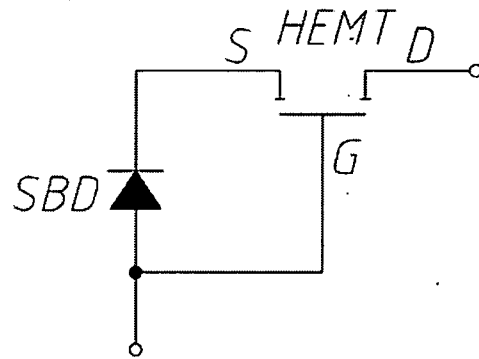
【第32項】 如申請專利範圍第28項所述之製造方法，其中更包含蝕刻該層疊結構時，同時形成一第三半導體堆疊結構，並於該第三半導體堆疊結構上形成一防護二極體；

掀離該歐姆金屬層時，同時形成一負極於該防護二極體；以及

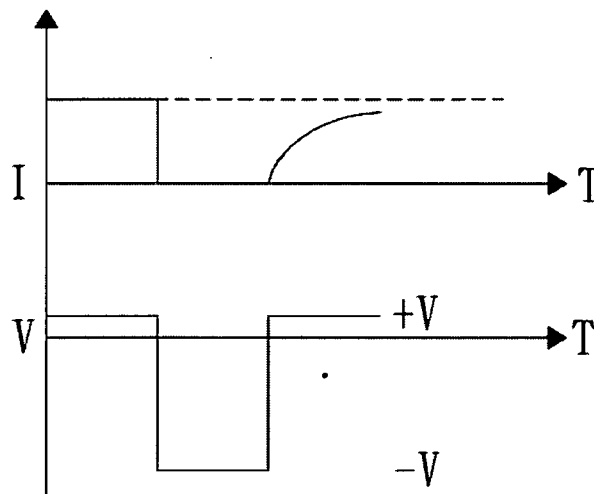


掀離該蕭特基金屬層時，同時形成一正極於該防護二極體。

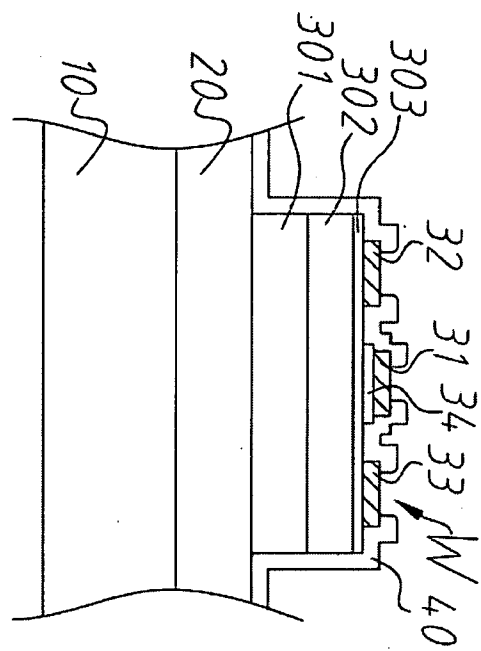
【發明圖式】



第一圖

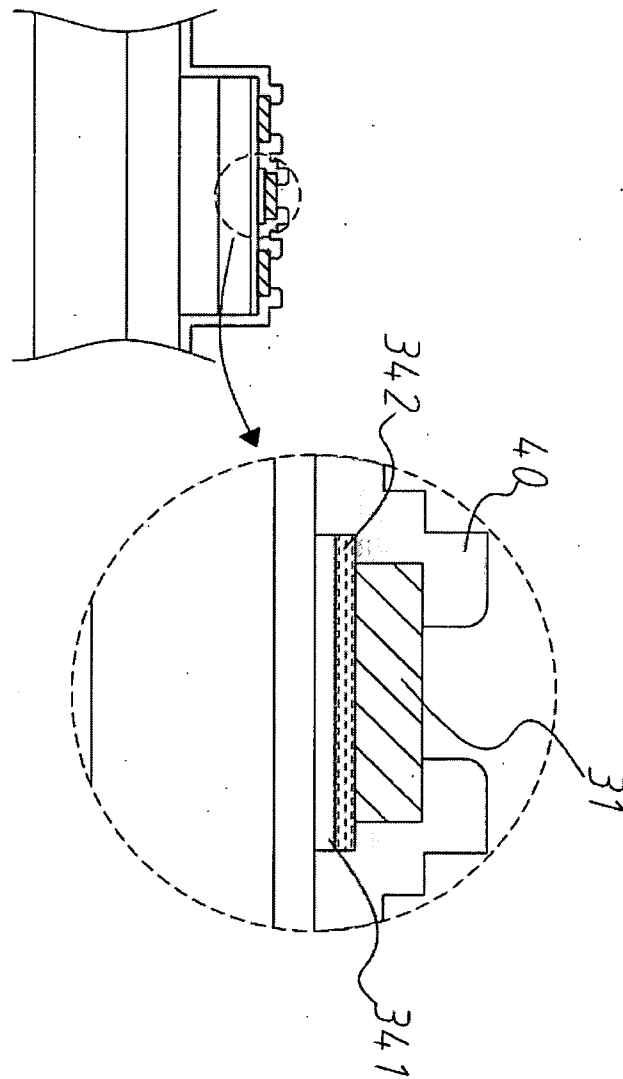


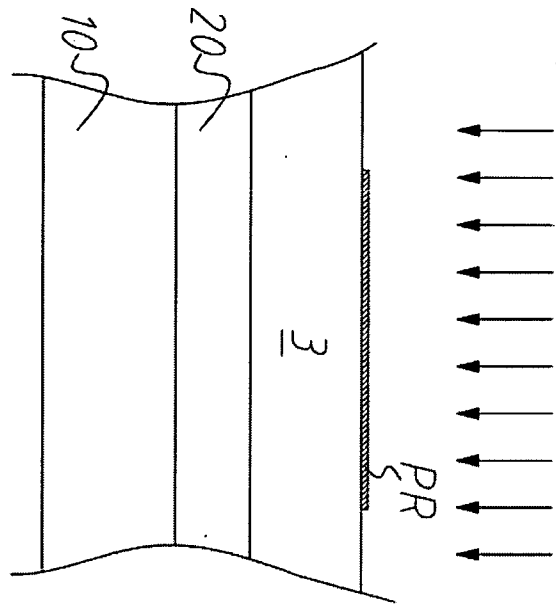
第二圖



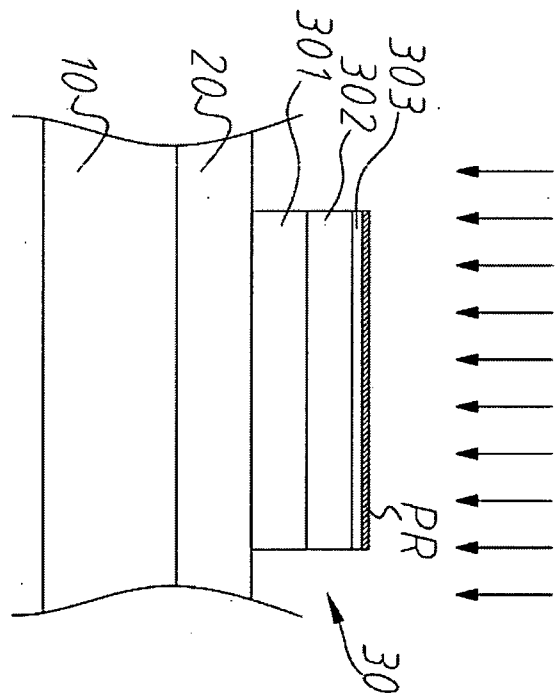
第三A圖

第三B圖

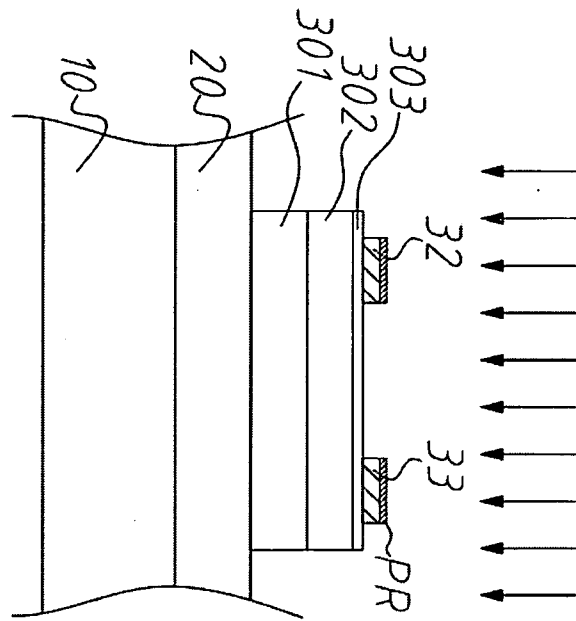




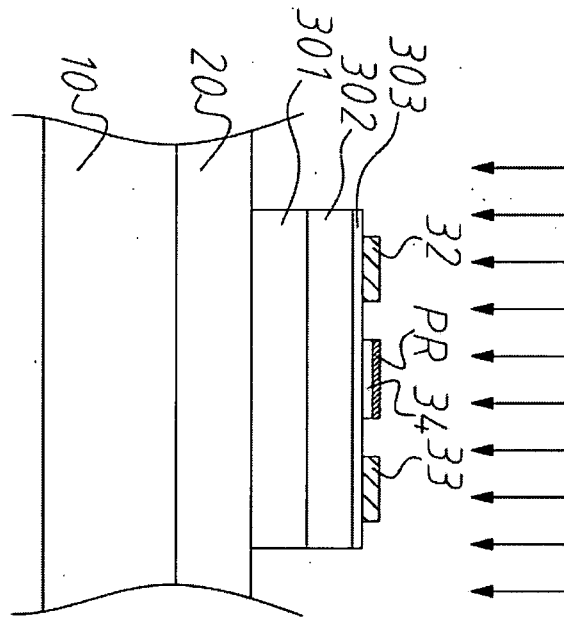
第四A圖



第四B圖

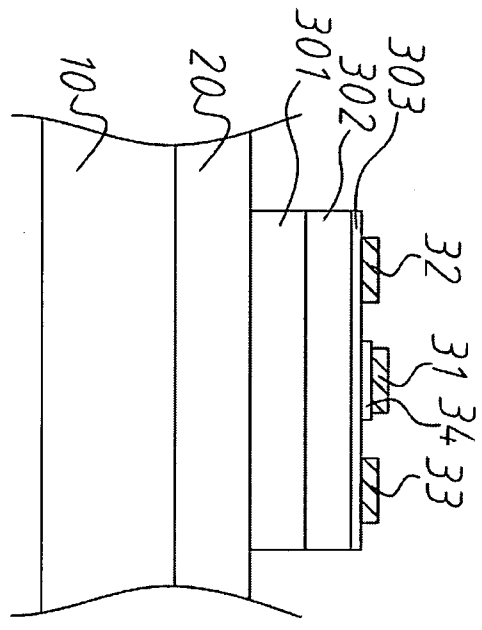


第四C圖

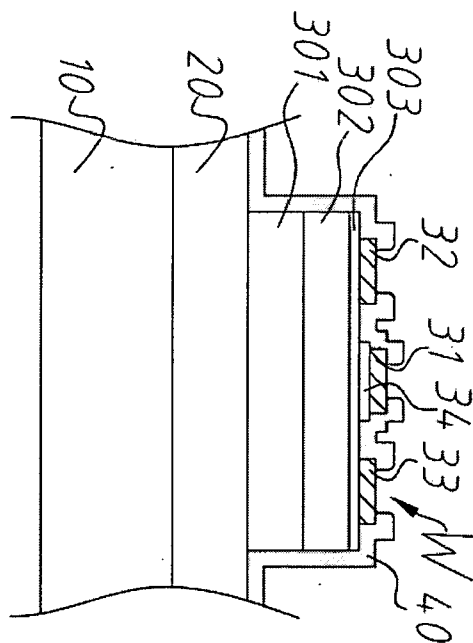


第四D圖

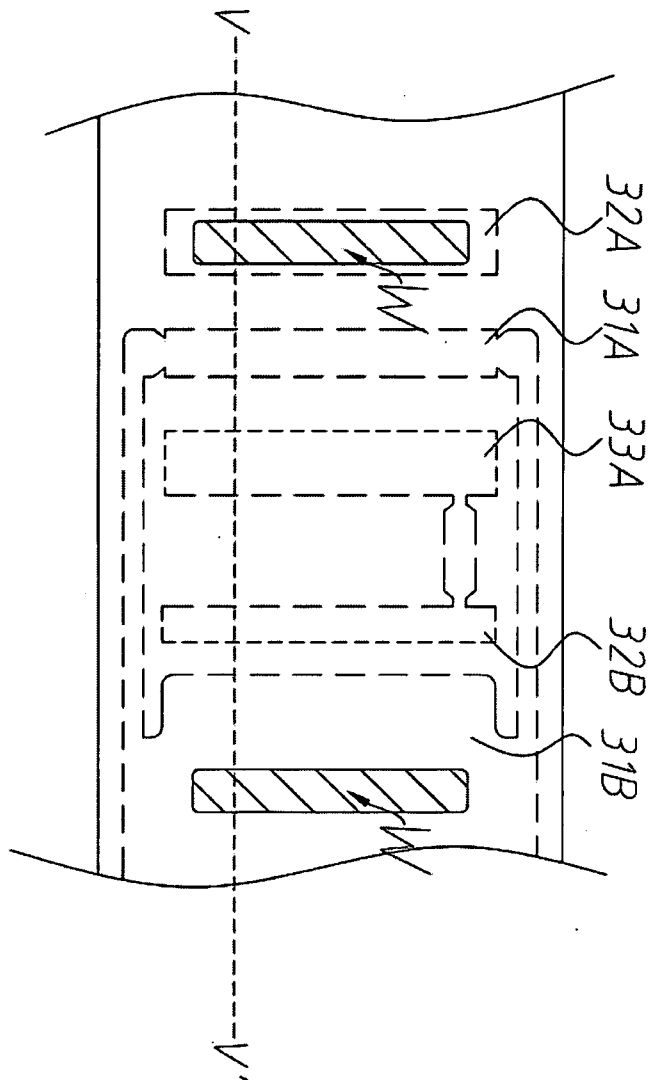




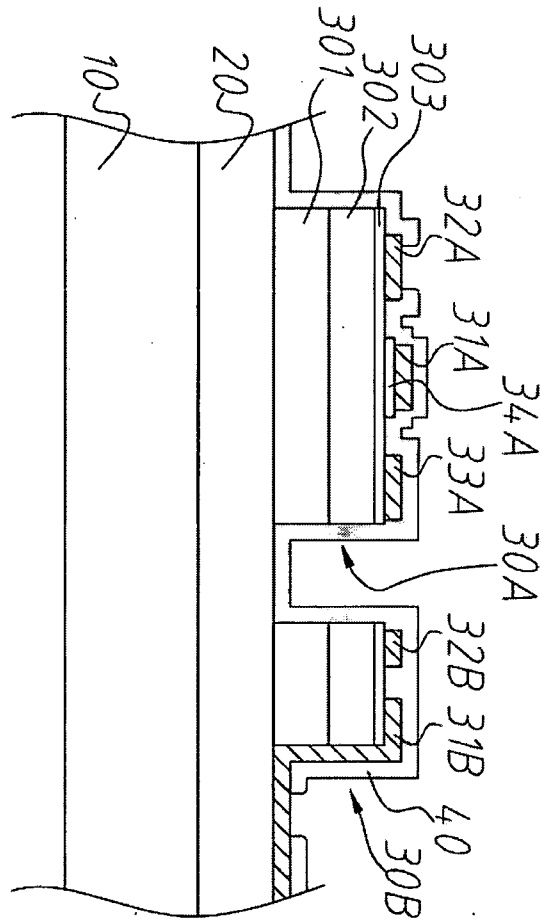
第四圖



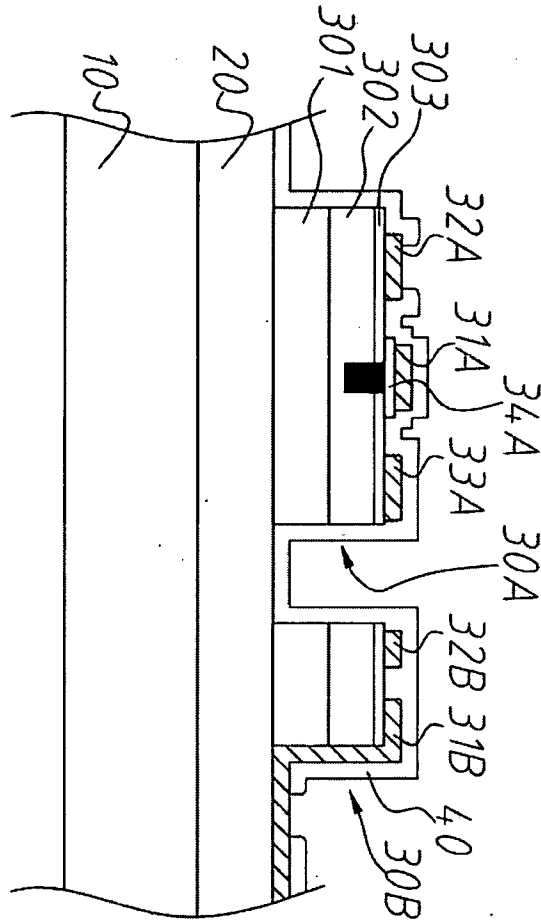
第四圖



第五A圖

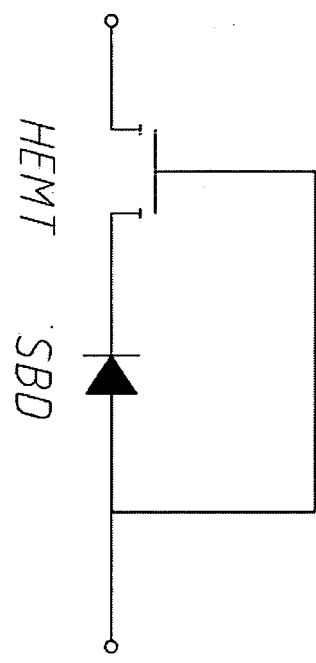


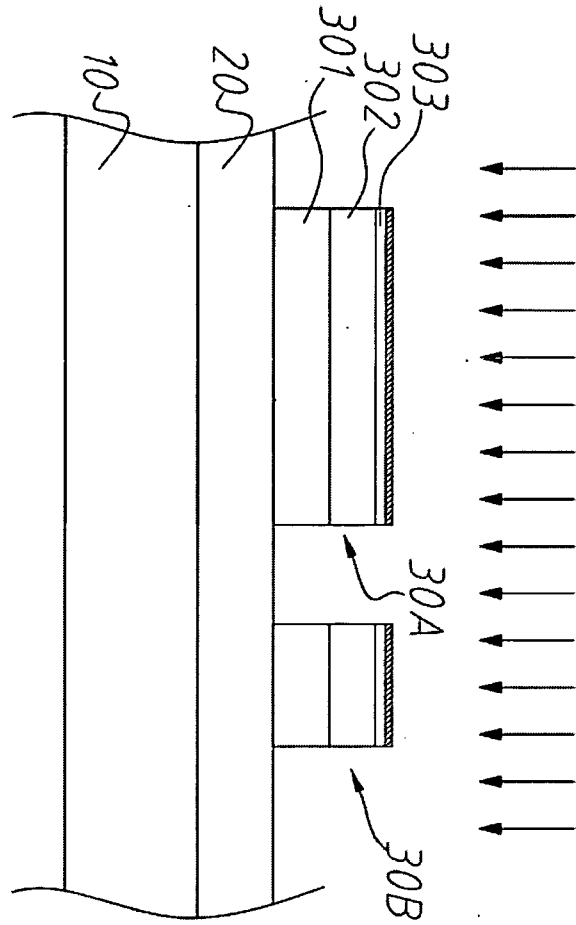
第五B圖



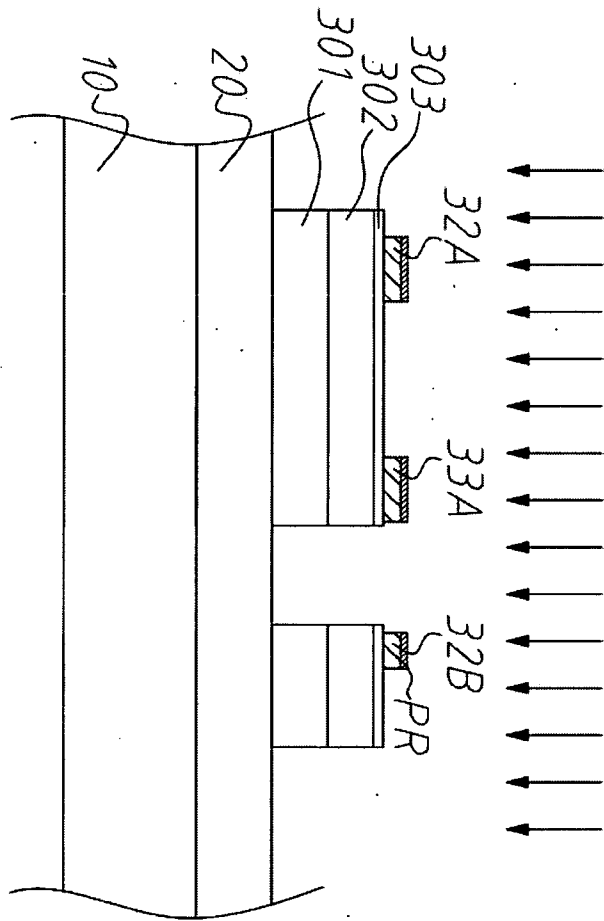
第五C圖

第五D圖



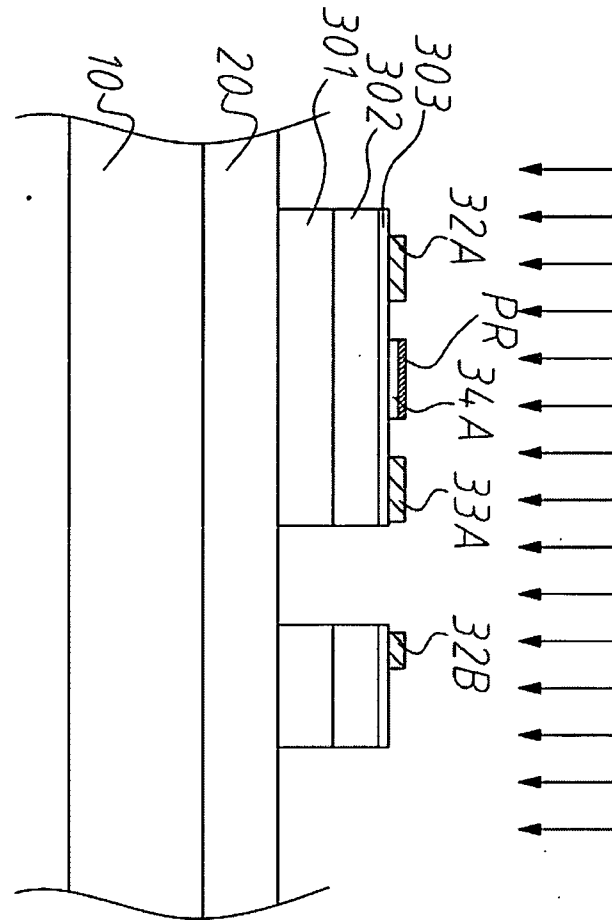


第六A圖

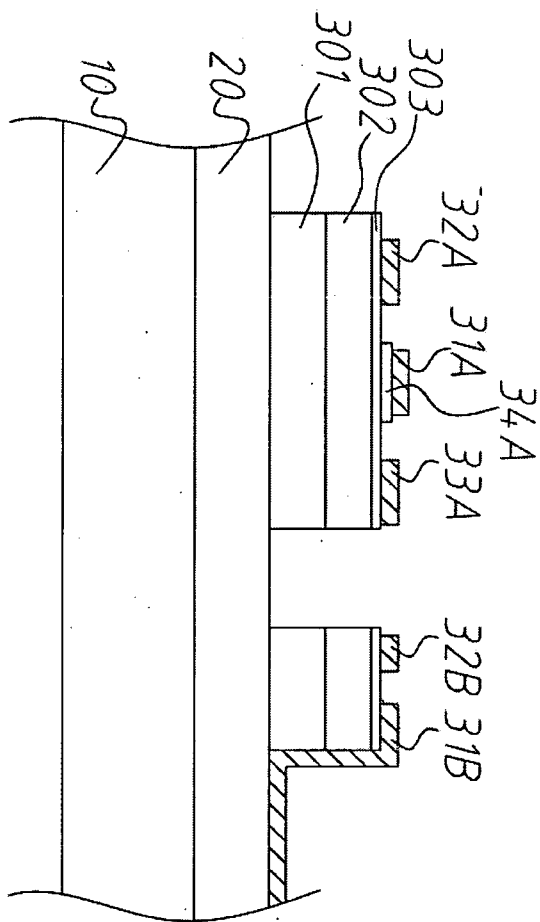


第六B圖

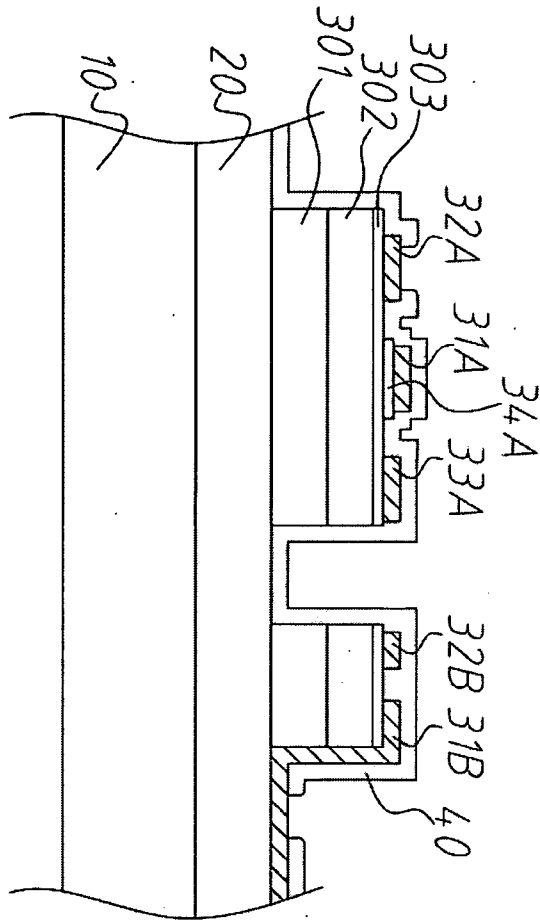




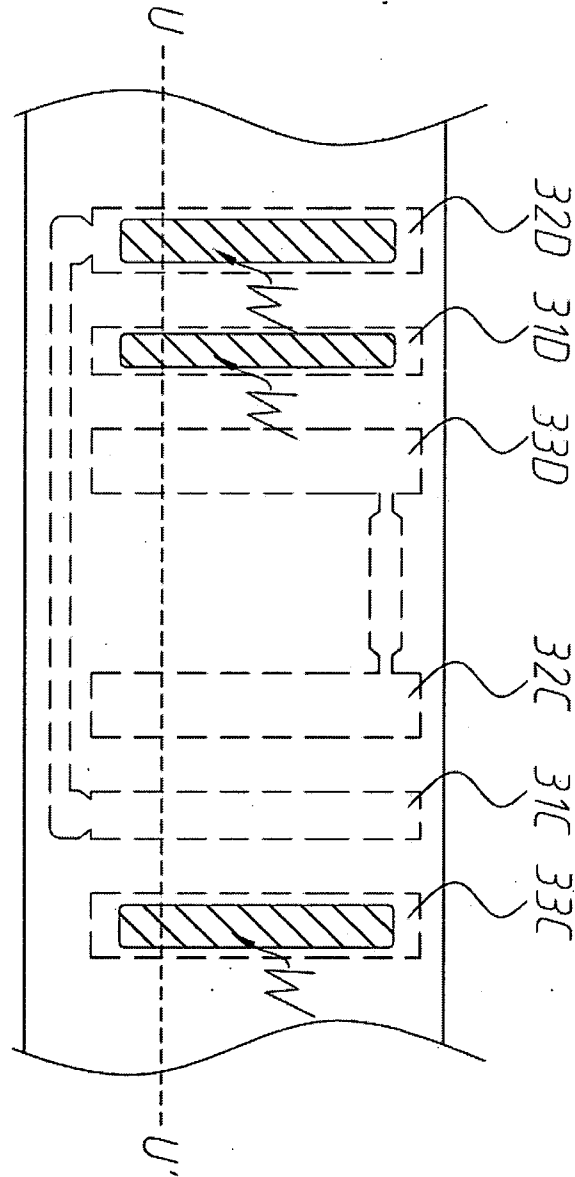
第六C圖



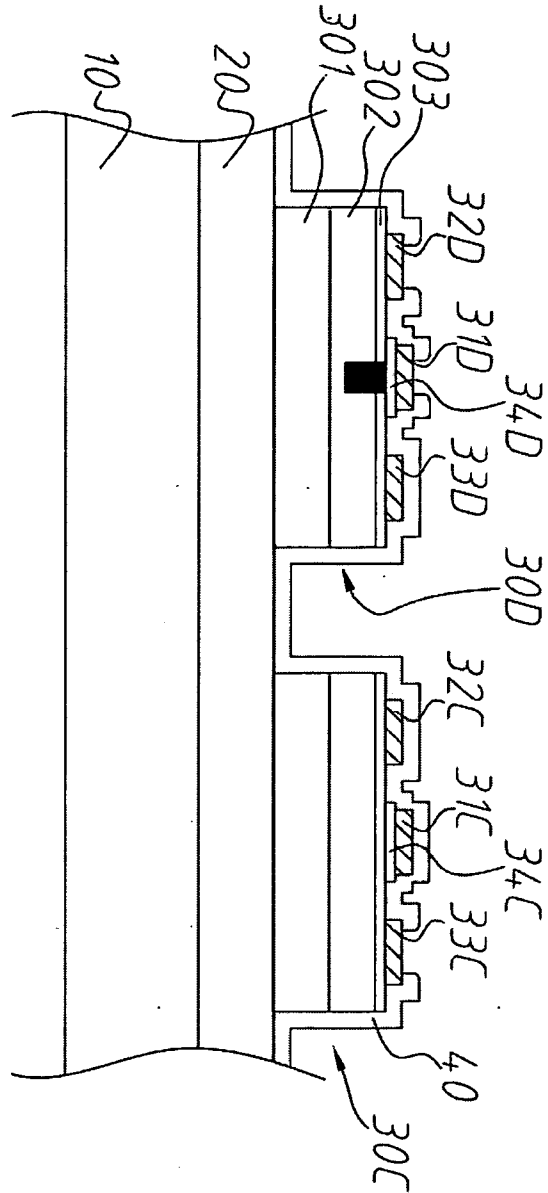
第六D圖



第六E圖

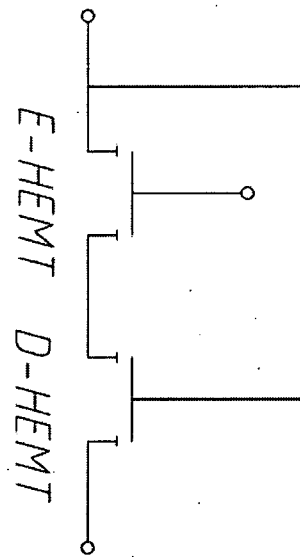


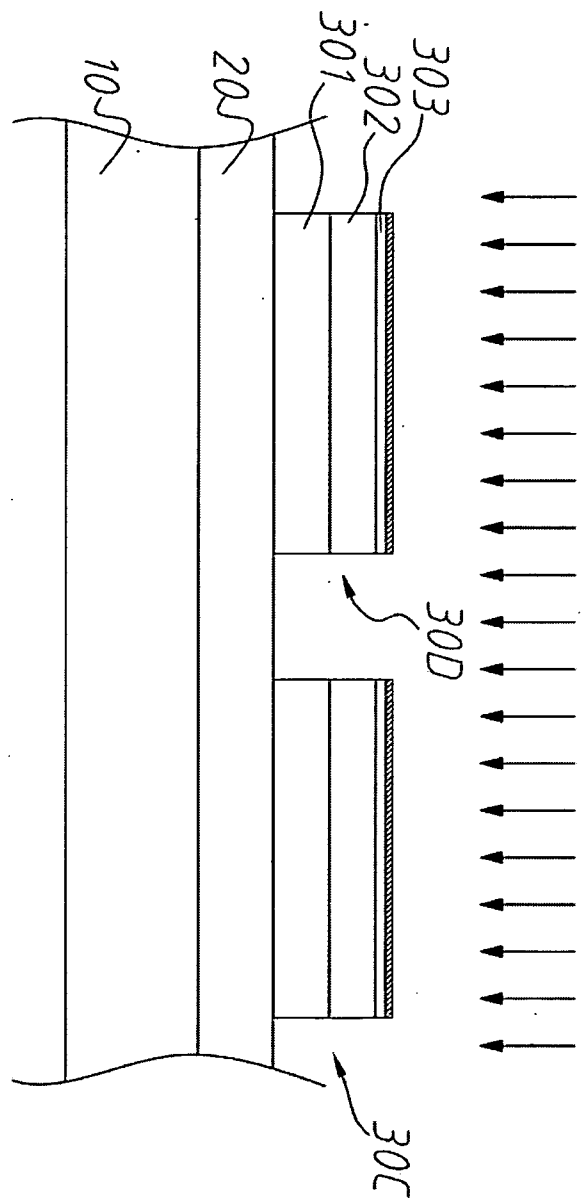
第七A圖



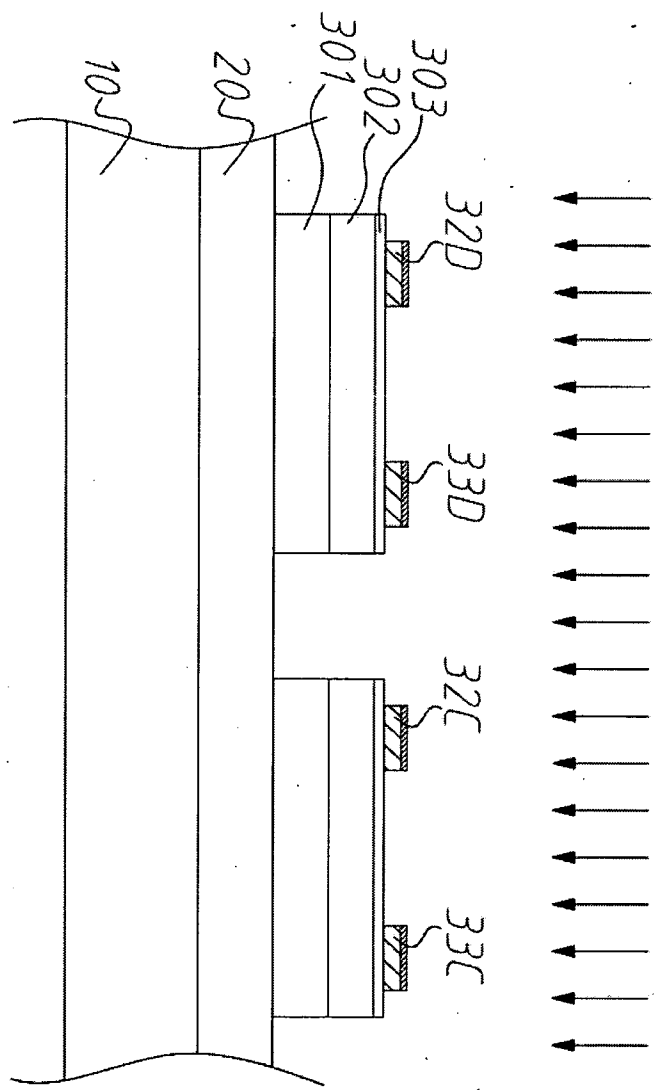
第七B圖

第七C圖



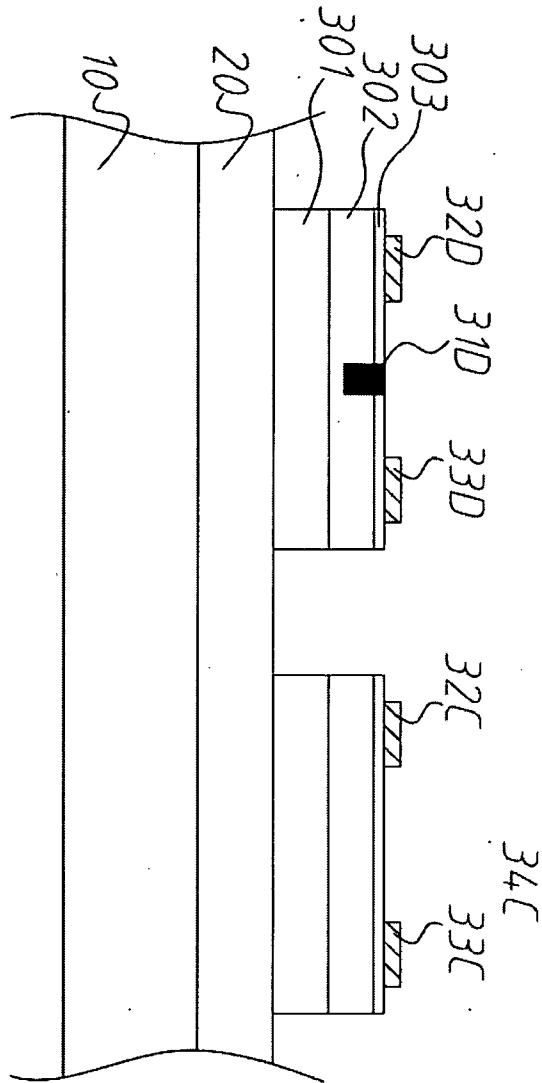


第八A圖

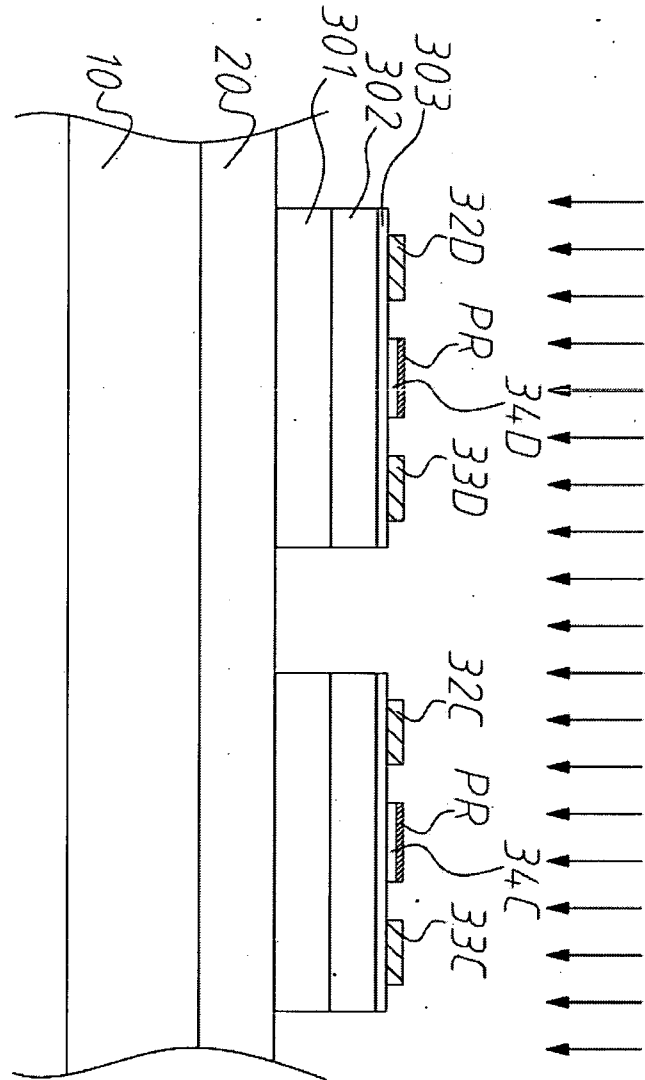


第八B圖

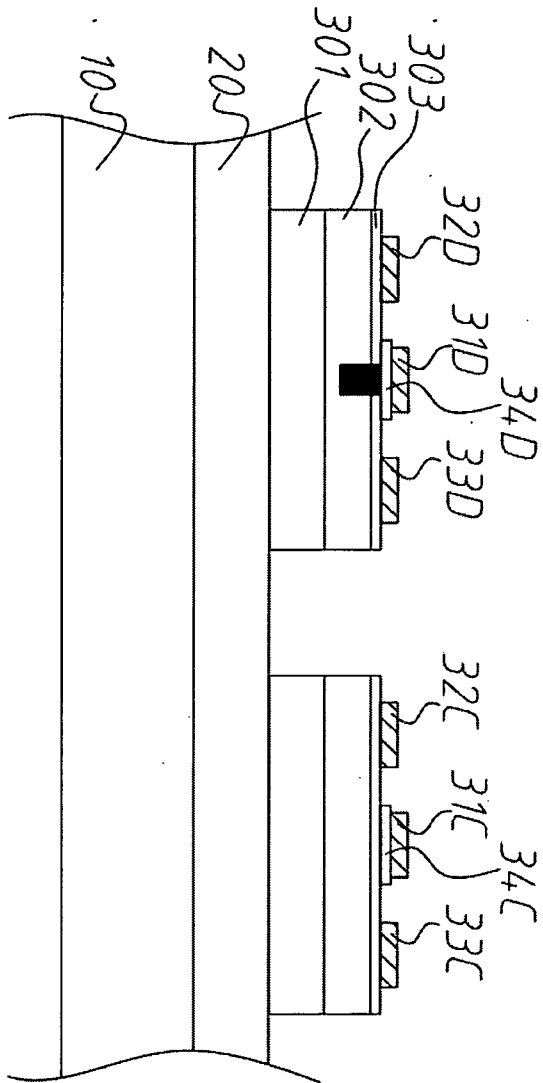




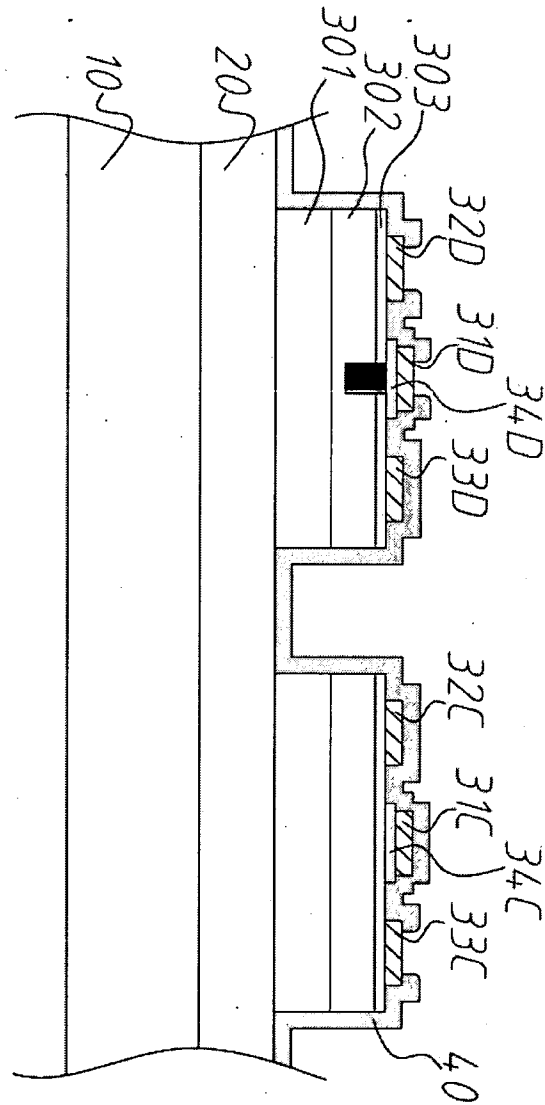
第八C圖



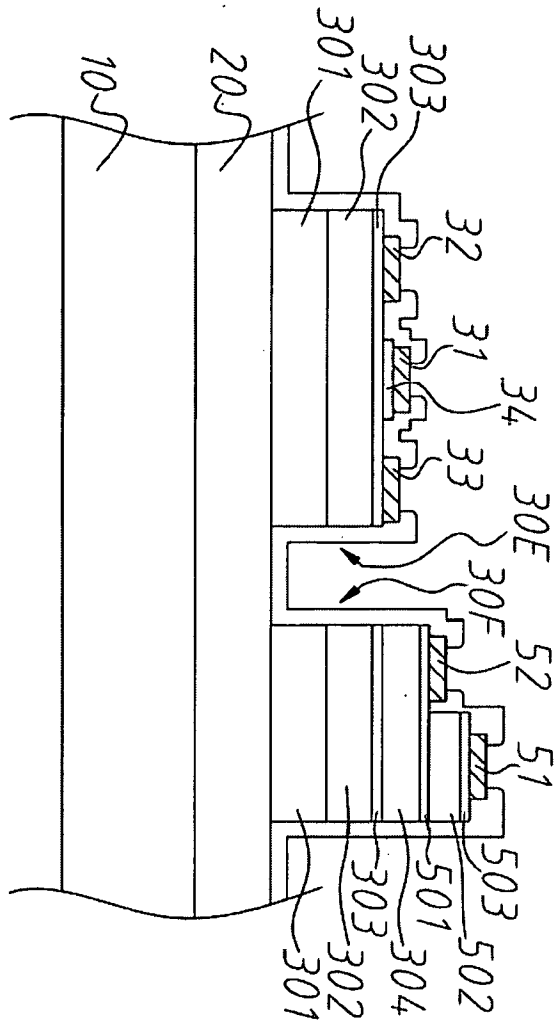
第八D圖



第八E圖



第八F圖



第九圖