

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

| | | | |
|---|---------------------------|--------------------------|--------------------------|
| (51) Int. Cl. ⁶ H01L 29/78 H01L 21/336 | (45) 공고일자 1999년03월20일 | (11) 등록번호 특0184937 | (24) 등록일자 1998년12월22일 |
| (21) 출원번호 특1995-048752 | (65) 공개번호 특1997-054454 | (43) 공개일자 1997년07월31일 | |
| (22) 출원일자 1995년12월12일 | | | |

| | |
|-----------|--------------------------------------|
| (73) 특허권자 | 현대전자산업주식회사 김주용 |
| (72) 발명자 | 경기도 이천군 부발읍 아미리 산 136-1 박상훈 |
| (74) 대리인 | 경기도 이천군 이천읍 창전 10리 49-17 최승민, 신영무 |

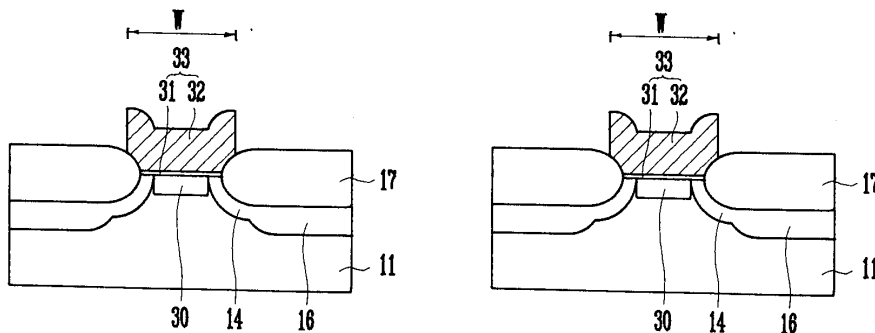
심사관 : 오세준

(54) 반도체 소자의 트랜지스터 제조 방법

요약

본 발명은 반도체 소자의 트랜지스터 제조 방법에 관한 것으로, 게이트 전극의 폭을 최소화시키기 위해 접합 영역의 실리콘 기판에서 산화막의 성장 속도가 빠른 특성을 이용하여 상기 접합 영역의 실리콘 기판 상에 두꺼운 열산화막을 형성한다. 그리고 상기 두꺼운 열산화막에 의해 게이트 전극의 폭이 사진 장비의 임계 치수 이하가 되도록 하므로써 소자의 집적도 및 전기적 특성이 향상될 수 있도록 한 반도체 소자의 트랜지스터 제조 방법에 관한 것이다.

대표도



명세서

[발명의 명칭]

반도체 소자의 트랜지스터 제조 방법

[도면의 간단한 설명]

제1a 내지 제1c도는 종래 반도체 소자의 트랜지스터 제조 방법을 설명하기 위한 소자의 단면도.

제2a 내지 제2e도는 본 발명의 제1실시예를 설명하기 위한 소자의 단면도.

제3a 및 제3b도는 본 발명의 제2실시예를 설명하기 위한 소자의 단면도.

* 도면의 주요부분에 대한 부호의 설명

| | |
|-----------------------|---------------------|
| 1, 11 : 실리콘 기판 | 2, 18, 31 : 게이트 산화막 |
| 3, 19, 32 : 도프 폴리실리콘층 | 4 : 감광막 |
| 5, 15, 33 : 게이트 전극 | 6, 14 : LDD 영역 |
| 7 : 산화막 스페이서 | 8, 16 : 접합 영역 |
| 12 : 패드 산화막 | 13 : 제1감광막 |

15 : 제2감광막

17,17A : 열 산화막

29 : 제3감광막

30 : 채널 이온주입 영역

[발명의 상세한 설명]

본 발명은 반도체 소자의 트랜지스터 제조 방법에 관한 것으로, 특히 게이트 전극의 폭을 최소화시킬 수 있도록 한 반도체 소자의 트랜지스터 제조 방법에 관한 것이다.

일반적으로 반도체 소자가 고집적화됨에 따라 트랜지스터의 크기도 감소된다. 그러나 현재의 사진(Lithography) 공정으로는 패턴의 폭을 임계 치수(Critical Dimension) 이하로 감소시키기가 어려운 실정 이기 때문에 새로운 방법의 개발이 요구된다. 그러면 종래 반도체 소자의 트랜지스터 제조 방법을 제1a 내지 제1c도를 통해 설명하면 다음과 같다.

종래에는 제1a도에 도시된 바와 같이 실리콘 기판(1)상에 게이트 산화막(2), 도프 폴리실리콘층(3) 및 감 광막(4)을 순차적으로 형성한 후 게이트 전극용 마스크(Mask)를 이용하여 상기 감광막(4)을 패터닝한다. 상기 패터닝된 감광막(4)을 마스크로 이용한 식각 공정으로 상기 도프 폴리실리콘층(3) 및 게이트 산화막 (2)을 순차적으로 패터닝하여 게이트 전극(5)을 형성한 후 잔류된 상기 감광막(4)을 제거하고, 제1b도에 도시된 바와 같이 전체 상부면에 저농도의 불순물 이온을 주입하여 상기 게이트 전극(5) 양측부의 실리콘 기판(1)에 LDD(Lightly Doped Drain) 영역(6)을 형성한다. 그리고 상기 게이트 전극(5)의 양측부에 산화 막 스페이서(7)를 형성한 후 전체 상부면에 고농도의 불순물 이온을 주입하여 상기 게이트 전극(5) 양측 부의 실리콘 기판(1)에 접합 영역(8)을 형성한다. 그런데 상기 게이트 전극(5)의 폭은 상기 패터닝된 감 광막(4)의 폭에 의해 결정되고, 상기 감광막(4)의 폭은 사전 장비의 임계 치수에 의해 결정되기 때문에 초고집적 반도체 소자의 제조 공정에서는 이와 같은 방법으로 트랜지스터를 제조하기가 어려워진다.

따라서 본 발명은 게이트 전극의 폭을 사전 장비의 임계 치수 이하가 되도록 함으로써 상기한 단점을 해 소할 수 있는 반도체 소자의 트랜지스터 제조 방법을 제공하는 데 그 목적이 있다.

상기한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 트랜지스터 제조 방법은 실리콘 기판상에 패 드 산화막 및 제1감광막을 순차적으로 형성하고, 제1마스크를 이용하여 상기 제1감광막을 패터닝하는 단 계와, 상기 단계로부터 상기 패터닝된 제1감광막을 경화시킨 후 상기 패터닝된 제1감광막을 이온 주입 마 스크로 이용한 저농도 불순물 이온 주입 공정으로 노출된 상기 실리콘 기판에 LDD 영역을 형성하는 단계 와, 상기 단계로부터 전체 상부면에 제2감광막을 도포한 후 제2마스크를 이용하여 상기 제2감광막을 패터 닙하고, 상기 패터닝된 제2감광막을 이온 주입 마스크로 이용한 고농도 불순물 이온 주입 공정으로 노출 된 실리콘 기판에 접합 영역을 형성하는 단계와, 상기 단계로부터 상기 제2 및 제1감광막을 제거한 후 열 산화 공정을 실시하여 상기 실리콘 기판상에 열산화막을 형성하는 단계와, 상기 단계로부터 상기 불순물 이온이 주입되지 않은 실리콘 기판상에 형성된 열산화막을 제거한 후 전체 상부면에 게이트 산화막 및 도 프 폴리실리콘층을 순차적으로 형성하는 단계와, 상기 단계로부터 상기 제1마스크를 이용한 사진 및 식각 공정으로 상기 도프 폴리실리콘층 및 게이트 산화막을 순차적으로 패터닝하여 게이트 전극을 형성하는 단 계로 이루어지는 것을 특징으로 하며, 본 발명에 따른 반도체 소자의 트랜지스터 제조 방법은 실리콘 기 판상에 패드 산화막 및 제1감광막을 순차적으로 형성하고, 제1마스크를 이용하여 상기 제1감광막을 패터 닙하는 단계와, 상기 단계로부터 상기 패터닝된 제1감광막을 경화시킨 후 상기 패터닝된 제1감광막을 이 온 주입 마스크로 이용한 저농도 불순물 이온 주입 공정으로 노출된 상기 실리콘 기판에 LDD 영역을 형성 하는 단계와, 상기 단계로부터 전체 상부면에 제2감광막을 도포한 후 제2마스크를 이용하여 상기 제2감광 막을 패터닝하고, 상기 패터닝된 제2감광막을 이온 주입 마스크로 이용한 고농도 불순물 이온 주입 공정 으로 노출된 실리콘 기판에 접합 영역을 형성하는 단계와, 상기 단계로부터 상기 제2 및 제1감광막을 제 거한 후 열산화 공정을 실시하여 상기 실리콘 기판상에 열산화막을 형성하는 단계와, 상기 단계로부터 전 체 상부면에 제3감광막을 도포하고, 상기 불순물 이온이 주입되지 않은 실리콘 기판상에 형성된 열산화막 이 노출되도록 상기 제3감광막을 패터닝하는 단계와, 상기 단계로부터 상기 패터닝된 제3감광막을 이온 주입 마스크로 이용한 채널 이온주입 공정으로 상기 실리콘 기판에 채널 이온주입 영역을 형성하는 단계 와, 상기 단계로부터 잔류된 상기 제3감광막 및 상기 불순물 이온이 주입되지 않은 실리콘 기판상에 형성 된 열산화막을 제거한 후 전체 상부면에 게이트 산화막 및 도프 폴리실리콘층을 순차적으로 형성하는 단 계와, 상기 단계로부터 상기 제1마스크를 이용한 사진 및 식각 공정으로 상기 도프 폴리실리콘층 및 게이 트 산화막을 순차적으로 패터닝하여 게이트 전극을 형성하는 단계로 이루어지는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

제2a 내지 제2e도는 본 발명의 제1실시예를 설명하기 위한 소자의 단면도로서, 제2a도는 실리콘 기판(1) 상에 패드 산화막(12) 및 제1감광막(13)을 순차적으로 형성하고, 제1마스크(도시않됨)를 이용하여 상기 제1감광막(13)을 패터닝한 상태의 단면도로서, 이때 상기 패터닝된 제1감광막(13)의 폭(d)은 공정에 이용 되는 사전 장비의 임계 치수와 동일하도록 한다. 또한 상기 패드 산화막(12)은 200 내지 300Å의 두께로 형성된다.

제2b도는 110 내지 130°C의 온도에서 20 내지 40분동안 상기 패터닝된 제1감광막(13)을 경화시킨 후 상기 패터닝된 제1감광막(13)을 이온 주입 마스크로 이용한 저농도 불순물 이온 주입 공정으로 노출된 상기 실 리콘 기판(11)에 LDD 영역(14)을 형성한 상태의 단면도로서, 이때 이온 주입량은 1×10^{12} 내지 1×10^{15} 원자 /cm²이며, 이온 주입 에너지는 30 내지 80KeV가 되도록 한다.

제2c도는 전체 상부면에 제2감광막(15)을 도포한 후 제2마스크(도시않됨)를 이용하여 상기 제2감광막(15)을 패터닝하고, 상기 패터닝된 제2감광막(15)을 이온 주입 마스크로 이용한 고농도 불순물 이온 주입 공정으로 노출된 실리콘 기판(11)에 접합 영역(16)을 형성한 상태의 단면도로서, 이때 상기 패터닝된 제2 감광막(15)의 폭(d+a)은 상기 패터닝된 제1감광막(13)의 폭(d)보다 a만큼 크다. 또한 상기 이온 주입량은 1×10^{14} 내지 1×10^{17} 원자/cm²이며, 이온 주입 에너지는 30 내지 60KeV가 되도록 한다.

제2d도는 상기 제2 및 제1감광막(15 및 13)을 제거한 후 열산화 공정을 실시하여 상기 실리콘 기판(11)상

에 열산화막(17 및 17A)을 형성한 상태의 단면도로서, 이때 상기 불순물 이온이 주입된 접합 영역(16)의 실리콘 기판(11)상에는 1000 내지 3000Å 정도의 두꺼운 열산화막(17)이 성장되며, 상기 주입된 불순물 이온이 내부로 확산된다. 그리고 상기 불순물 이온이 주입되지 않은 실리콘 기판(11)상에는 얇은 열산화막(17A)이 성장된다. 또한 상기 제1 및 제2감광막(13 및 15)은 산소 플라즈마를 이용한 건식 식각 및 황산과 과산화수소수가 혼합된 용액을 이용한 습식 식각으로 제거한다.

제2e도는 HF 용액을 이용한 습식 식각 공정으로 상기 불순물 이온이 주입되지 않은 실리콘 기판(11)상에 형성된 얇은 열산화막(17A)을 제거한 후 전체 상부면에 100 내지 150Å 두께의 게이트 산화막(18) 및 1500 내지 3000Å 두께의 도프 폴리실리콘층(19)을 순차적으로 형성하고, 상기 제1마스크를 이용한 사진 및 식각 공정으로 상기 도프 폴리실리콘층(19) 및 게이트 산화막(18)을 순차적으로 패터닝하여 게이트 전극(15)을 형성한 상태의 단면도로서, 이때 형성된 상기 게이트 전극(15)의 폭(W)은 상기 접합 영역(16)의 실리콘 기판(11)상에 형성된 상기 열산화막(17)에 의해 상기 패터닝된 제1감광막(13)의 폭(d)보다 작게 형성된다.

제3a 및 제3b도는 본 발명의 제2실시예를 설명하기 위한 소자의 단면도로서, 본 발명의 제2실시예는 상기 제1실시예의 제2d도에 설명된 상기 열산화막(17 및 17A) 형성 공정을 마친 후 후속 공정을 다음과 같이 진행하므로써 얻을 수 있다.

제3a도는 상기 제1실시예의 제2d도에 설명된 상기 열산화막(17 및 17A)을 형성한 후 전체 상부면에 제3감광막(29)을 도포하고, 상기 불순물 이온이 주입되지 않은 실리콘 기판(11)상에 형성된 열산화막(17A)이 노출되도록 상기 제3감광막(29)을 패터닝한다. 그리고 상기 패터닝된 제3감광막(29)을 이온 주입 마스크로 이용한 채널 이온주입 공정으로 상기 실리콘 기판(11)에 채널 이온주입 영역(30)을 형성한 상태의 단면도로서, 이때 이온 주입량은 1×10^{11} 내지 1×10^{17} 원자/cm²이며, 이온 주입 에너지는 30 내지 70KeV가 되도록 한다.

제3b도는 잔류된 상기 제3감광막(29) 및 상기 불순물 이온이 주입되지 않은 실리콘 기판(11)상에 형성된 열산화막(17A)을 제거한 후 전체 상부면에 100 내지 150Å 두께의 게이트 산화막(31) 및 1500 내지 3000Å 두께의 도프 폴리실리콘층(32)을 순차적으로 형성하고, 상기 제1마스크를 이용한 사진 및 식각 공정으로 상기 도프 폴리실리콘층(32) 및 게이트 산화막(31)을 순차적으로 패터닝하여 게이트 전극(33)을 형성한 상태의 단면도로서, 상기 열산화막(17A)은 HF 용액을 이용한 습식 식각 공정으로 제거하며, 이때 형성된 상기 게이트 전극(33)의 폭(W)은 상기 접합 영역(16)의 실리콘 기판(11)상에 형성된 상기 열산화막(17)에 의해 상기 패터닝된 제1감광막(13)의 폭(d)보다 작게 형성된다.

상술한 바와 같이 본 발명에 의하면 접합 영역의 실리콘 기판에서 산화막의 성장 속도가 빠른 특성을 이용하여 상기 접합 영역의 실리콘 기판상에 두꺼운 열산화막을 형성한다. 그리고 상기 두꺼운 열산화막에 의해 게이트 전극의 폭이 사진 장비의 임계 치수 이하가 되도록 하므로써 소자의 집적도 및 전기적 특성이 향상될 수 있도록 하는 탁월한 효과가 있다.

(57) 청구의 범위

청구항 1

반도체 소자의 트랜지스터 제조 방법에 있어서, 실리콘 기판상에 패드 산화막 및 제1감광막을 순차적으로 형성하고, 제1마스크를 이용하여 상기 제1감광막을 패터닝하는 단계와, 상기 단계로부터 상기 패터닝된 제1감광막을 경화시킨 후 상기 패터닝된 제1감광막을 이온 주입 마스크로 이용한 저농도 불순물 이온 주입 공정으로 노출된 상기 실리콘 기판에 LOD 영역을 형성하는 단계와, 상기 단계로부터 전체 상부면에 제2감광막을 도포한 후 제2마스크를 이용하여 상기 제2감광막을 패터닝하고, 상기 패터닝된 제2감광막을 이온 주입 마스크로 이용한 고농도 불순물 이온 주입 공정으로 노출된 실리콘 기판에 접합 영역을 형성하는 단계와, 상기 단계로부터 상기 제2 및 제1감광막을 제거한 후 열산화 공정을 실시하여 상기 실리콘 기판상에 열산화막을 형성하는 단계와, 상기 단계로부터 상기 불순물 이온이 주입되지 않은 실리콘 기판상에 형성된 열산화막을 제거한 후 전체 상부면에 게이트 산화막 및 도프 폴리실리콘층을 순차적으로 형성하는 단계와, 상기 단계로부터 상기 제1마스크를 이용한 사진 및 식각 공정으로 상기 도프 폴리실리콘층 및 게이트 산화막을 순차적으로 패터닝하여 게이트 전극을 형성하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 2

제1항에 있어서, 상기 패드 산화막은 200내지 300Å의 두께로 형성된 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 3

제1항에 있어서, 상기 패터닝된 제1감광막의 폭은 공정에 이용된 사진 장비의 임계 치수와 동일한 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 4

제1항에 있어서, 상기 경화 공정은 110 내지 130℃의 온도에서 20 내지 40분 동안 실시되는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 5

제1항에 있어서, 상기 저농도 불순물 이온주입 공정시 이온 주입량은 1×10^{12} 내지 1×10^{15} 원자/cm²이며, 이온 주입 에너지는 30 내지 80KeV인 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 6

제1항에 있어서, 상기 패터닝된 제2감광막의 폭은 상기 패터닝된 제1감광막의 폭보다 큰 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 7

제1항에 있어서, 상기 고농도 불순물 이온주입 공정시 이온 주입량은 1×10^{14} 내지 1×10^{17} 원자/cm²이며, 이온 주입 에너지는 30 내지 60KeV인 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 8

제1항에 있어서, 상기 제1 및 제2감광막은 산소 플라즈마를 이용한 건식 식각 방법으로 제거되는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 9

제1항에 있어서, 상기 제1 및 제2감광막은 황산과 과산화수소수가 혼합된 용액을 이용한 습식 식각 방법으로 제거되는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 10

제1항에 있어서, 상기 열산화 공정시 상기 접합 영역의 실리콘 기판상에는 1000 내지 3000 Å 두께의 열산화막이 성장되도록 하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 11

제1항에 있어서, 상기 열산화막은 HF 용액을 이용한 습식 식각 공정에 의해 제거되는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 12

제1항에 있어서, 상기 게이트 산화막의 두께는 100 내지 150 Å이며, 상기 도프 폴리실리콘층의 두께는 1500 내지 3000 Å 인 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 13

반도체 소자의 트랜지스터 제조 방법에 있어서, 실리콘 기판상에 패드 산화막 및 제1감광막을 순차적으로 형성하고, 제1마스크를 이용하여 상기 제1감광막을 패터닝하는 단계와, 상기 단계로부터 상기 패터닝된 제1감광막을 경화시킨 후 상기 패터닝된 제1감광막을 이온 주입 마스크로 이용한 저농도 불순물 이온 주입 공정으로 노출된 상기 실리콘 기판에 LDD 영역을 형성하는 단계와, 상기 단계로부터 전체 상부면에 제2감광막을 도포한 후 제2마스크를 이용하여 상기 제2감광막을 패터닝하고, 상기 패터닝된 제2감광막을 이온 주입 마스크로 이용한 고농도 불순물 이온 주입 공정으로 노출된 실리콘 기판에 접합 영역을 형성하는 단계와, 상기 단계로부터 상기 제2 및 제1감광막을 제거한 후 열산화 공정을 실시하여 상기 실리콘 기판상에 열산화막을 형성하는 단계와, 상기 단계로부터 전체 상부면에 제3감광막을 도포하고, 상기 불순물 이온이 주입되지 않은 실리콘 기판상에 형성된 열산화막이 노출되도록 상기 제3감광막을 패터닝하는 단계와, 상기 단계로부터 상기 패터닝된 제3감광막을 이온 주입 마스크로 이용한 채널 이온주입 공정으로 상기 실리콘 기판에 채널 이온주입 영역을 형성하는 단계와, 상기 단계로부터 잔류된 상기 제3감광막 및 상기 불순물 이온이 주입되지 않은 실리콘 기판상에 형성된 열산화막을 제거한 후 전체 상부면에 게이트 산화막 및 도프 폴리실리콘층을 순차적으로 형성하는 단계와, 상기 단계로부터 상기 제1마스크를 이용한 사진 및 식각 공정으로 상기 도프 폴리실리콘층 및 게이트 산화막을 순차적으로 패터닝하여 게이트 전극을 형성하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 14

제13항에 있어서, 상기 패드 산화막은 200내지 300 Å의 두께로 형성된 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 15

제13항에 있어서, 상기 패터닝된 제1감광막의 폭은 공정에 이용된 사진 장비의 임계 치수와 동일한 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 16

제13항에 있어서, 상기 경화 공정은 110 내지 130℃의 온도에서 20 내지 40분 동안 실시되는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 17

제13항에 있어서, 상기 저농도 불순물 이온주입 공정시 이온 주입량은 1×10^{12} 내지 1×10^{15} 원자/cm²이며, 이온 주입 에너지는 30 내지 80KeV인 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 18

제13항에 있어서, 상기 패터닝된 제2감광막의 폭은 상기 패터닝된 제1감광막의 폭보다 큰 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 19

제13항에 있어서, 상기 고농도 불순물 이온주입 공정시 이온 주입량은 1×10^{14} 내지 1×10^{17} 원자/cm²이며, 이온 주입 에너지는 30 내지 60KeV인 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 20

제13항에 있어서, 상기 제1 및 제2감광막은 산소 플라즈마를 이용한 건식 식각 방법으로 제거되는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 21

제13항에 있어서, 상기 제1 및 제2감광막은 황산과 과산화수소수가 혼합된 용액을 이용한 습식 식각 방법으로 제거되는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 22

제13항에 있어서, 상기 열산화 공정시 상기 접합 영역의 실리콘 기판상에는 1000 내지 3000 Å 두께의 열산화막이 성장되도록 하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 23

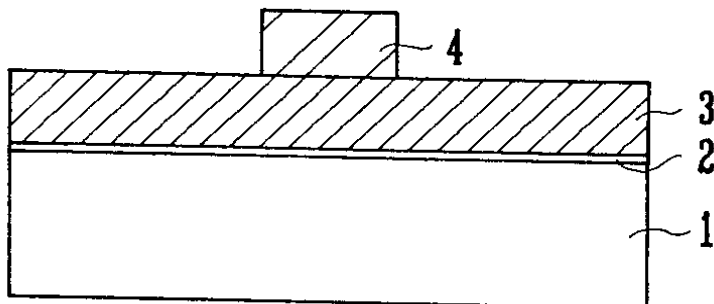
제13항에 있어서, 상기 채널 이온주입 공정시 이온 주입량은 1×10^{11} 내지 1×10^{17} 원자/cm²이며, 이온 주입 에너지는 30 내지 70KeV인 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 24

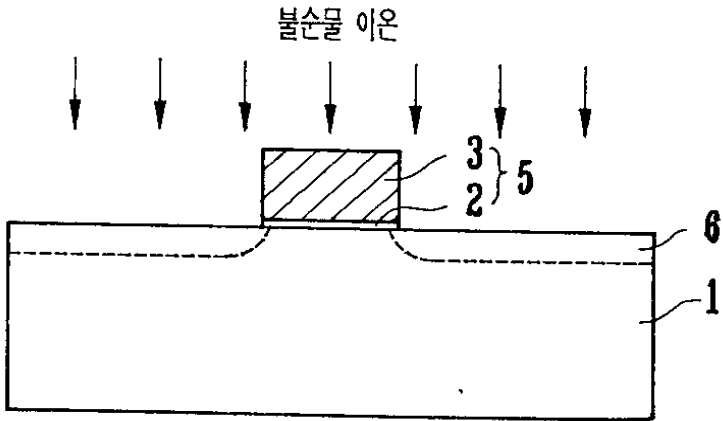
제13항에 있어서, 상기 열산화막은 HF 용액을 이용한 습식 식각 공정에 의해 제거되는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 25

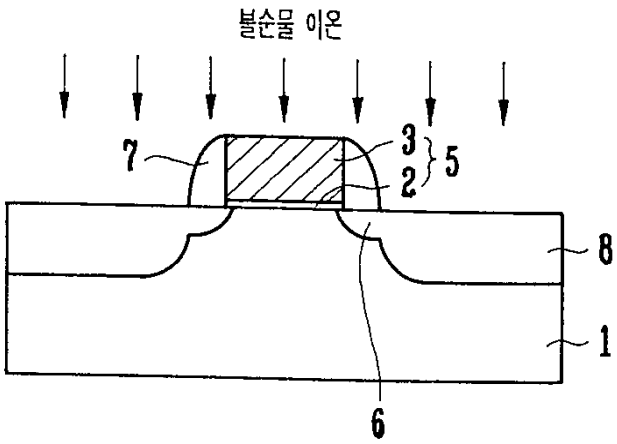
제13항에 있어서, 상기 게이트 산화막의 두께는 100 내지 150 Å이며, 상기 도프 폴리실리콘층의 두께는 1500 내지 3000 Å인 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

도면**도면 1a**

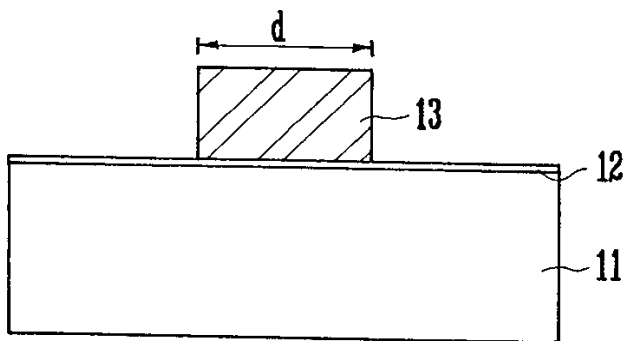
도면 1b



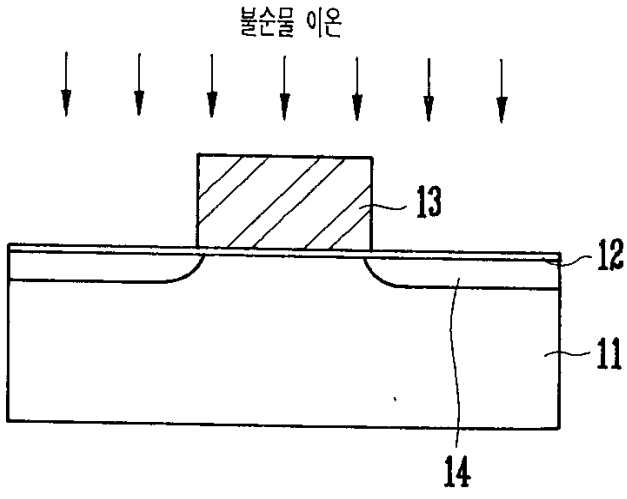
도면 1c



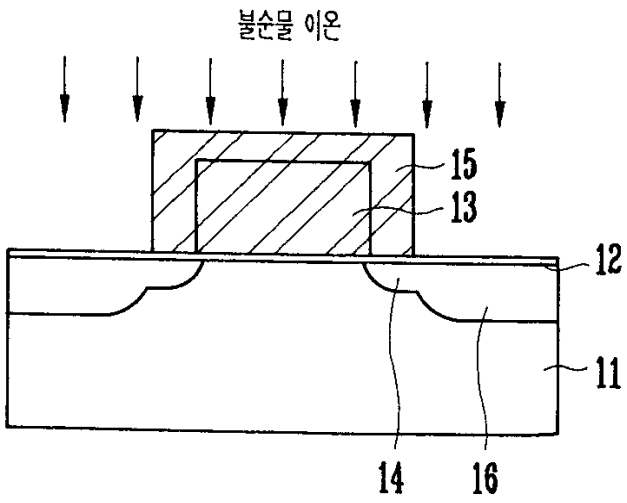
도면 2a



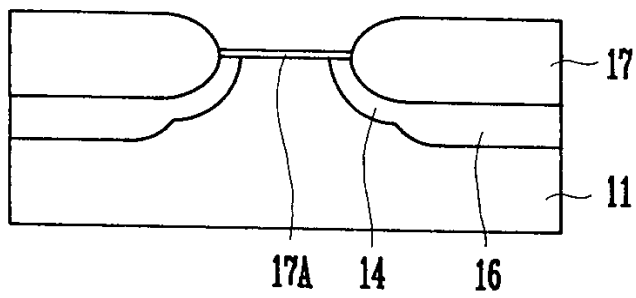
도면2b



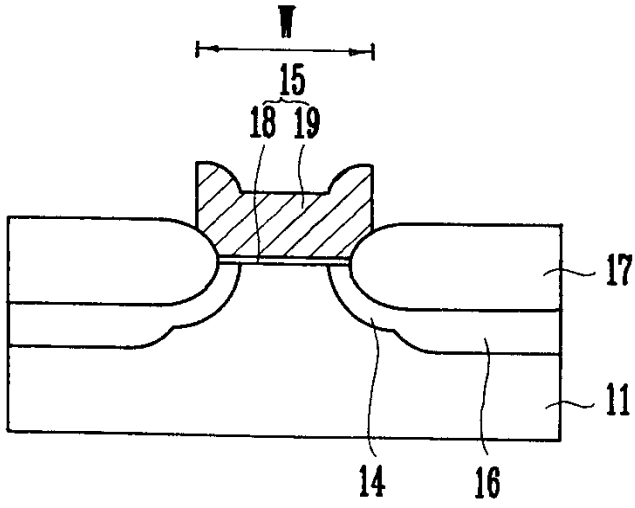
도면2c



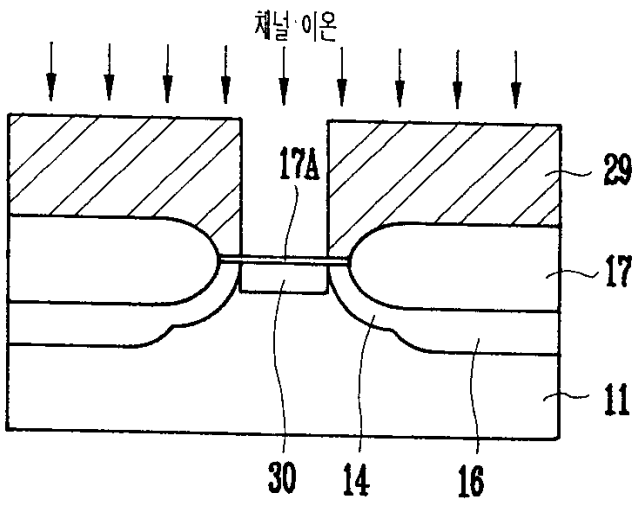
도면2d



도면2e



도면3a



도면3b

