



(12) 发明专利申请

(10) 申请公布号 CN 113614919 A

(43) 申请公布日 2021. 11. 05

(21) 申请号 202080022121.X

(74) 专利代理机构 北京市柳沈律师事务所
11105

(22) 申请日 2020.03.18

代理人 金兰

(30) 优先权数据

2019-054504 2019.03.22 JP

(51) Int.Cl.

H01L 27/088 (2006.01)

(85) PCT国际申请进入国家阶段日

2021.09.17

H02J 7/00 (2006.01)

G06F 1/26 (2006.01)

(86) PCT国际申请的申请数据

PCT/JP2020/012043 2020.03.18

(87) PCT国际申请的公布数据

W02020/196173 JA 2020.10.01

(71) 申请人 罗姆股份有限公司

地址 日本京都府

(72) 发明人 宫长晃一

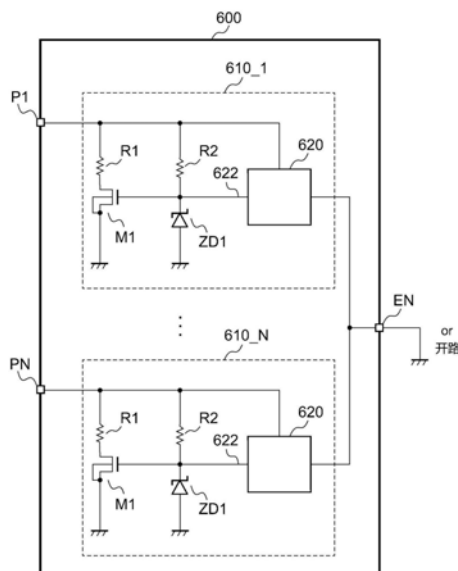
权利要求书2页 说明书9页 附图9页

(54) 发明名称

半导体集成电路

(57) 摘要

半导体集成电路(600)包括与多个对象引脚(P1)~(P#)对应的多个终端电路(610_1)~(610_N)。多个终端电路(610_1)~(610_N)分别包括串联设于对应的对象引脚(P#)与接地之间的第1电阻(R1)和第1晶体管(M1)。在对应的对象引脚(P#)与第1晶体管(M1)的控制电极之间设有第2电阻(R2)。使能电路(620)的输出节点(622)与第1晶体管(M1)的控制电极连接,在(i)使能引脚(EN)为第1状态时,从输出节点(622)灌电流Is,在(ii)使能引脚为第2状态时,将输出节点(622)固定为低电平。



1. 一种半导体集成电路,其特征在于,包括:
应接终端的多个对象引脚,
使能引脚,以及
与所述多个对象引脚对应的多个终端电路;
所述多个终端电路分别包括:
串联设于对应的对象引脚与接地之间的第1电阻和第1晶体管,
设于对应的对象引脚与所述第1晶体管的控制电极之间的第2电阻,以及
使能电路,该使能电路的输出节点与所述第1晶体管的控制电极连接,在(i)所述使能引脚为第1状态时,从所述输出节点灌电流,在(ii)所述使能引脚为第2状态时,将所述输出节点固定为低电平。
2. 一种半导体集成电路,其特征在于,包括:
应接终端的多个对象引脚,
使能引脚,以及
与所述多个对象引脚对应的多个终端电路;
所述多个终端电路分别包括:
串联设于对应的对象引脚与接地之间的第1电阻和第1晶体管,
设于对应的对象引脚与所述第1晶体管的控制电极之间的第2电阻,以及
使能电路,该使能电路的输出节点与所述第1晶体管的控制电极连接,在(i)所述使能引脚为第1状态时,具有比所述第2电阻大的输出阻抗,在(ii)所述使能引脚为第2状态时,具有比所述第2电阻小的输出阻抗。
3. 如权利要求1或2所述的半导体集成电路,其特征在于,
所述使能电路包括:
设于所述输出节点与接地之间的第2晶体管,以及
根据所述使能引脚的状态使所述第2晶体管的状态变化的偏置电路。
4. 如权利要求3所述的半导体集成电路,其特征在于,
所述偏置电路构成为:在所述使能引脚为所述第1状态时,向所述第2晶体的控制电极施加相对较低的电压,在所述使能引脚为所述第2状态时,向所述第2晶体的控制电极施加相对较高的电压。
5. 如权利要求3或4所述的半导体集成电路,其特征在于,
所述偏置电路包括:
一端与所述使能引脚连接的第3电阻,以及
第3晶体管,该第3晶体管的高电位侧的电极和控制电极与所述第3电阻的另一端连接,低电位侧的电极与所述使能引脚连接。
6. 如权利要求5所述的半导体集成电路,其特征在于,
所述第3晶体管的背栅极接地。
7. 如权利要求1或2所述的半导体集成电路,其特征在于,
所述使能电路包括使从所述对象引脚流向所述使能引脚的电流折返,并从所述输出节点灌流的电流镜电路。
8. 如权利要求1至7的任意一项所述的半导体集成电路,其特征在于,

所述使能引脚为低阻抗或高阻抗。

9. 如权利要求1至8的任意一项所述的半导体集成电路,其特征在于,
所述多个终端电路分别还包括设于所述第1晶体管的控制电极与接地之间的齐纳二极管。

10. 如权利要求1至9的任意一项所述的半导体集成电路,其特征在于,
所述半导体集成电路为USB (Universal Serial Bus:通用串行总线) PD (Power Delivery:功率输送) 控制器;

所述多个对象引脚为2个CC (Configuration Channel:配置信道) 引脚。

半导体集成电路

技术领域

[0001] 本发明涉及终端电路。

背景技术

[0002] 以移动电话终端、智能手机、平板终端、笔记本型计算机、便携式音频播放器为代表的电池驱动设备,内置有可再充电的二次电池以及用于对其进行充电的充电电路。充电电路存在基于从外部经由USB电缆供给的DC电压(总线电压 V_{BUS})、来自外部的AC适配器的DC电压而对二次电池进行充电的电路。

[0003] 目前,搭载于移动设备的充电电路的主流是依据被称为USB Battery Charging Specification (USB电池充电规范)的标准(以下,称为BC标准)的电路。USB主机或者充电器(以下,统称为USB供电装置)中存在若干种类。在BC revision 1.2标准中,作为USB供电装置的种类,定义了SDP (Standard Downstream Port:标准下游端口)、DCP (Dedicated Charging Port:专用充电端口)、CDP (Charging Downstream Port:下游充电端口)。并且,USB供电装置能够供给的电流(电流容量)根据其种类而被规定。具体而言,在DCP、CDP中为1500mA,在SDP中根据USB的版本而被规定为100mA、500mA、900mA。

[0004] 作为利用了USB的二次电池充电的方式、系统,制定了被称为USB Power Delivery (USB功率输送)的标准(以下,称为USB-PD标准)。在USB-PD标准中,可供给的功率从BC标准的7.5w大幅增大到最大100W。具体而言,在USB-PD标准中,作为USB总线电压,允许供给比5V高的电压(具体而言,9V、12V、15V、20V等),充电电流也允许供给比BC标准大的量(具体而言,2A、3A、5A等)。USB-PD标准也被用于USB type-C标准。

[0005] 图1是供电系统100R的框图。该供电系统100R依据USB Type-C标准,具备经由USB电缆106连接的供电装置200R和受电装置300R。例如,供电装置200R搭载于AC适配器102,或者搭载于电子设备。受电装置300R搭载于智能手机、平板终端、数字照相机、数字摄像机、便携音频播放器等电池驱动型的电子设备400。

[0006] 供电装置200R包括电源电路202、供电侧的PD控制器(以下,称为供电侧控制器)204以及总线开关SW1。电子设备400的插座108可装卸地连接有USB电缆106。此外,也存在插座108被省略,USB电缆106与AC适配器102成为一体的充电适配器。

[0007] 插座108包括用于供给总线电压 V_{BUS} 的VBUS端子、用于供给接地电压 V_{GND} 的GND端子和CC(Configuration Channel:配置信道)端口。实际上设有2个CC端口,但图1中简化表示为1个。电源电路202产生总线电压 V_{BUS} 。电源电路202也可以包括接受来自未图示的外部电源(例如商用交流电源)的AC100V并将其转换为直流的总线电压 V_{BUS} 的AC/DC转换器。电源电路202产生的总线电压 V_{BUS} 经由USB电缆106的总线和总线开关SW1被供给到受电装置300R。

[0008] 供电侧控制器204和受电侧控制器310分别为与USB Type-C相关的端口控制器,经由CC线彼此连接,提供通信功能。供电侧控制器204和受电侧控制器310对供电装置200R应该供给的总线电压 V_{BUS} 的电压电平进行协商。供电侧控制器204以得到所决定的电压电平的方式控制电源电路202,并控制总线开关SW1的接通、切断。

[0009] 电子设备400包括电池402、插座404、负载(系统)406以及受电装置300R。电池402为可再充电的二次电池。负载电路406包括CPU或存储器、液晶显示器、音频电路等。插座404经由USB电缆106可装卸地连接AC适配器102。

[0010] 受电装置300R接受来自适配器102的电力,对充电电路302进行充电。受电装置300R包括充电电路302、受电侧控制器310以及总线开关SW2。

[0011] 充电电路302经由USB电缆106和总线开关SW2接受来自供电装置200R的总线电压 V_{BUS} (在受电装置300R侧,也表述为适配电压 V_{ADP}),对电池402进行充电。充电电路302由降压DC/DC转换器、线性调节器或者它们的组合构成。

[0012] 从充电电路302向负载电路406供给与适配电压 V_{ADP} 和电池402的电压 V_{BAT} 中的至少一者相应的系统电压 V_{SYS} 。负载电路406包括电源管理IC(Integrated Circuit:集成电路)、包括DC/DC转换器或线性调节器等的多信道电源、微型计算机、液晶显示器、显示器驱动器等等。

[0013] 受电侧控制器310中规定了规定受电装置300R所要求的总线电压 V_{BUS} 和最大电流的数据(要求PDO:Power Data Object:电力数据对象)。在AC适配器102与电子设备400连接时,供电侧控制器204和受电侧控制器310进行协商,基于要求PDO来决定总线电压 V_{BUS} 的电压电平。另外,受电侧控制器310控制总线开关SW2的接通、切断。

[0014] 图2是图1的供电系统100的动作时序图。在供电装置200R与受电装置300R经由USB电缆106连接时,供电侧控制器204基于CC端口的状态来检测其连接(S100)。具体而言,受电装置300R的受电侧控制器310在通过具有规定的电阻值的下拉电阻(终端电阻) R_d 将CC端口下拉的状态下待机。在供电装置200R与受电装置300R连接时,供电装置200R的CC端口产生与受电装置300R的下拉电阻 R_d 和自己自身的状态相应的电压。由此,供电装置200R的供电侧控制器204能够检测受电装置300R(电子设备400)的连接。

[0015] 然后,接通总线开关SW1(S102),供给默认的5V的总线电压 V_{BUS} 。在总线开关SW1接通时,受电侧控制器310能够动作。

[0016] 接着,供电侧控制器204和受电侧控制器310进行协商,基于要求电压来决定总线电压 V_{BUS} (S104)。供电侧控制器204使总线电压 V_{BUS} 从5V的初始电压变更为要求电压(S106)。

[0017] 在总线电压 V_{BUS} 向要求电压的变更完成时,将该情况从供电侧控制器204通知给受电侧控制器310(S108)。受电侧控制器310响应该通知,接通总线开关SW2(S110)。由此,向充电电路302和负载电路406供给总线电压 V_{BUS} (S112)。

[0018] [在先技术文献]

[0019] [专利文献]

[0020] 专利文献1:日本特开2013-198262号公报

[0021] 专利文献2:日本特开2006-60977号公报

[0022] 专利文献3:日本特开2006-304500号公报

发明内容

[0023] [发明要解决的课题]

[0024] 图3是PD控制器500的电路图。PD控制器500包括逻辑电路510、下拉电阻 R_{d1} 、 R_{d2} 以及晶体管 M_{d1} 、 M_{d2} 。

[0025] 逻辑电路510控制晶体管 Md_1 、 Md_2 的导通、截止。在晶体管 Md_1 、 Md_2 为导通时,CC1端口和CC2端口被电阻 Rd_1 、 Rd_2 下拉。

[0026] 考虑PD控制器500被搭载于图1的电子设备400,用作受电侧控制器310的情况。逻辑电路510以被供给到PD控制器500的电源端子VCC的电压为电源而动作。在电池402的余量为零的无电电池 (dead battery) 状态下,由于逻辑电路510不能动作,因此不能使晶体管 Md_1 、 Md_2 导通。因此,在PD控制器500中设有电压钳位电路520_1、520_2。

[0027] 电压钳位电路520_1、520_2在无电电池状态下成为激活 (active),通过下拉电阻 $R2_1$ 、 $R2_2$ 将CC1端口、CC2端口下拉。电压钳位电路520_1、520_2被同样地构成。

[0028] 电压钳位电路520_# (#=1、2) 包括电阻 $R2_#$ 、 $R3_#$ 以及晶体管 $M1_#$ 、 $M2_#$ 。在电池还残余有余量,逻辑电路510能够动作时,晶体管 $M2_#$ 被导通,晶体管 $M1_#$ 为截止,电压钳位电路520_#为非激活。

[0029] 在无电电池状态下逻辑电路510不能动作时,不能维持晶体管 $M2_#$ 的导通。晶体管 $M2_#$ 为截止的状态是电压钳位电路520_#为激活的状态。在供电装置200R的供电侧控制器204与对应的CC#端口连接时,晶体管 $M1_#$ 的栅极经由电阻 $R3_#$ 被上拉,晶体管 $M1_#$ 为导通。由此,电阻 $R2_#$ 作为终端电阻与CC#端口连接。

[0030] PD控制器500被构成为不论作为图1的供电侧控制器204、还是作为受电侧控制器310均能够动作。如果在将PD控制器500用作供电侧控制器204的情况下,由于不存在无电电池状态,因此希望停止电压钳位电路520_1、520_2的功能 (禁用)。因此,晶体管 $M1_#$ 的栅极与使能引脚EN#连接。通过使使能引脚EN#与外部的接地连接,晶体管 $M1_#$ 固定地截止,能够使电压钳位电路520_#为禁用。在将PD控制器500作为受电侧控制器310使用的情况下,使使能引脚EN#为开路即可。

[0031] 在此,由于电压钳位电路520_1、520_2的状态 (启用/禁用) 的设定是共通的,因此本来能够通过1个使能引脚EN进行设定。但是,不能将晶体管 $M1_1$ 和 $M1_2$ 的栅极连接于共通的1个使能引脚EN。这是由于会引起电压钳位电路520_1、520_2的相互干扰。

[0032] 本发明鉴于以上课题而完成,其一个方案的例示性的目的之一在于提供一种能够通过单一的使能引脚来设定启用状态、禁用状态的终端电路。

[0033] [用于解决技术课题的技术方案]

[0034] 本发明的一个方案涉及半导体集成电路。半导体集成电路包括:应接终端的多个对象引脚;使能引脚;以及与多个对象引脚对应的多个终端电路。多个终端电路分别包括:串联设于对应的对象引脚与接地之间的第1电阻和第1晶体管;设于对应的对象引脚与第1晶体管的控制电极之间的第2电阻;以及使能电路,该使能电路的输出节点与第1晶体管的控制电极连接,在 (i) 使能引脚为第1状态时,从输出节点灌流电流,在 (ii) 使能引脚为第2状态时,将输出节点固定为低电平。

[0035] 本发明的一个方案涉及半导体集成电路。半导体集成电路包括:应终端的多个对象引脚;使能引脚;以及与多个对象引脚对应的多个终端电路。多个终端电路分别包括:串联设于对应的对象引脚与接地之间的第1电阻和第1晶体管;设于对应的对象引脚与第1晶体管的控制电极之间的第2电阻;以及使能电路,该使能电路的输出节点与第1晶体管的控制电极连接,在 (i) 使能引脚为第1状态时,具有比第2电阻大的输出阻抗,在 (ii) 使能引脚为第2状态时,将输出节点固定为低电平。

[0036] [发明效果]

[0037] 根据本发明的一个方案,能够通过单一的使能引脚来设定多个终端电路的启用状态、禁用状态。

附图说明

[0038] 图1是供电系统的框图。

[0039] 图2是图1的供电系统的动作时序图。

[0040] 图3是PD控制器的电路图。

[0041] 图4是实施方式的半导体集成电路的电路图。

[0042] 图5是使能引脚EN为第1状态时的半导体集成电路的等效电路图。

[0043] 图6是使能引脚EN为第2状态时的半导体集成电路的等效电路图。

[0044] 图7是表示偏置电路的具体的构成例的电路图。

[0045] 图8是表示终端电路的其他构成例的电路图。

[0046] 图9是表示终端电路的另一构成例的电路图。

[0047] 图10是USBPD控制器的电路图。

[0048] 图11是表示包括受电装置的电子设备的图。

具体实施方式

[0049] (实施方式的概要)

[0050] 本说明书所公开的一个实施方式涉及半导体集成电路。半导体集成电路包括:应接终端的多个对象引脚;使能引脚;以及与多个对象引脚对应的多个终端电路。多个终端电路分别包括:串联设于对应的对象引脚与接地之间的第1电阻和第1晶体管;设于对应的对象引脚与第1晶体的控制电极之间的第2电阻;以及使能电路,该使能电路的输出节点与第1晶体的控制电极连接,在(i)使能引脚为第1状态时,从输出节点灌电流,在(ii)使能引脚为第2状态时,将输出节点固定为低电平。

[0051] 在将使能引脚设定为第1状态时,通过使能电路所灌流的电流,在第2电阻产生电压降,在第1晶体的控制电极产生比对象引脚的电压稍低的电压,能够使第1晶体管导通。即,终端电路成为启用状态。在将使能引脚设定为第2状态时,输出节点、即第1晶体的控制电极被固定为低电平,能够将第1晶体管固定为截止。即,终端电路成为禁用状态。根据本实施方式,通过介入使能电路,能够抑制多个终端电路间的相互干扰,能够通过单一的使能引脚来设定多个终端电路的启用状态、禁用状态。

[0052] 从其他观点出发,可以说使能电路在(i)使能引脚为第1状态时,具有比第2电阻大的输出阻抗,在(ii)使能引脚为第2状态时,具有比第2电阻小的输出阻抗。

[0053] 使能电路也可以包括:设于输出节点与接地之间的第2晶体管;以及根据使能引脚的状态使第2晶体管的状态变化的偏置电路。

[0054] 偏置电路也可以构成为:在使能引脚为第1状态时,向第2晶体的控制电极施加相对较低的电压,在使能引脚为第2状态时,向第2晶体的控制电极施加相对较高的电压。由此,能够使使能电路的输出阻抗变化。

[0055] 偏置电路也可以包括:一端与对象引脚连接的第3电阻;以及第3晶体管,该第3晶

晶体管的高电位侧的电极和控制电极与第3电阻的另一端连接,低电位侧的电极与使能引脚连接。

[0056] 第3晶体管的背栅极也可以接地。由此,通过第3晶体管的背栅极与源极间的体二极管,能够提高多个对象引脚间的隔离性。

[0057] 使能电路也可以包括使从所述对象引脚流向所述使能引脚的电流折返,并从所述输出节点灌流的电流镜电路。在使能引脚接地时,电流向电流镜电路的输入侧流动,其被折返而能够从输出节点灌电流。在使能引脚为开路时,电流不流向电流镜电路的输入侧,输出节点被固定为低电平。

[0058] 使能引脚也可以为低阻抗或高阻抗。

[0059] 多个终端电路也可以分别还包括设于第1晶体管的控制电极与接地之间的齐纳二极管。由此,能够保护电路元件。

[0060] 以下,基于优选的实施方式并参照附图来说明本发明。对各附图所示的相同或同等的构成要素、构件、处理标注相同的附图标记,并适当省略重复的说明。另外,实施方式不限定发明而是例示,并非实施方式所述的所有的特征及其组合都是发明的本质内容。

[0061] 在本说明书中,“构件A与构件B连接的状态”除了构件A与构件B物理地直接连接的情况之外,还包括构件A与构件B经由不会对它们的电连接状态造成实质性影响、或者不会损害通过它们的结合而发挥的功能、效果的其他构件而间接地连接的情况。

[0062] 同样,“构件C设于构件A与构件B之间的状态”除了构件A与构件C或者构件B与构件C直接连接的情况之外,还包括经由不会对它们的电连接状态造成实质性影响、或者不会损害通过它们的结合而发挥的功能、效果的其他部件而间接地连接的情况。

[0063] 图4是实施方式的半导体集成电路600的电路图。半导体集成电路600包括:应接终端的复数 N 个($N \geq 2$)对象引脚 $P1 \sim PN$;使能引脚 EN ;以及与多个对象引脚 $P1 \sim PN$ 对应的多个终端电路 $610_1 \sim 610_N$ 。多个终端电路 $610_1 \sim 610_N$ 被同样地构成。

[0064] 多个终端电路 $610_#$ ($#=1, \dots, N$)分别包括第1电阻 $R1$ 、第1晶体管 $M1$ 、第2电阻 $R2$ 、齐纳二极管 $ZD1$ 以及使能电路620。第1电阻 $R1$ 和第1晶体管 $M1$ 被串联设于对应的对象引脚 $P#$ 与接地之间。第2电阻 $R2$ 设于对应的对象引脚 $P#$ 与第1晶体管 $M1$ 的控制电极(栅极)之间。

[0065] 使能电路620的输出节点622与第1晶体管 $M1$ 的栅极连接。使能电路620构成为:在(i)使能引脚 EN 为第1状态(例如接地)时,从输出节点622灌电流 I_s ,在(ii)使能引脚 EN 为第2状态(例如开路)时,将输出节点622固定为低电平。

[0066] 齐纳二极管 $ZD1$ 设于第1晶体管 $M1$ 的栅极与接地之间。

[0067] 以上为半导体集成电路600的构成。接着,对其动作进行说明。图5是使能引脚 EN 为第1状态时的半导体集成电路600的等效电路图。在此,仅表示引脚 $P#$ 和与其相关的部分。在使用中,半导体集成电路600的对象引脚 $P#$ 经由布线702与外部电路700的引脚704连接。在外部电路700的内部,引脚704被上拉电阻 R_p 上拉,或者与源极电流源 CS 连接。这时,将在对象引脚 $P#$ 产生的电压记作 $V_{p#}$ 。

[0068] 通过使能电路620灌电流 I_s ,在第2电阻 $R2$ 产生电压降 $R2 \times I_s$ 。因此,第1晶体管 $M1$ 的栅极电压 V_{g1} 成为 $V_{p#} - R2 \times I_s$ 。

[0069] 以成为 $V_{g1} > V_{gs(th)}$ 的方式,换言之,以 $V_{p#} - R2 \times I_s > V_{gs(th)}$ 成立的方式,确定电阻值 $R2$ 、电流量 I_s 。 $V_{gs(th)}$ 是 N 沟道MOSFET(Metal Oxide Semiconductor Field Effect

Transistor:金属氧化物半导体场效应晶体管)的栅极源极间阈值电压。由此,能够使第1晶体管M1导通。即,对象引脚P#被电阻R1终端(下拉),终端电路610_#成为启用状态。

[0070] 图6是使能引脚EN为第2状态时的半导体集成电路600的等效电路图。

[0071] 在第2状态下,使能电路620的输出阻抗充分小于第2电阻R2的电阻值。由此,使能电路620的输出节点622被固定为低电平(接地电压0V附近)。由此,能够使第1晶体管M1截止。这时,对象引脚P#未被电阻R1终端(下拉),因此,终端电路610_#成为禁用状态。

[0072] 以上为半导体集成电路600的动作。根据该半导体集成电路600,能够通过一个使能引脚EN来设定多个终端电路610_1~610_N的启用状态、禁用状态。另外,通过在第1晶体管M1的栅极与使能引脚EN之间介入使能电路620,能够抑制多个终端电路610_1~610_N的相互干扰。

[0073] 另外,通过设置齐纳二极管ZD1,在对象引脚P#产生高电压时,能够对第1晶体管M1的栅极和使能电路620的输出节点的电压进行钳位,能够保护第1晶体管M1和使能电路620的内部元件。

[0074] 图7是表示使能电路620的具体的构成例的电路图。使能电路620包括:设于输出节点622与接地之间的第2晶体管M2;以及根据使能引脚EN的状态使第2晶体管M2的状态变化的偏置电路624。

[0075] 使能电路620被构成为:在使能引脚EN为第1状态(短路)时,向第2晶体管M2的栅极施加相对较低的电压 V_L ,在使能引脚EN为第2状态(开路)时,向第2晶体管M2的栅极施加相对较高的电压 V_H 。

[0076] 偏置电路624包括第3电阻R3和第3晶体管M3。第3电阻R3的一端与对象引脚P#连接。第3晶体管M3的高电位侧的电极(漏极)和控制电极(栅极)与第3电阻R3的另一端连接,低电位侧的电极(源极)与使能引脚EN连接。

[0077] 优选的是第3晶体管M3的背栅极接地。由此,通过第3晶体管M3的背栅极与源极间的体二极管BD,能够提高多个对象引脚P#(#=1~N)间的隔离性。

[0078] 以上为终端电路610的构成例。接着,对其动作进行说明。晶体管M2和M3构成电流镜电路626。将晶体管M2和M3的尺寸比设为1:N。该电流镜电路626使从对象引脚P#流向使能引脚EN的电流 I_1 折返,并将1/N倍的电流 $I_s(=I_1/N)$ 从输出节点622灌流。

[0079] 在使能引脚EN接地的第1状态下,由于从对象引脚P#向接地电流路径(第3电阻R3和第3晶体管M3)有效,因此电流 I_1 流过,与其成比例的电流 I_s 从输出节点622被灌流,在第1晶体管M1的栅极产生较高的电压,能够使第1晶体管M1导通。

[0080] 在使能引脚EN为开路(或者被施加高电位)的第2状态下,从对象引脚P#向接地不存在电流路径。因此,不流过电流 I_1 ,第2晶体管M2的栅极被第3电阻R3上拉到高电压 $V_{p\#}$ 。由此,第2晶体管M2完全导通,第1晶体管M1的栅极被固定为低电平。

[0081] 图8是表示终端电路610_#的其他构成例的电路图。在图8中,图7的第3晶体管M3被置换为整流电路D1。整流电路D1包括一个或者串联连接的多个二极管。整流电路D1也能够理解为在使能引脚EN接地时产生电位差 $\Delta V(=V_f)$ 的恒压源。

[0082] 在使能引脚EN接地时,第2晶体管M2的栅极被施加整流电路D1的正向电压 V_f 。 V_f 只要设计为使适当的灌电流 I_s 流过第2晶体管M2即可。

[0083] 使能引脚EN为开路时,在第2晶体管M2的栅极经由第3电阻R3而施加对象引脚P#的

高电压 $V_{p\#}$ 。由此,第2晶体管M2完全导通。

[0084] 此外,在预先规定了对象引脚P#的高电压 $V_{p\#}$ 的应用中,也可以用电阻(将电阻值设为 R_4)来置换整流电路D1。在使能引脚EN接地时,通过由电阻 R_3 和 R_4 形成的分压电路对电压 $V_{p\#}$ 进行分压,分压后的电压 $V_L = V_{p\#} \times R_4 / (R_3 + R_4)$ 被施加到第2晶体管M2的栅极。

[0085] 在图7或图8中,第2晶体管M2可以视为可变阻抗元件。从本观点出发,终端电路610也可以如图9那样理解。图9是表示终端电路610_#的另一构成例的电路图。

[0086] 使能电路620在(i)使能引脚EN为第1状态时,具有比第2电阻 R_2 大的输出阻抗 R_{o1} ,在(ii)使能引脚为第2状态时,具有比第2电阻 R_2 小的输出阻抗 R_{o2} 。

[0087] 第1晶体管M1的栅极电压 V_{g1} 由 $V_{g1} = V_{p\#} \times R_{o1} / (R_2 + R_{o1})$ 给出。在 $R_{o1} \gg R_2$ 时,栅极电压 V_{g1} 变高,能够使第1晶体管M1导通。在 $R_{o1} \ll R_2$ 时,栅极电压 V_{g1} 变低,能够使第1晶体管M1截止。

[0088] 使能电路620包括:设于输出节点622与接地之间的可变阻抗元件628;以及控制可变阻抗元件628的阻抗(即,使能电路620的输出阻抗 R_o)的阻抗控制部630。阻抗控制部630根据使能引脚EN的状态,使可变阻抗元件628的阻抗 R_o 变化。

[0089] 接着,对半导体集成电路600的用途进行说明。图10是USB(Universal Serial Bus:通用串行总线)PD(Power Delivery:功率输送)控制器800的电路图。该PD控制器800被用作图1的受电侧控制器310或者供电侧控制器204。

[0090] PD控制器800具有2个CC(Configuration Channel:配置信道)引脚CC1、CC2。PD控制器800包括逻辑电路810、下拉电路820_1、820_2以及电压钳位电路830_1、830_2。

[0091] 向逻辑电路810的电源端子VCC供给电源电压或者基于其生成的电源电压。逻辑电路810在该电源电压比UVLO(欠压锁定)的阈值高时,控制下拉电路820_1、820_2的状态。另外,将电压钳位电路830_1、830_2的第4晶体管M4固定为导通,使电压钳位电路830_1、830_2无效化。

[0092] 电压钳位电路830_1、830_2与上述终端电路610对应。电压钳位电路830_1、830_2与共通的使能引脚EN连接,控制启用/禁用。在PD控制器800被安装于接收设备(sink device)的情况下,使能引脚EN被设为第1状态。由此,在无电电池状态下,在逻辑电路810为不能动作时,能够将CC1引脚、CC2引脚下拉。

[0093] 在PD控制器800被安装于源设备(source device)的情况下,使能引脚EN被设为第2状态。由此,电压钳位电路830_1、830_2成为禁用状态。

[0094] (用途)

[0095] 最后,对受电装置300的用途进行说明。图11是表示包括受电装置300的电子设备900的图。在此例示的电子设备900为智能手机或平板终端。电子设备900在上述电池402及受电装置300之外,还包括插座902、壳体904、显示面板906、CPU910及基带IC912。受电装置300接受供给到插座902的总线电压,对电池402进行充电,并且向CPU910、基带IC912等负载供给电源电压。此外,电子设备900也可以是笔记本PC、数字照相机、数字摄像机、音频播放器等。

[0096] 基于实施方式并使用具体的语句说明了本发明,但实施方式只是示出本发明的原理、应用,在实施方式中,在不脱离权利要求书所规定的本发明的思想的范围内,可确认到较多的变形例、配置的变更。

- [0097] [工业可利用性]
- [0098] 本发明涉及电子电路。
- [0099] [附图标记说明]
- [0100] 100 供电系统
- [0101] 102 适配器
- [0102] 106 USB电缆
- [0103] 108 插座
- [0104] 200 供电装置
- [0105] 202 电源电路
- [0106] 204 供电侧控制器
- [0107] SW1 总线开关
- [0108] 206 5V电源
- [0109] 400 电子设备
- [0110] 402 电池
- [0111] 404 插座
- [0112] 406 负载
- [0113] 300 受电装置
- [0114] 302 充电电路
- [0115] 310 受电侧控制器
- [0116] SW2 总线开关
- [0117] 900 电子设备
- [0118] 500 PD控制器
- [0119] 520 电压钳位电路
- [0120] 600 半导体集成电路
- [0121] P1、P2 对象引脚
- [0122] EN 使能引脚
- [0123] 610 终端电路
- [0124] M1 第1晶体管
- [0125] M2 第2晶体管
- [0126] M3 第3晶体管
- [0127] M4 第4晶体管
- [0128] R1 第1电阻
- [0129] R2 第2电阻
- [0130] R3 第3电阻
- [0131] 620 使能电路
- [0132] 622 输出节点
- [0133] 624 偏置电路
- [0134] 630 阻抗控制部
- [0135] 800 PD控制器

- [0136] 810 逻辑电路
- [0137] 820 下拉电路
- [0138] 830 电压钳位电路

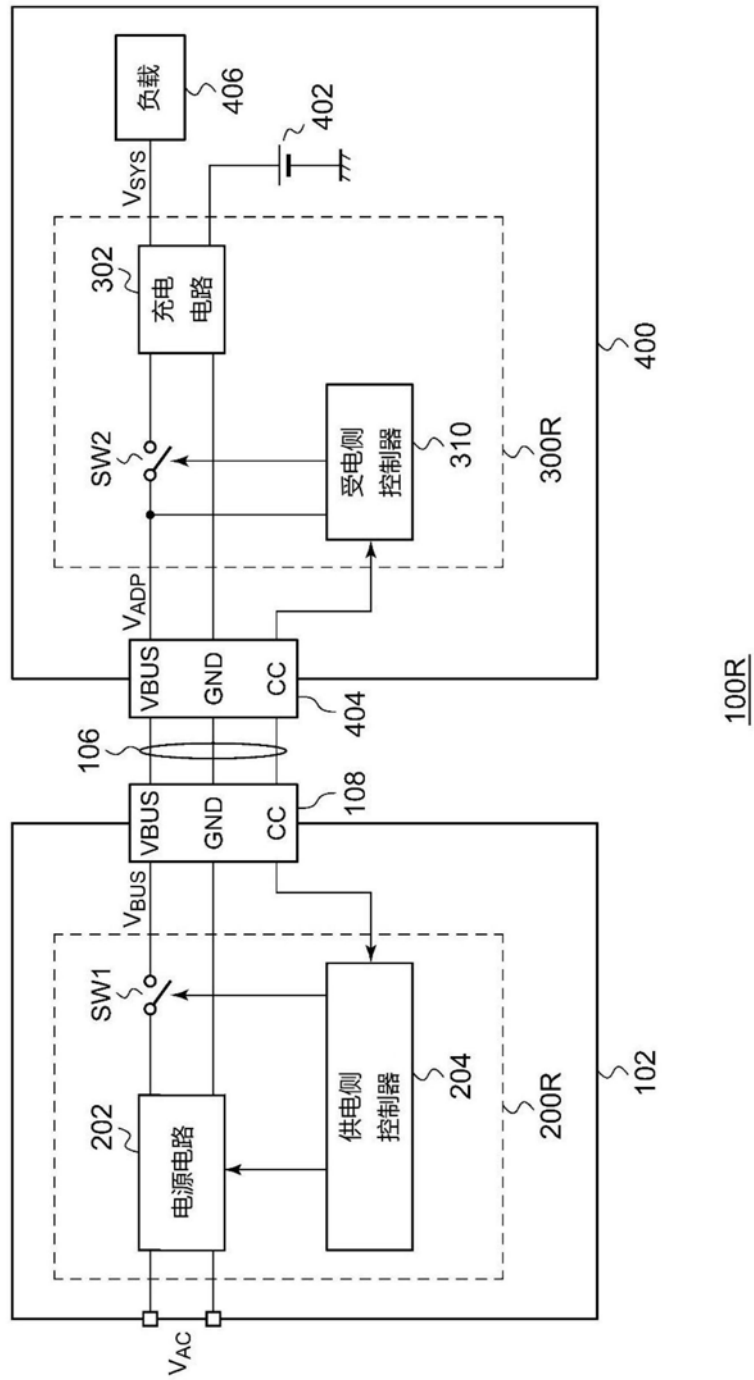


图1

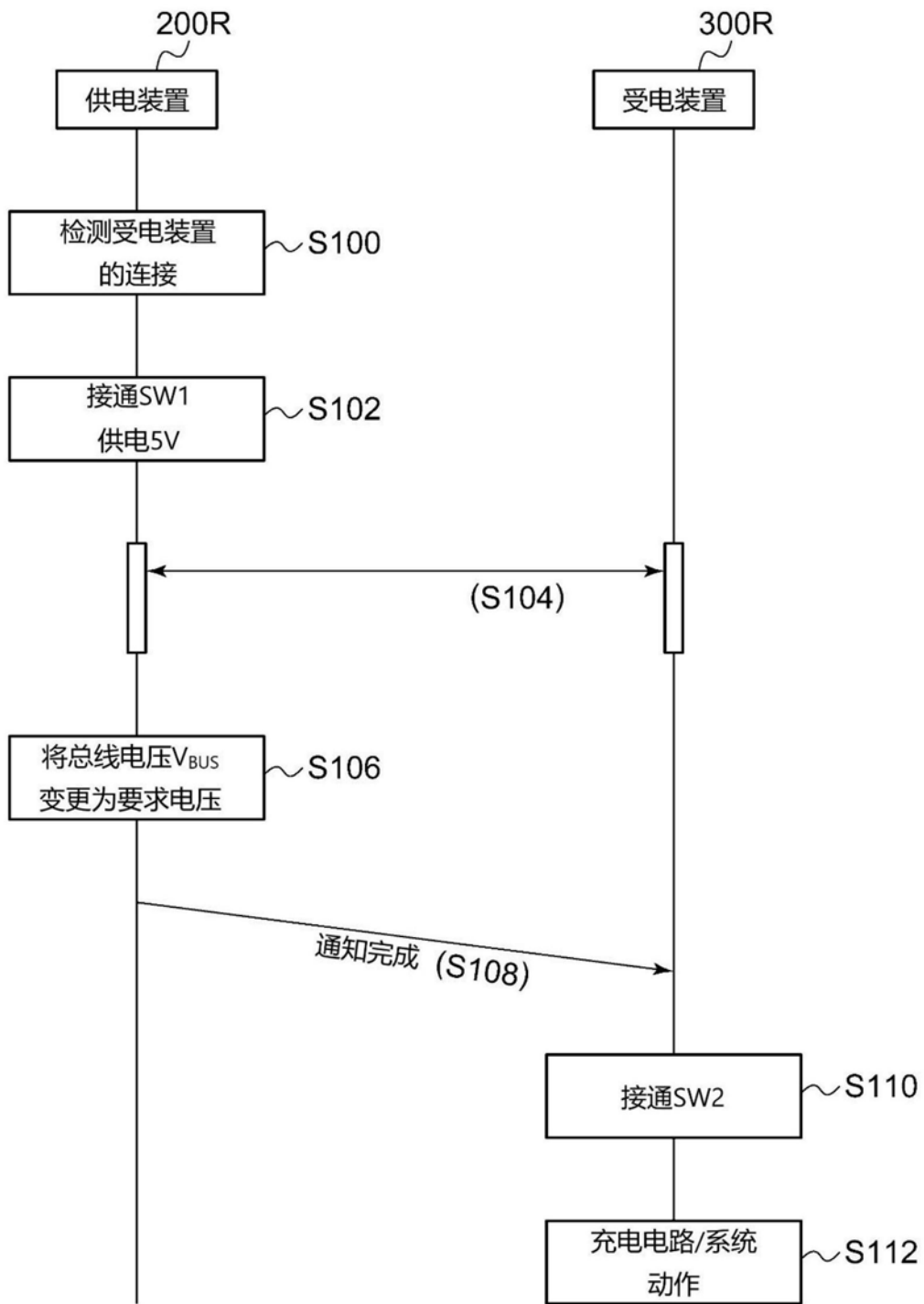


图2

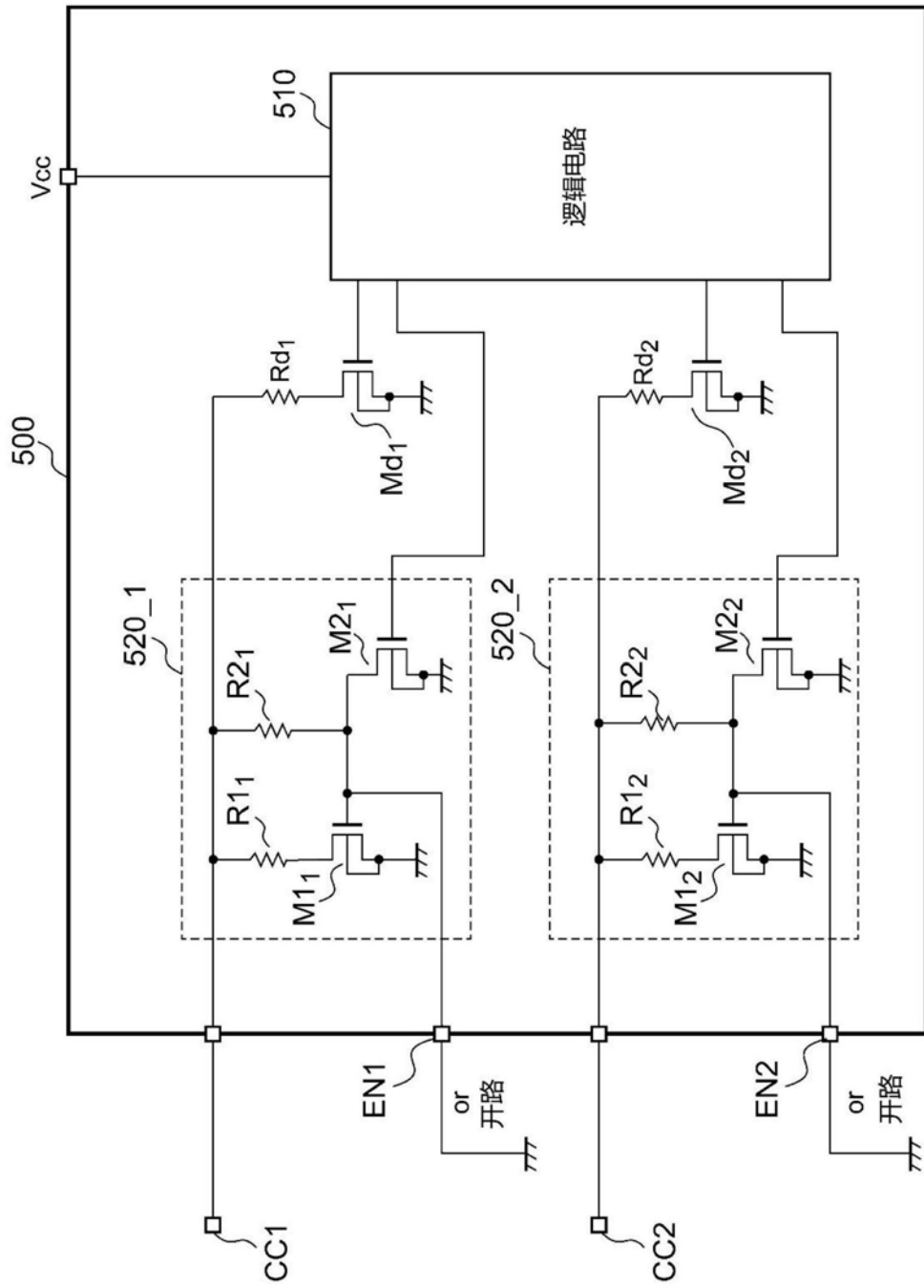


图3

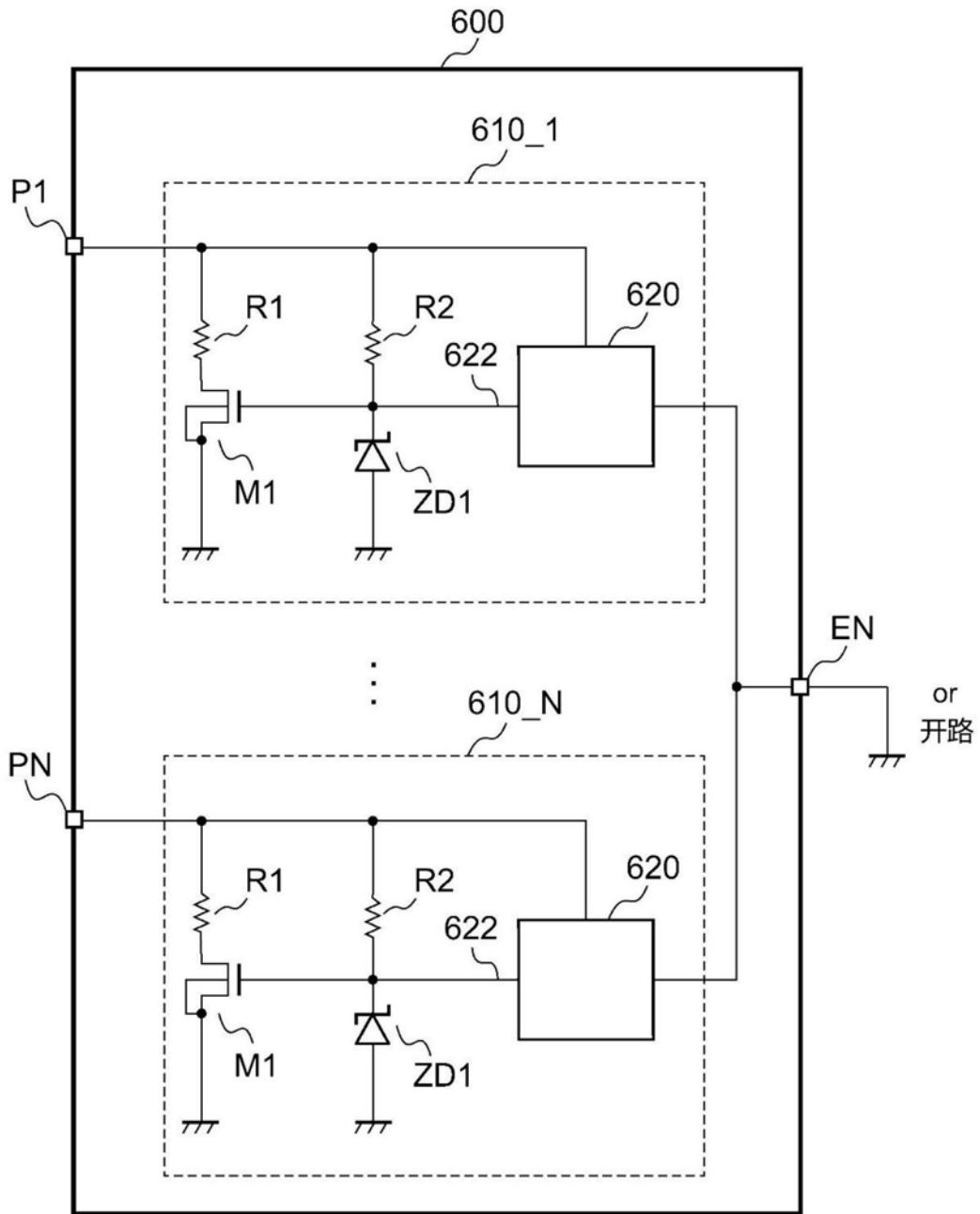


图4

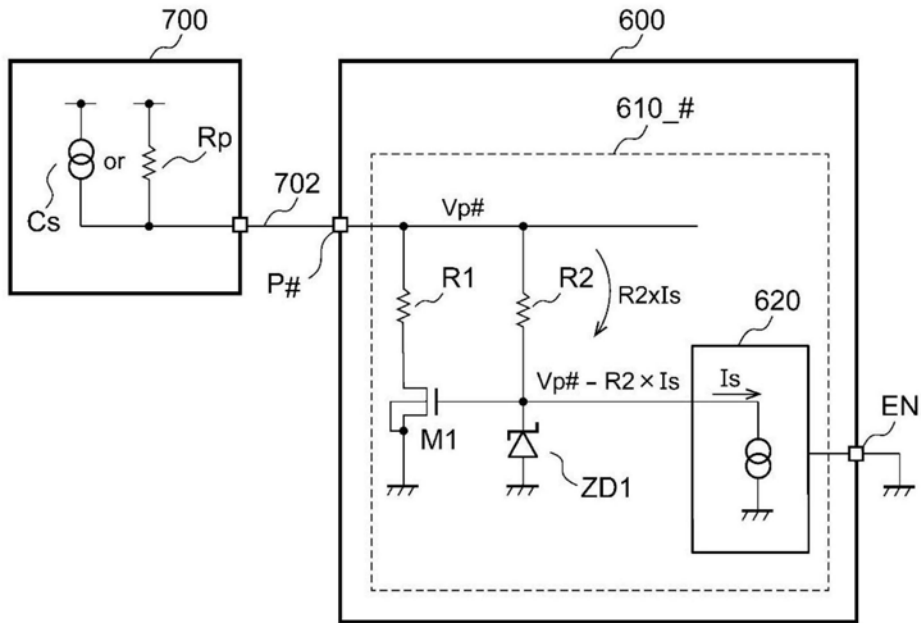


图5

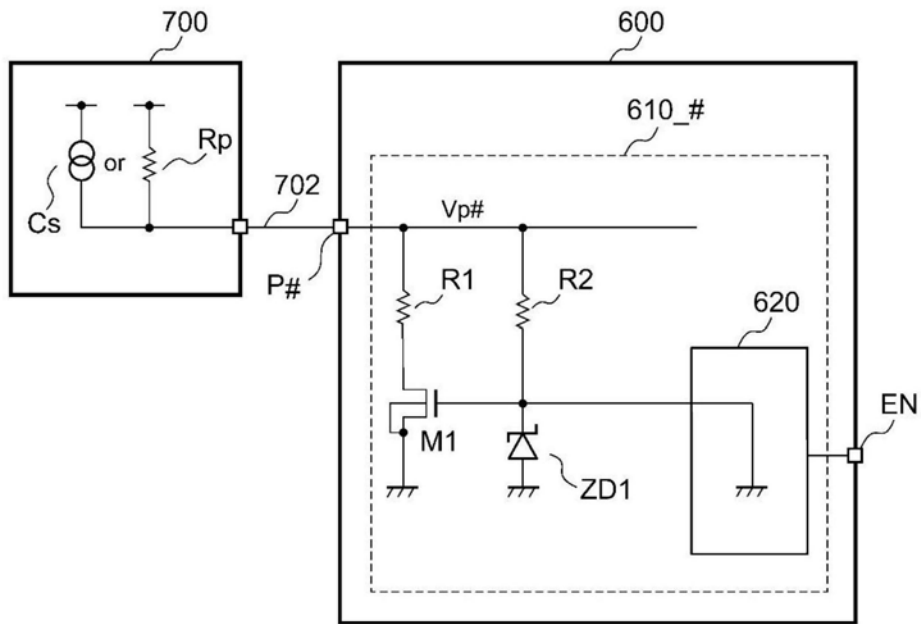


图6

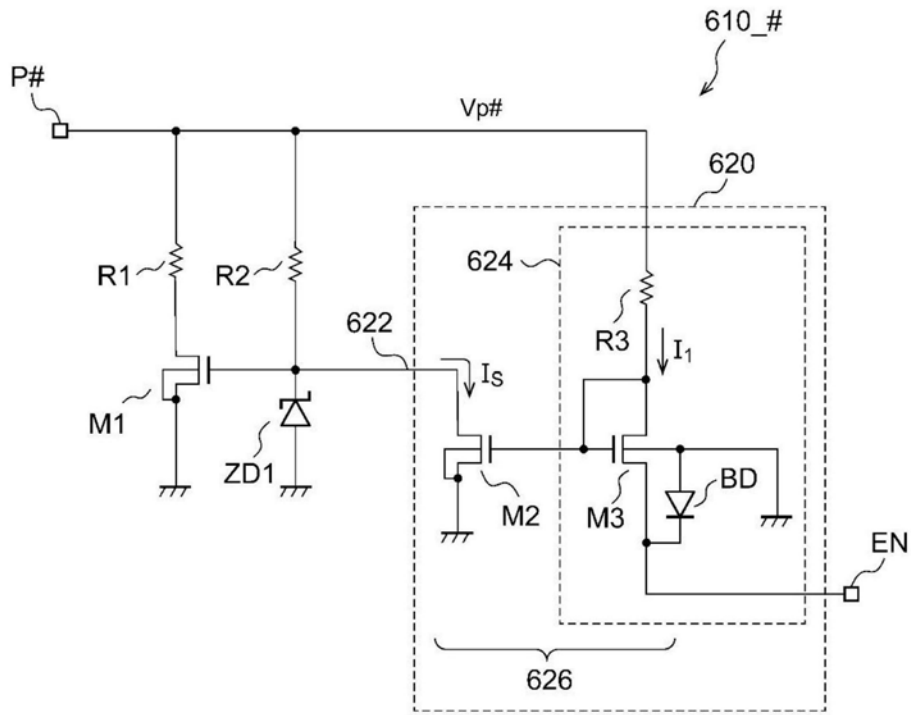


图7

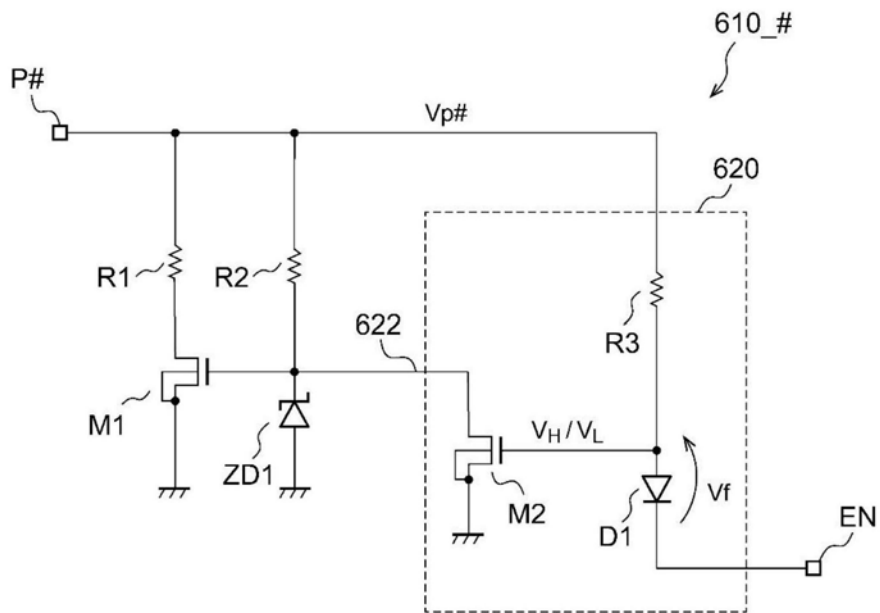


图8

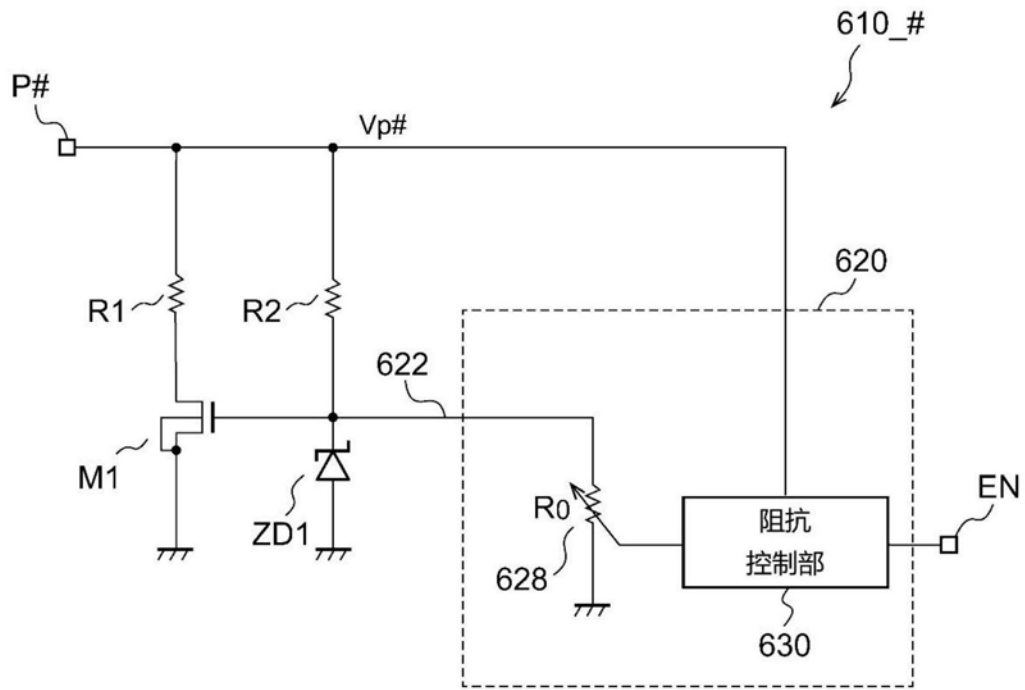


图9

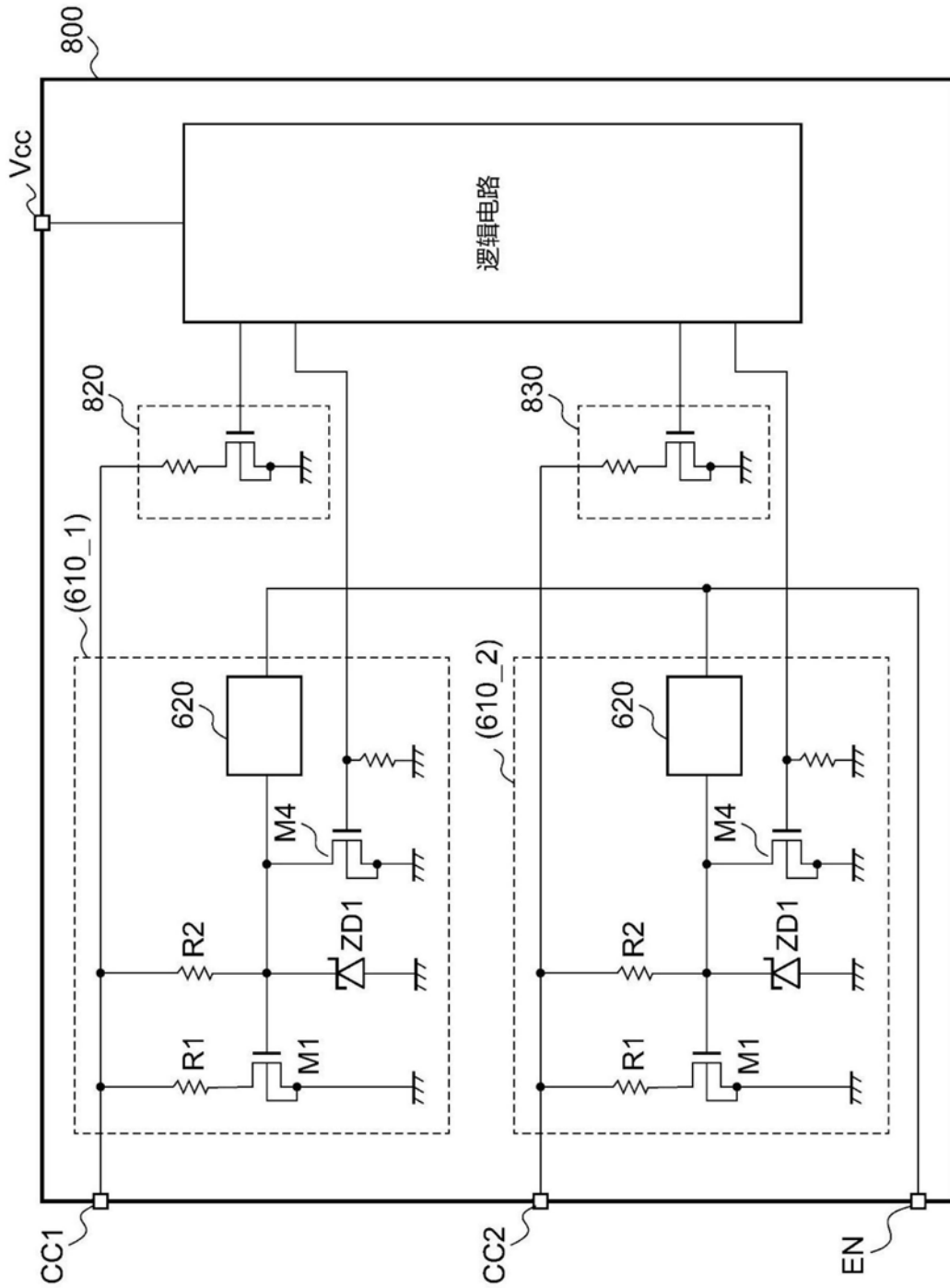


图10

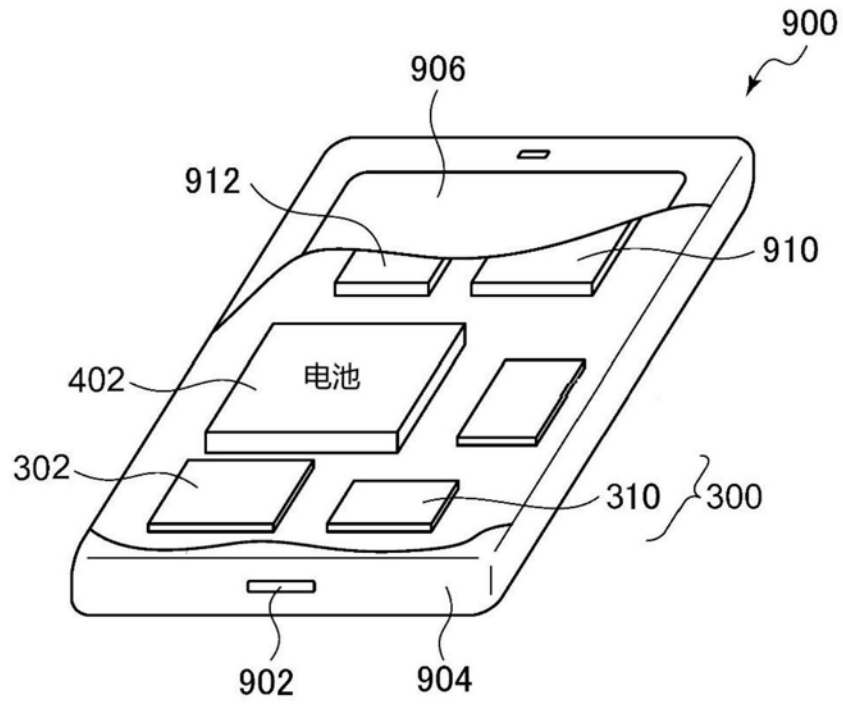


图11