



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년08월16일
 (11) 등록번호 10-1888445
 (24) 등록일자 2018년08월08일

(51) 국제특허분류(Int. Cl.)
 H01L 51/50 (2006.01)
 (21) 출원번호 10-2012-0029268
 (22) 출원일자 2012년03월22일
 심사청구일자 2017년03월02일
 (65) 공개번호 10-2013-0107459
 (43) 공개일자 2013년10월02일
 (56) 선행기술조사문헌
 KR1020050064353 A*
 KR1020080049910 A*
 KR1020090120698 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
 최희동
 충남 서산시 음암면 음암로 499, 110동 401호 (서산수림미소가아파트)
 (74) 대리인
 박영복

전체 청구항 수 : 총 10 항

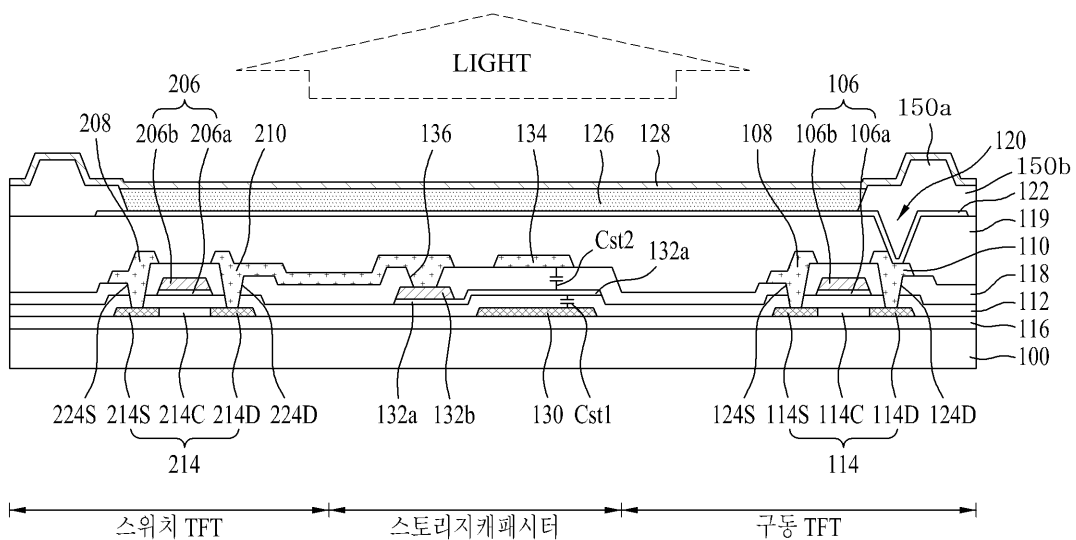
심사관 : 정명주

(54) 발명의 명칭 유기 전계 발광 표시 패널 및 그의 제조 방법

(57) 요약

본 발명은 공정 수를 감소시킬 수 있는 유기 전계 발광 표시 패널 및 그의 제조 방법에 관한 것으로, 본 발명에 따른 유기 전계 발광 표시 패널은 기판 상에 형성된 액티브층, 게이트 절연막, 게이트 전극, 게이트 절연막, 소스 및 드레인 전극을 포함하는 스위치 트랜지스터 및 구동 트랜지스터와, 상기 구동 트랜지스터의 드레인 전극과 접속된 제1 전극과, 상기 제1 전극 상에 형성되어 빛을 발광하는 유기층과, 상기 유기층 상에 형성된 제2 전극을 포함하는 유기 전계 발광 소자와, 상기 스위치 트랜지스터의 액티브층과 동일층에 형성된 제1 스토리지 전극과, 상기 제1 스토리지 전극과 상기 게이트 절연막을 사이에 두고 중첩되는 부분이 단일층으로 형성되며, 상기 스위치 트랜지스터의 드레인 전극과 콘택홀을 통해 접속하는 부분이 이중층으로 형성된 제2 스토리지 전극을 포함하는 스토리지 캐패시터를 구비하는 것을 특징으로 한다.

대표도 - 도3



명세서

청구범위

청구항 1

기관 상에 위치하고, 액티브층, 게이트 절연막, 게이트 전극, 층간 절연막, 소스 전극 및 드레인 전극을 포함하는 구동 트랜지스터와;

상기 구동 트랜지스터의 드레인 전극과 접속된 제1 전극과, 상기 제1 전극 상에 형성되어 빛을 발광하는 유기층과, 상기 유기층 상에 형성된 제2 전극을 포함하는 유기 전계 발광 소자와;

상기 구동 트랜지스터의 액티브층과 동일층에 위치하는 제1 스토리지 전극 및 상기 게이트 절연막에 의해 상기 제1 스토리지 전극과 절연되고, 투명 전극의 단일층 영역 및 투명 전극과 불투명 전극의 이중층 영역으로 이루어진 제2 스토리지 전극을 포함하는 스토리지 캐패시터를 구비하되,

상기 구동 트랜지스터의 액티브층은 상기 소스 전극과 접속되는 소스 영역, 상기 드레인 전극과 접속되는 드레인 영역 및 상기 소스 영역과 상기 드레인 영역 사이에 위치하는 채널 영역을 포함하고,

상기 제2 스토리지 전극의 단일층 영역은 상기 제1 스토리지 전극과 중첩하며,

상기 제1 스토리지 전극은 상기 액티브층의 소스 영역 및 드레인 영역과 동일한 불순물을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 패널.

청구항 2

제1항에 있어서,

상기 기관과 상기 유기 전계 발광 소자 사이에 위치하고, 액티브층, 게이트 절연막, 게이트 전극, 층간 절연막, 소스 전극 및 드레인 전극을 포함하는 스위칭 트랜지스터를 더 포함하되,

상기 스위칭 트랜지스터의 드레인 전극은 상기 제2 스토리지 전극의 불투명 전극과 접속되는 것을 특징으로 하는 유기 전계 발광 표시 패널.

청구항 3

제1항에 있어서,

상기 스토리지 캐패시터는 상기 층간 절연막에 의해 상기 제2 스토리지 전극과 절연되고, 상기 제2 스토리지 전극의 단일층 영역과 중첩하는 제3 스토리지 전극을 더 포함하되,

상기 제3 스토리지 전극은 상기 구동 트랜지스터의 드레인 전극과 동일한 물질을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 패널.

청구항 4

제1항에 있어서,

상기 게이트 전극은 투명 전극과 불투명 전극이 적층된 이중층으로 이루어지되,

상기 게이트 전극의 투명 전극 및 불투명 전극은 각각 상기 제2 스토리지 전극의 투명 전극 및 불투명 전극과 동일한 물질을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 패널.

청구항 5

제1항에 있어서,

상기 제1 전극을 노출시키도록 백홀이 구비된 백 절연막을 더 포함하되,

상기 유기층은 상기 백홀 내에 위치하는 것을 특징으로 하는 유기 전계 발광 표시 패널.

청구항 6

제5항에 있어서,

상기 बैं크 절연막 상에 위치하는 스페이서를 더 포함하되,

상기 스페이서는 상기 बैं크 절연막과 동일한 물질을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 패널.

청구항 7

기관 상에 구동 트랜지스터의 액티브층과 제1 스토리지 전극을 형성하는 단계와;

상기 액티브층과 상기 제1 스토리지 전극이 형성된 기관 상에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상에 상기 구동 트랜지스터의 게이트 전극을 형성하는 단계와;

상기 게이트 절연막 상에 투명 전극의 단일층 영역 및 투명 전극과 불투명 전극의 이중층 영역으로 이루어진 제2 스토리지 전극을 형성하는 단계와;

상기 게이트 전극 및 상기 제2 스토리지 전극이 형성된 기관에 불순물을 도핑하여 상기 구동 트랜지스터의 액티브층에 소스 영역 및 드레인 영역을 형성하는 단계와;

상기 소스 영역 및 상기 드레인 영역이 형성된 기관 상에 층간 절연막을 형성하는 단계와;

상기 층간 절연막 상에 상기 액티브층의 소스 영역과 접속하는 소스 전극 및 상기 액티브층의 드레인 영역과 접속하는 드레인 전극을 형성하는 단계와;

상기 층간 절연막 상에 상기 구동 트랜지스터의 드레인 전극을 노출시키는 보호막을 형성하는 단계와;

상기 보호막 상에 상기 구동 트랜지스터의 드레인 전극과 접속된 유기 전계 발광 소자를 형성하는 단계를 포함하되,

상기 제2 스토리지 전극의 단일층 영역은 상기 제1 스토리지 전극과 중첩하고,

상기 제1 스토리지 전극은 상기 소스 영역 및 상기 드레인 영역을 형성하는 단계에 의해 불순물이 도핑되는 것을 특징으로 하는 유기 전계 발광 표시 패널의 제조 방법.

청구항 8

제7항에 있어서,

상기 구동 트랜지스터의 게이트 전극과 제2 스토리지 전극을 형성하는 단계는 상기 게이트 절연막 상에 투명 전극층, 불투명 전극층, 포토레지스트를 순차적으로 형성하는 단계와; 상기 포토레지스트를 부분 노광 마스크를 통해 서로 다른 두께를 가지는 제1 및 제2 포토레지스트 패턴을 형성하는 단계와; 상기 제1 및 제2 포토레지스트 패턴을 이용한 식각 공정으로 투명 전극층 및 불투명 전극층을 패터닝하여 투명 전극 및 불투명 전극으로 이루어진 이중층의 게이트 전극과 이중층의 제2 스토리지 전극을 형성하는 단계와; 상기 제1 및 제2 포토레지스트 패턴을 애싱하여 상기 제2 포토레지스트 패턴을 제거하고, 상기 제1 포토레지스트 패턴을 남게 하는 단계와; 상기 남은 제1 포토레지스트 패턴을 이용해서 상기 제1 스토리지 전극과 중첩되는 부분에 불투명 전극을 제거하는 단계를 포함하고,

상기 기관에 불순물을 도핑하는 단계는 상기 남은 제1 포토레지스트 패턴을 제거하는 단계와; 상기 제1 포토레지스트 패턴이 제거된 기관에 n+ 또는 p+ 불순물을 도핑하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 패널의 제조 방법.

청구항 9

제7항에 있어서,

상기 유기 전계 발광 소자를 형성하는 단계는 상기 구동 트랜지스터의 드레인 전극과 접속된 제1 전극을 상기 보호막 상에 형성하는 단계와; 상기 제1 전극을 노출시키는 बैं크 홀이 구비된 बैं크 절연막을 형성하는 단계와; 상기 बैं크 절연막 상에 스페이서를 형성하는 단계와; 상기 बैं크 홀 내에 유기층과 제2 전극을 형성하는 단계를 포함하되,

상기 스페이서는 상기 बैं크 절연막과 동일 물질로 형성되는 것을 특징으로 하는 유기 전계 발광 표시 패널의 제조 방법.

청구항 10

제9항에 있어서,

상기 층간 절연막과 상기 보호막 사이에 상기 제2 스토리지 전극의 단일층 영역과 중첩하는 제3 스토리지 전극을 형성하는 단계를 더 포함하되,

상기 제3 스토리지 전극은 상기 소스 전극 및 상기 드레인 전극과 동시에 형성되는 것을 특징으로 하는 유기 전계 발광 표시 패널의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 전계 발광 표시 패널 및 그의 제조 방법에 관한 것으로, 특히 공정 수를 감소시킬 수 있는 유기 전계 발광 표시 패널 및 그의 제조 방법에 관한 것이다.

배경 기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 평판 표시 장치로 유기 발광층의 발광량을 제어하여 영상을 표시하는 유기 전계 발광 표시 장치가 각광받고 있다. 유기 전계 발광 표시 장치는 전극 사이의 얇은 발광층을 이용한 자발광 소자로 종이와 같이 박막화가 가능하다는 장점을 갖고 있다.

[0003] 액티브 매트릭스 OLED(AMOLED)는 3색(R, G, B) 서브 화소로 구성된 화소들이 매트릭스 형태로 배열되어 화상을 표시하게 된다. 각 서브 화소는 유기 발광 소자와, 그 유기 발광 소자를 구동하는 셀 구동부를 포함한다. 셀 구동부는 스캔 신호를 공급하는 게이트 라인과, 비디오 데이터 신호를 공급하는 데이터 라인과, 공통 전원 신호를 공급하는 공통 전원 라인 사이에 접속된 적어도 2개의 박막 트랜지스터와 스토리지 캐패시터로 구성되어 유기 발광 소자의 양극을 구동한다.

[0004] 도 1은 종래 구동 박막 트랜지스터, 유기 전계 발광 소자, 스토리지 캐패시터를 나타낸 단면도이다. 구동 박막 트랜지스터는 액티브층(14), 게이트 절연막(12), 게이트 전극(6), 층간 절연막(18), 소스 및 드레인 전극(8,10)을 포함하며, 유기 전계 발광 소자는 컨택홀(20)을 통해 구동 박막 트랜지스터의 드레인 전극(10)과 접속된 제1 전극(22)과, 제1 전극(22)을 노출시키는 बैं크 절연막(24a)과, बैं크 절연막(24a) 상에 스페이서(24b)를 포함하며, 스토리지 캐패시터는 층간 절연막(18)을 사이에 두고 제1 스토리지 전극(30)과 제2 스토리지 전극(34)이 중첩되어 형성된다.

[0005] 이러한, 유기 전계 발광 표시 패널의 제조 방법을 살펴보면, 제1 마스크 공정을 통해 액티브층(14)을 형성하는 공정과, 제2 마스크 공정을 통해 게이트 전극(6) 및 제1 스토리지 전극(30)을 형성하는 공정과, 제3 마스크 공정을 통해 소스 및 드레인 컨택홀을 형성하는 공정과, 제4 마스크 공정을 통해 소스 및 드레인 전극(8,10)을 형성하는 공정과, 제5 마스크 공정을 통해 컨택홀(20)을 포함하는 무기 절연 물질의 보호막(17)을 형성하는 공정과, 제6 마스크 공정을 통해 컨택홀(20)을 포함하는 유기 절연 물질의 보호막(19)을 형성하는 공정과, 제7 마스크 공정을 통해 드레인 전극(10)과 접속된 제1 전극(22)을 형성하는 공정과, 제8 마스크 공정을 통해 बैं크 절연막(24a)을 형성하는 공정과, 제9 마스크 공정을 통해 스페이서(24b)를 형성한다. 이와 같이, 유기 전계 발광 표시 패널은 적어도 9 마스크 공정이 필요하며, 그에 따른 공정 비용과 공정 시간이 증가하는 문제가 발생된다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 상기 문제점을 해결하기 위해 창안된 것으로서, 공정 수를 감소시킬 수 있는 유기 전계 발광 표시 패널 및 그의 제조 방법을 제공하는 것이다.

과제의 해결 수단

- [0007] 이를 위하여, 본 발명에 따른 유기 전계 발광 표시 패널은 기관 상에 형성된 액티브층, 게이트 절연막, 게이트 전극, 게이트 절연막, 소스 및 드레인 전극을 포함하는 스위치 트랜지스터 및 구동 트랜지스터와, 상기 구동 트랜지스터의 드레인 전극과 접속된 제1 전극과, 상기 제1 전극 상에 형성되어 빛을 발광하는 유기층과, 상기 유기층 상에 형성된 제2 전극을 포함하는 유기 전계 발광 소자와, 상기 스위치 트랜지스터의 액티브층과 동일층에 형성된 제1 스토리지 전극과, 상기 제1 스토리지 전극과 상기 게이트 절연막을 사이에 두고 중첩되는 부분이 단일층으로 형성되며, 상기 스위치 트랜지스터의 드레인 전극과 콘택홀을 통해 접속하는 부분이 이중층으로 형성된 제2 스토리지 전극을 포함하는 스토리지 캐패시터를 구비하는 것을 특징으로 한다.
- [0008] 여기서, 상기 단일층은 투명 전극으로 형성되며, 상기 이중층은 투명 전극과 불투명 전극이 적층되어 형성된 것을 특징으로 한다.
- [0009] 또한, 상기 스토리지 캐패시터는 상기 층간 절연막을 사이에 두고 상기 제2 스토리지 전극과 중첩되도록 형성되는 제3 스토리지 전극을 더 포함하며, 상기 제3 스토리지 전극은 상기 스위치 트랜지스터의 드레인 전극과 동일 공정에서 형성된 것을 특징으로 한다.
- [0010] 그리고, 상기 게이트 전극은 투명 전극과 불투명 전극으로 이중층으로 형성되며, 상기 게이트 전극과 상기 제2 스토리지 전극과 동일 공정에서 형성되는 것을 특징으로 한다.
- [0011] 또한, 상기 제1 전극을 노출시키도록 뱅크홀이 형성된 뱅크 절연막을 더 포함하며, 상기 뱅크홀 내에 상기 유기층이 형성되는 것을 특징으로 한다.
- [0012] 그리고, 상기 뱅크 절연막 상에 스페이서를 더 포함하며, 상기 스페이서는 상기 뱅크 절연막과 일체화된 것을 특징으로 한다.
- [0013] 본 발명에 따른 유기 전계 발광 표시 패널의 제조 방법은 기관 상에 스위치 트랜지스터 및 구동 트랜지스터 각각의 액티브층과 제1 스토리지 전극을 형성하는 단계와, 상기 액티브층과 상기 제1 스토리지 전극이 형성된 기관 상에 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 상기 스위치 트랜지스터 및 구동 트랜지스터 각각의 게이트 전극과, 제2 스토리지 전극, 상기 스위치 트랜지스터 및 구동 트랜지스터 각각의 액티브층의 소스 및 드레인 영역을 형성하는 단계와, 상기 게이트 전극과 제2 스토리지 전극이 형성된 기관 상에 층간 절연막을 형성하고, 상기 층간 절연막과 상기 게이트 절연막을 관통하여 상기 액티브층의 소스 및 드레인 영역을 노출시키는 소스 및 드레인 콘택홀과, 제2 스토리지 전극을 노출시키는 스토리지 콘택홀을 형성하는 단계와, 상기 소스 및 드레인 콘택홀에 상기 스위치 트랜지스터 및 구동 트랜지스터 각각의 소스 및 드레인 전극을 형성하고, 상기 스토리지 콘택홀에 제3 스토리지 전극을 형성하는 단계와, 상기 구동 트랜지스터의 드레인 전극을 노출시키는 보호막을 형성하는 단계와, 상기 구동 트랜지스터의 드레인 전극과 접속된 유기 전계 발광 소자를 형성하는 단계를 포함하며, 상기 제2 스토리지 전극은 상기 제1 스토리지 전극과 상기 게이트 절연막을 사이에 두고 중첩되는 부분이 단일층으로 형성되며, 상기 스위치 트랜지스터의 드레인 전극과 상기 스토리지 콘택홀을 통해 접속하는 부분이 이중층으로 형성되는 것을 특징으로 한다.
- [0014] 이때, 상기 게이트 절연막 상에 상기 스위치 트랜지스터 및 구동 트랜지스터 각각의 게이트 전극과, 제2 스토리지 전극, 상기 스위치 트랜지스터 및 구동 트랜지스터 각각의 액티브층의 소스 및 드레인 영역을 형성하는 단계는 상기 게이트 절연막 상에 투명 전극층, 불투명 전극층, 포토레지스트를 순차적으로 형성하는 단계와, 상기 포토레지스트를 부분 노광 마스크를 통해 서로 다른 두께를 가지는 제1 및 제2 포토레지스트 패턴을 형성하는 단계와, 상기 제1 및 제2 포토레지스트 패턴을 이용한 식각 공정으로 투명 전극층 및 불투명 전극층을 패터닝하여 투명 전극 및 불투명 전극으로 이루어진 이중층의 게이트 전극과 이중층의 제2 스토리지 전극을 형성하는 단계와, 상기 제1 및 제2 포토레지스트 패턴을 애싱하여 상기 제2 포토레지스트 패턴을 제거하고, 상기 제1 포토레지스트 패턴을 남게 하는 단계와, 상기 남은 제1 포토레지스트 패턴을 이용해서 상기 제1 스토리지 전극과 중첩되는 부분에 불투명 전극을 제거하여 투명 전극만 남게 하고, 상기 스토리지 콘택홀이 형성되는 부분에 투명 전극과 불투명 전극의 이중층으로 이루어진 제2 스토리지 전극을 형성하는 단계와, 상기 남은 제1 포토레지스트 패턴을 제거하고 n+ 또는 p+ 불순물을 도핑하여 상기 액티브층의 소스 및 드레인 영역을 형성하고, 상기 제1 스토리지 전극을 도전성을 갖도록 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0015] 또한, 상기 구동 트랜지스터의 드레인 전극과 접속된 유기 전계 발광 소자를 형성하는 단계는 상기 구동 트랜지스터의 드레인 전극과 접속된 제1 전극을 상기 보호막 상에 형성하는 단계와, 상기 제1 전극을 노출시키는 뱅크홀을 가지는 뱅크 절연막과 스페이서를 동시에 형성하는 단계와, 상기 뱅크 홀 내에 유기층과 제2 전극을 형성

하는 단계를 포함하는 것을 특징으로 한다.

[0016] 이때, 상기 스페이서는 상기 बैं크 절연막과 일체화된 것을 특징으로 한다.

발명의 효과

[0017] 본 발명에 따른 유기 전계 발광 표시 패널 및 그의 제조 방법은 액티브층과 제1 스토리지 전극을 동일 공정에서 형성하고, 게이트 전극과 제2 스토리지 전극을 동일 공정에서 형성하고, 드레인 전극과 제3 스토리지 전극을 동일 공정에서 형성하고, बैं크 절연막과 스페이서를 동일 공정에서 형성함으로써 공정 수를 감소시킬 수 있으며, 그에 따른 공정 비용과 공정 시간을 감소시킬 수 있다.

[0018] 또한, 게이트 절연막을 사이에 두고 제1 스토리지 전극과 제2 스토리지 전극이 중첩되어 형성된 제1 스토리지 캐패시터와, 층간 절연막을 사이에 두고 제2 스토리지 전극과 제3 스토리지 전극이 중첩되어 형성된 제2 스토리지 캐패시터를 형성함으로써 스토리지 캐패시터의 용량을 늘릴 수 있다.

[0019] 이에 따라, 스토리지 캐패시터의 용량을 증가함으로써 그에 따른 스토리지 캐패시터의 면적을 줄일 수 있어 개 구울 확보를 할 수 있다.

[0020] 그리고, 게이트 절연막을 사이에 두고 제1 스토리지 전극과 중첩되는 부분의 제2 스토리지 전극은 단일층으로 형성하여 제1 스토리지 전극의 불순물 도핑을 용이하게 할 수 있으며, 스토리지 컨택홀과 중첩되는 부분의 제2 스토리지 전극은 이중층으로 형성하여 스토리지 컨택홀 형성시 식각액에 의해 오픈되는 것을 방지할 수 있다.

도면의 간단한 설명

- [0021] 도 1은 종래 구동 박막 트랜지스터, 유기 전계 발광 소자, 스토리지 캐패시터를 나타낸 단면도이다.
- 도 2는 본 발명에 따른 유기 전계 발광 표시 패널의 한 화소를 나타낸 회로도이다.
- 도 3은 도 2에 도시된 유기 전계 발광 표시 패널의 단면도이다.
- 도 4는 종래 스위치 박막 트랜지스터와 스토리지 캐패시터가 접속한 부분을 도시한 단면도이다.
- 도 5a 내지 도 5g는 도 3에 도시된 본 발명에 따른 유기 전계 발광 표시 패널의 제조방법을 나타낸 단면도들이다.
- 도 6a 내지 도 6c는 도 5b에 도시된 제2 마스크 공정을 구체적으로 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명한다. 본 발명의 구성 및 그에 따른 작용 효과는 이하의 상세한 설명을 통해 명확하게 이해될 것이다. 본 발명의 상세한 설명에 앞서, 동일한 구성 요소에 대해서는 다른 도면 상에 표시되더라도 가능한 동일한 부호로 표시하며, 공지된 구성에 대해서는 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 구체적인 설명은 생략하기로 함에 유의한다.

[0023] 이하, 본 발명의 바람직한 실시 예를 도 2 내지 도 6c를 참조하여 상세히 설명하기로 한다.

[0024] 도 2는 본 발명에 따른 유기 전계 발광 표시 패널의 한 화소를 나타낸 회로도이고, 도 3은 도 2에 도시된 유기 전계 발광 표시 패널의 단면도이다.

[0025] 도 2 및 도 3에 도시된 바와 같이 본 발명에 따른 유기 전계 발광 표시 패널은 스캔 신호를 공급하는 게이트 라인(GL)과, 데이터 신호를 공급하는 데이터 라인(DL)과, 전원 신호를 공급하는 전원 라인(PL)과, 게이트 라인(GL), 데이터 라인(DL) 및 전원 라인(PL)과 접속된 셀 구동부(400)와, 셀 구동부(400)와 전원 라인(PL)과 접속된 유기 전계 발광 소자(OLED)를 포함한다.

[0026] 셀 구동부(400)는 게이트 라인(GL) 및 데이터 라인(DL)과 접속된 스위치 트랜지스터(TS)과, 스위치 박막 트랜지스터(TS) 및 유기 전계 발광 소자(OLED)의 제1 전극(122)과 접속된 구동 트랜지스터(TD)와, 스위치 박막 트랜지스터(TS)의 드레인 전극(210)과 접속된 스토리지 캐패시터(C)를 구비한다.

[0027] 스위치 박막 트랜지스터(TS)는 게이트 라인(GL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 신호를 스토리지 캐패시터(C) 및 구동 박막 트랜지스터(T2)의 게이트 전극(106)으로 공급한다.

- [0028] 이를 위해, 스위치 박막 트랜지스터(TS)는 도 3에 도시된 바와 같이 기판(100) 상에 버퍼막(116), 액티브층(214)이 형성되며, 게이트 전극(206)은 액티브층(214)의 채널 영역(214C)과 게이트 절연막(112)을 사이에 두고 중첩되게 형성된다. 게이트 전극(206)은 투명 전극(206a) 및 불투명 전극(206b)으로 이루어진 이중층으로 형성된다. 소스 전극(208) 및 드레인 전극(210)은 게이트 전극(206)과 층간 절연막(118)을 사이에 두고 절연되게 형성된다. 소스 전극(208)과, 드레인 전극(210)은 층간 절연막(118) 및 게이트 절연막(112)을 관통하는 소스 콘택홀(224S) 및 드레인 콘택홀(224D) 각각을 통해 n+ 또는 p+ 불순물이 주입된 액티브층(214)의 소스 영역(214S) 및 드레인 영역(214D) 각각과 접속된다. 또한, 액티브층(214)은 오프 전류를 감소시키기 위해 채널 영역(214C)과 소스 및 드레인 영역(214S,214D) 사이에 n- 불순물이 주입된 엘디디(Light Dropped Drain; LDD) 영역(미도시) 더 구비할 수 있다. 그리고, 소스 및 드레인 전극(208,210)은 단일층 또는 세층으로 형성할 수 있다. 단일층으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등으로 형성할 수 있으며, 세층으로는 Mo/Al/Mo, Ti/Al/Ti, Cu/Mo/Ti, Mo/Ti/Al(Nd)으로 형성할 수 있다. 이때, 알루미늄은 마이그레이션(Migration)이 발생할 수 있어 알루미늄을 사이에 두고 Mo 또는 Ti를 형성할 수 있다.
- [0029] 구동 박막 트랜지스터(TD)는 게이트 전극(106)으로 공급되는 데이터 신호에 응답하여 전원 라인(PL)으로부터 유기 전계 발광 소자(OLED)로 공급되는 전류를 제어함으로써 유기 전계 발광 소자(OLED)의 발광량을 조절하게 된다.
- [0030] 이를 위해, 구동 박막 트랜지스터(TD)는 도 3에 도시된 바와 같이 하부 기판(100) 상에 버퍼막(116), 액티브층(114)이 형성되며, 게이트 전극(106)은 액티브층의 채널 영역(114C)과 게이트 절연막(112)을 사이에 두고 중첩되게 형성된다. 게이트 전극(106)은 투명 전극(106a) 및 불투명 전극(106b)으로 이루어진 이중층으로 형성된다. 소스 전극(108) 및 드레인 전극(110)은 게이트 전극(106)과 층간 절연막(126)을 사이에 두고 절연되게 형성된다. 소스 전극(108)과, 드레인 전극(110)은 층간 절연막(126) 및 게이트 절연막(112)을 관통하는 소스 콘택홀(124S) 및 드레인 콘택홀(124D) 각각을 통해 n+ 불순물이 주입된 액티브층(114)의 소스 영역(114S) 및 드레인 영역(114D) 각각과 접속된다. 또한, 액티브층(114)은 오프 전류를 감소시키기 위해 채널 영역(114C)과 소스 및 드레인 영역(114S,114D) 사이에 n- 불순물이 주입된 엘디디(Light Dropped Drain; LDD) 영역(미도시) 더 구비하기도 한다. 그리고, 구동 박막 트랜지스터, 스위치 박막 트랜지스터, 스토리지 캐패시터를 덮는 보호막(119)을 포함하며, 보호막(119)은 구동 트랜지스터의 드레인 전극(110)을 노출시키는 화소 콘택홀(120)이 형성된다. 그리고, 소스 및 드레인 전극(108,110)은 단일층 또는 세층으로 형성할 수 있다. 단일층으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등으로 형성할 수 있으며, 세층으로는 Mo/Al/Mo, Ti/Al/Ti, Cu/Mo/Ti, Mo/Ti/Al(Nd)으로 형성할 수 있다.
- [0031] 유기 전계 발광 소자는 구동 박막 트랜지스터의 드레인 전극(110)과 접속하는 제1 전극(122)과, 제1 전극(122)을 노출시키는 뱅크홀을 포함하는 뱅크 절연막(150a)과, 뱅크 절연막(150a) 상에 셀 갭을 유지시키기 위해 형성된 스페이서(150b)와, 뱅크홀을 통해 노출된 제1 전극(122) 위에 형성된 유기층(126)과, 유기층(126) 위에 형성된 제2 전극(128)으로 구성된다. 이러한, 유기 전계 발광 소자는 제1 전극(122)과 제2 전극(128) 사이에 전압을 인가하면, 제1 전극(122)으로부터 정공이 제2 전극(128)으로부터 전자가 주입되어 발광층에서 재결합하여 이로 인한 엑시톤(exciton)이 생성되며, 이 엑시톤이 기저상태로 떨어지면서 빛이 방출된다. 또한, 스페이서(150b)는 뱅크 절연막(150a)과 일체화되어 형성되어 동일 공정에서 동시에 형성된다. 이에 따라, 하나의 마스크로 스페이서(150b)와 뱅크 절연막(150a)을 동시에 형성하므로 그에 따른 마스크 수를 줄일 수 있으며, 공정 시간 및 비용을 줄일 수 있다. 한편, 제1 전극(122)은 구동 박막 트랜지스터의 드레인 전극(110)과 접속하는 것을 도시하였지만, 제1 전극(122)은 회로 구성에 따라 구동 박막 트랜지스터의 소스 전극(108)과 접속할 수 있다. 이에 따라, 제1 전극(122)은 구동 박막 트랜지스터의 소스 전극(108) 또는 드레인 전극(110)과 접속할 수 있으므로 이에 한정하지 않는다.
- [0032] 제1 전극(122)은 양극(Anode)으로 반사 전극 재질로 형성되며, 제2 전극(128)은 음극(Cathode)으로 투명한 전극으로 형성된다. 이는, 도 3에 도시된 바와 같이 전면 발광할 수 있으며, 제1 및 제2 전극(122,128)의 재질에 따라 전면으로 발광하는 전면 발광(Top Emission), 하부 기판(100)의 후면으로 발광하는 후면 발광(Bottom Emission), 전면 및 후면으로 발광하는 양면 발광을 할 수 있다. 따라서, 제1 및 제2 전극(122,128) 재질을 상기와 같이 한정하지 않는다.
- [0033] 유기 공통층(126)은 제1 전극(122) 상에 정공 주입층(Hole Injection Layer;HIL), 정공 수송층(Hole Transport Layer;HTL), 발광층(Emitting Layer;EML), 전자 수송층(Electron Transport Layer;ETL), 전자 주입층(Electron Injection Layer;EIL)이 순차적으로 적층된 구조를 가진다.

[0034] 스토리지 캐패시터(C)는 스위치 박막 트랜지스터(TS)가 턴-오프되더라도 구동 박막 트랜지스터(TD)를 통해 일정한 전류가 흐르게 한다. 구체적으로, 스위치 박막 트랜지스터(TS)가 턴-오프되더라도 스토리지 캐패시터(C)에 충전된 전압에 의해 구동 박막 트랜지스터(TD)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류(I)를 공급하여 유기 전계 발광 소자(OLED)가 발광을 유지하게 한다.

[0035] 이를 위해, 스토리지 캐패시터(C)는 게이트 절연막(112)을 사이에 두고 제1 스토리지 전극(130)과 제2 스토리지 전극(132a)이 중첩되어 형성된 제1 스토리지 캐패시터(Cst1)와, 층간 절연막(118)을 사이에 두고 제2 스토리지 전극(132a)과 제3 스토리지 전극(134)이 중첩되어 형성되어 제2 스토리지 캐패시터(Cst2)를 포함한다. 이와 같이, 본 발명은 제1 및 제2 스토리지 캐패시터(Cst1, Cst2)를 형성함으로써 캐패시터의 용량을 늘릴 수 있다.

[0036] 다시 말하여, 캐패시터(C)는 하기 [수학식 1]과 같은 관계식을 가지며, 유전율(ϵ_r) 및 전극의 면적(A)에 비례하며, 절연층의 두께(t)에 반비례하는 관계식을 갖는다. 즉, 두 전극 간의 절연층의 두께(t)가 얇을수록 캐패시터(C)의 값이 증가되며, 두 전극 간의 절연층의 두께(t)가 얇을수록 캐패시터(C)의 값이 감소되는 것과 같이 두 전극 간의 절연층의 두께와 캐패시터의 용량이 반비례한다.

[0037] 한편, [수학식 1]에서 ϵ_r 은 유전율(Relative Dielectric Constant)을 의미하며, ϵ_0 은 진공의 유전율을 의미하며, A는 면적(cm^2)을 의미하고, t는 두 전극 간의 절연층의 두께를 의미한다.

수학식 1

$$\frac{\epsilon_r \cdot \epsilon_0 \cdot A}{t} = C$$

[0038]

[0039] 일반적으로, 층간 절연막(118)의 두께보다 게이트 절연막(112)의 두께를 두 세배 정도 얇게 형성된다. 이에 따라, 게이트 절연막(112)을 사이에 두고 형성된 제1 스토리지 캐패시터(Cst1)의 값이 층간 절연막(118)을 사이에 두고 형성된 제2 스토리지 캐패시터(Cst2)의 값보다 큰 값이 된다. 이에 따라, 도 1에 도시된 종래 기술은 두 전극이 층간 절연막(118)을 사이에 두고 중첩되어 스토리지 캐패시터를 형성함으로써 캐패시터의 값이 크지 않게 되지만, 본 발명은 공정 수를 감소하면서 제1 및 제2 스토리지 캐패시터(Cst1, Cst2)를 가짐으로써 그에 따른 캐패시터의 용량을 증가시킬 수 있다. 또한, 캐패시터의 용량을 증가시킴으로써 스토리지 전극의 면적을 줄여 그에 따른 개구율을 확보할 수 있다. 한편, 스토리지 전극의 면적이 늘어나게 되면, 후면 발광 방식의 유기 전계 발광 표시 패널의 개구율이 작게 된다.

[0040] 제1 스토리지 전극(130)은 스위치 박막 트랜지스터와 구동 박막 트랜지스터 각각의 액티브층(114,214)과 동일층에 동일 공정에서 형성되며, 액티브층(114,214)에 p+ 또는 n+ 불순물이 도핑되어 도전성을 갖게 된다. 제3 스토리지 전극(134)은 스위치 박막 트랜지스터와 구동 박막 트랜지스터 각각의 드레인 전극(110,210)과 동일층에 동일 공정에서 형성된다. 이때, 제3 스토리지 전극(134)은 드레인 전극(110,210)과 동일층에 동일 공정에서 형성되므로 드레인 전극(110,210)과 마찬가지로 단일층 또는 세층으로 형성할 수 있다. 그리고, 제2 스토리지 전극(132a,132b)은 스위치 박막 트랜지스터와 구동 박막 트랜지스터 각각의 게이트 전극(106,206)과 동일층에 형성된다. 이때, 제2 스토리지 전극(132a,132b)은 스위치 박막 트랜지스터의 드레인 전극(210)과 스토리지 콘택홀(136)을 통해 접속된다. 제2 스토리지 전극(132a,132b)은 부분적으로 이중층(132a,132b)으로 형성되며, 이중층(132a,132b)으로 형성된 부분을 제외하고 단일층(132a)으로 형성된다. 구체적으로, 제2 스토리지 전극(132a,132b)은 제1 스토리지 전극(130)과 중첩되는 영역은 투명 전극(132a)으로 형성되며, 스위치 박막 트랜지스터의 드레인 전극(210)과 스토리지 콘택홀(136)을 통해 접속되는 부분은 투명 전극(132a) 및 불투명 전극(132b)이 적층된 이중층으로 형성된다. 이와 같이, 스토리지 콘택홀(136)과 중첩되는 부분의 제2 스토리지 전극(132a,132b)은 스토리지 콘택홀(136) 형성시 식각액에 의해 제2 스토리지 전극(132a,132b)이 투명 전극 또는 단일층으로 형성될 경우에 오픈될 수 있기 때문에 스토리지 콘택홀(136)과 접속하는 부분은 이중층으로 형성된다. 이는, 유기 전계 발광 표시 패널이 박형화 및 경량화가 추구하고 있기 때문에 각 층은 점점 얇게 형성되게 되어 콘택홀이 형성되는 영역의 층은 식각액의 영향을 받아 오픈될 수 있다. 특히, 포토리소그래피 공정 이후, BOE(Buffered Oxide Etchant) 용액(식각액)에 의해 절연층을 식각할 때, 투명 전극이 제거되거나 오픈된다. 이러한 BOE 용액과 같은 식각액은 투명 전극층 외에도 알루미늄 등과 같은 금속층도 오픈시킨다. 도 4는 종래 스

위치 박막 트랜지스터와 스토리지 캐패시터가 접속한 부분을 도시한 단면도이고, 기판(300) 상에 버퍼층(316), 액티브층(314), 게이트 절연막(318), 층간 절연막(319), 드레인 전극(310)을 포함하는 스위치 박막 트랜지스터를 도시하고 있으며, 스토리지 컨택홀(336)과 중첩된 부분에 형성된 투명 전극의 스토리지 전극(332)이 오픈된 것을 알 수 있다. 하지만, 본 발명에 따른 제2 스토리지 전극은 도 3에 도시된 바와 같이 스토리지 컨택홀(136)과 중첩되는 부분을 이중층으로 형성함으로써 식각액에 의해 오픈되지 않는다.

- [0041] 한편, 제2 스토리지 전극(132a,132b)은 스위치 박막 트랜지스터의 드레인 전극(210)과 스토리지 컨택홀(136)을 통해 접속되는 것을 도시하였지만, 제2 스토리지 전극(132a,132b)은 회로 구성에 따라 스위치 박막 트랜지스터의 소스 전극(208)과 접속할 수 있다. 이에 따라, 제2 스토리지 전극(132a,132b)은 스위치 박막 트랜지스터의 소스 전극(208) 또는 드레인 전극(210)과 접속할 수 있으므로 이에 한정하지 않는다.
- [0042] 도 5a 내지 도 5g는 도 3에 도시된 본 발명에 따른 유기 전계 발광 표시 패널의 제조방법을 나타낸 단면도들이다.
- [0043] 도 5a를 참조하면, 하부 기판(100) 상에 버퍼막(116)이 형성되고, 그 위에 스위치 박막 트랜지스터 및 구동 박막 트랜지스터 각각의 액티브층(114,214), 제1 스토리지 전극(130)이 형성된다.
- [0044] 구체적으로, 버퍼막(116)은 하부 기판(100) 상에 SiO₂ 등과 같은 무기 절연 물질이 전면 증착되어 형성된다. 액티브층(114,214) 및 제1 스토리지 전극(130)은 버퍼막(116) 상에 아몰퍼스-실리콘을 증착한 후 그 아몰퍼스-실리콘을 레이저로 결정화하여 폴리-실리콘이 되게 한 다음, 그 폴리-실리콘을 제1 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 패터닝함으로써 형성된다.
- [0045] 도 5b를 참조하면, 액티브층(114,214)이 형성된 버퍼막(116) 상에 게이트 절연막(112)이 형성되고, 그 위에 스위치 박막 트랜지스터 및 구동 박막 트랜지스터 각각의 게이트 전극(106,206)과, 제2 스토리지 전극(132a,132b)이 형성됨과 아울러 액티브층(114,214)의 채널 영역(114C,214C)을 사이에 두고 마주보는 소스 영역(114S,214S) 및 드레인 영역(114D,214D)이 형성된다.
- [0046] 구체적으로, 게이트 절연막(112)은 액티브층(114,214)이 형성된 버퍼막(116) 상에 무기 절연 물질, 투명 전극층, 불투명 전극층이 순차적으로 형성된다. 예를 들면, 무기 절연 물질은 PECVD 방법으로 형성되고, 투명 전극층 및 불투명 전극층은 스퍼터링 방법으로 형성된다. 무기 절연 물질로는 산화 실리콘(SiO_x), 질화 실리콘(SiN_x) 등으로 형성되며, 투명 전극층으로는 틴 옥사이드(Tin Oxide : TO), 인듐 틴 옥사이드(Indium Tin Oxide : ITO), 인듐 징크 옥사이드(Indium Zinc Oxide : IZO), 인듐 틴 징크 옥사이드(Indium Tin Zind Oxide : ITZO) 등으로 형성되며, 불투명 전극층으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등으로 형성된다. 그리고, 투명 전극층 및 불투명 전극층 위에 포토레지스트가 도포된 다음, 제2 마스크를 이용한 포토리소그래피 공정으로 포토레지스트가 노광 및 현상됨으로써 단차를 갖는 포토레지스트 패턴(200a,200b)이 형성된다.
- [0047] 이를, 도 6a 내지 도 6c를 참고하여 설명하기로 한다. 이때, 제2 마스크는 슬릿 마스크 또는 하프톤 마스크와 같은 부분 노광 마스크를 이용하며, 본 발명에 따른 제조 방법에서는 하프톤 마스크를 이용한 경우를 예를 들어 설명하기로 한다.
- [0048] 하프톤 마스크는 도 6a에 도시된 바와 같이 마스크 기판(170) 상에 차단층(172)이 형성된 차단 영역(S1)과, 마스크 기판(170) 상에 반투과층(174)이 형성된 반투과 영역(S2)과, 마스크 기판(170)만 존재하는 투과 영역(S3)을 구비한다. 차단 영역(S1)은 게이트 전극(106,206)과 스토리지 컨택홀(136)이 형성되어질 위치에 배치되어 자외선을 차단함으로써 현상 후, 도 6a에 도시된 바와 같이 제1 포토레지스트 패턴(200a)이 남게 된다. 반투과 영역(S2)은 제1 스토리지 전극(130)과 중첩되는 영역의 제2 스토리지 전극(132a,132b)에 위치하여 광투과율을 조절하여 현상 후, 도 6a와 같이 제1 포토레지스트 패턴(200a)보다 얇은 제2 포토레지스트 패턴(200b)이 남게 된다. 그리고, 투과 영역(S3)은 자외선을 모두 투과시킴으로써 현상 후, 도 6a와 같이 포토레지스트가 제거된다.
- [0049] 도 6a에 도시된 바와 같이 단차를 갖는 포토레지스트 패턴(200a,200b)을 이용한 식각 공정으로 투명 전극층 및 불투명 전극층이 패터닝됨으로써 스위치 박막 트랜지스터 및 구동 트랜지스터 각각에 이중층의 게이트 전극(106,206)이 형성되고, 이중층의 제2 스토리지 전극(132a,132b)이 형성된다.
- [0050] 이어서, 도 6b에 도시된 바와 같이 산소(O₂) 플라즈마를 이용한 애싱 공정으로 포토레지스트 패턴(200a,200b)을 애싱함으로써 제1 포토레지스트 패턴(200a)은 얇아지게 하고, 제2 포토레지스트 패턴(200b)은 제거되게 한다.

이후, 애싱된 제1 포토레지스트 패턴(200a)을 이용한 식각 공정으로 노출된 제2 스토리지 전극(132b)의 불투명 전극이 제거된다. 이에 따라, 제2 스토리지 전극은 제1 스토리지 전극(130)과 중첩된 영역에서 투명 전극(132a)의 단일층으로 형성되며, 스토리지 컨택홀(136)이 형성되어질 영역에서 투명 전극(132a) 및 불투명 전극(132b)의 이중층으로 형성된다. 그런 다음, 남은 제1 포토레지스트 패턴(200a)이 스트립 공정을 제거된다.

[0051] 이후, 도 6c에 도시된 바와 같이 스위치 박막 트랜지스터 및 구동 박막 트랜지스터 각각의 게이트 전극(106,206)을 마스크로 이용하여 게이트 전극(106,206)과 비중첩된 액티브층(114,214)에 n+ 또는 p+ 불순물을 도핑함으로써 n+ 또는 p+ 불순물이 도핑된 액티브층(114,214)의 소스 영역 및 드레인 영역(114S,114D,214S,214D)이 형성된다. 이에 따라, 게이트 전극(106,206)과 비중첩된 액티브층의 소스 및 드레인 영역(114S,114D,214S,214D)은 게이트 전극(106,206)과 중첩되는 채널 영역(114C,214C)을 사이에 두고 마주하게 된다. 이와 동시에 제1 스토리지 전극(130)은 투명 전극으로 형성된 제2 스토리지 전극(132a)을 통해 n+ 또는 p+ 불순물이 도핑되어 도전성이 갖게 된다.

[0052] 도 5c를 참조하면, 게이트 전극(106,206)이 형성된 게이트 절연막(112) 상에 층간 절연막(118)이 형성되고, 층간 절연막(118) 및 게이트 절연막(112)을 관통하는 스위치 박막 트랜지스터 및 구동 박막 트랜지스터 각각의 소스 및 드레인 컨택홀(124S,124D,224S,224D)이 형성된다.

[0053] 구체적으로, 층간 절연막(118)은 게이트 전극(106,206) 및 제2 스토리지 전극(132a,132b)이 형성된 게이트 절연막(112) 상에 산화 실리콘, 질화 실리콘 등과 같이 무기 절연 물질이 PECVD 또는 CVD 등의 증착 방법으로 전면 증착되어 형성된다. 이어서, 제3 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 게이트 절연막(112), 층간 절연막(118)을 관통하여 스위치 박막 트랜지스터 및 구동 박막 트랜지스터의 액티브층(114,214)의 소스 및 드레인 영역(114S,114D,214S,214D)을 각각 노출시키는 소스 및 드레인 컨택홀(124S,124D,224S,224D)이 형성되고, 제2 스토리지 전극(132a,132b)의 불투명 전극(132b)을 노출시키는 스토리지 컨택홀(136)이 형성된다.

[0054] 도 5d를 참조하면, 층간 절연막(118) 상에 스위치 박막 트랜지스터 및 구동 박막 트랜지스터 각각의 소스 및 드레인 전극(108,110,208,210)과, 제3 스토리지 전극(134)이 형성된다.

[0055] 구체적으로, 스위치 박막 트랜지스터 및 구동 박막 트랜지스터 각각의 소스 전극 및 드레인 전극(108,110,208,210), 제3 스토리지 전극(134)은 층간 절연막(118) 상에 금속층을 형성한 후, 그 금속층을 제4 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 형성된다. 스위치 박막 트랜지스터 및 구동 박막 트랜지스터 각각의 소스 전극 및 드레인 전극(108,110,208,210)은 소스 및 드레인 컨택홀(124S,124D,224S,224D)을 각각을 통해 소스 영역(114S,214S) 및 드레인 영역(114D,214D)과 각각 접속된다. 그리고, 스위치 박막 트랜지스터의 드레인 전극(210)은 이중층의 제2 스토리지 전극(132a,132b)까지 연장되어 스토리지 컨택홀(136)을 통해 제2 스토리지 전극(132a,132b)과 접속된다. 그리고, 제3 스토리지 전극(134)은 제2 스토리지 전극(132a)의 투명 전극과 층간 절연막(118)을 사이에 두고 중첩되도록 형성된다. 이때, 소스 및 드레인 전극(108,110,208,210), 제3 스토리지 전극(134)은 단일층 또는 세층으로 형성할 수 있으며, 단일층으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등으로 형성할 수 있으며, 세층으로는 Mo/Al/Mo, Ti/Al/Ti, Cu/Mo/Ti, Mo/Ti/Al(Nd)으로 형성할 수 있다.

[0056] 도 5e를 참조하면, 스위치 박막 트랜지스터 및 구동 박막 트랜지스터 각각의 소스 및 드레인 전극(108,110,208,210), 제3 스토리지 전극(134)이 형성된 층간 절연막(118) 상에 보호막(119)이 형성되고, 보호막(119)을 관통하는 화소 컨택홀(120)이 형성된다.

[0057] 구체적으로, 보호막(118)은 스위치 박막 트랜지스터 및 구동 박막 트랜지스터 각각의 소스 및 드레인 전극(108,110,208,210), 제3 스토리지 전극(134)이 형성된 층간 절연막(118) 상에 유기 절연 물질로 전면 증착되어 형성된다.

[0058] 이어서, 제5 마스크를 이용한 포토리소그래피 공정 및 식각 공정을 통해 보호막(119)을 관통하는 화소 컨택홀(120)이 형성된다. 화소 컨택홀(120)은 구동 박막 트랜지스터의 드레인 전극(110)을 노출시킨다.

[0059] 도 5f를 참조하면, 보호막(119)이 형성된 하부 기관(100) 상에 제1 전극(122)이 형성된다.

[0060] 구체적으로, 보호막(119)이 형성된 하부 기관(100) 상에 반사 전극 재질로 금속층을 증착한 후, 그 금속층을 제6 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 제1 전극(122)이 형성된다. 이러한, 제1 전극(122)은 화소 컨택홀(120)을 통해 구동 박막 트랜지스터와 접속된다.

[0061] 도 5g를 참조하면, 제1 전극(122)이 형성된 하부 기관(100) 상에 बैं크홀을 포함하는 बैं크 절연막(150a)과 스페

이서(150b)가 형성되며, 제1 전극(122)이 노출된뱅크홀 내에 유기층(126)이 형성되며, 제2 전극(128)이 전면 형성된다.

[0062] 구체적으로, 제1 전극(122)이 형성된 하부 기판(100) 상에 유기 절연 물질이 전면 도포된다. 이어서, 제7 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 유기 절연 물질이 패터닝됨으로써 제1 전극(122)을 노출시키는뱅크홀을 포함하는뱅크 절연막(150a)과뱅크 절연막(150a)과 일체화된스페이서(150b)가 형성된다. 이와 같이,뱅크 절연막(150a)과스페이서(150b)는 동시에 형성되므로 공정 수를 감소시킬 수 있으며, 그에 따른 공정 비용 및 공정 시간을 감소시킬 수 있다.

[0063] 이후, 제1 전극(122)이 노출된뱅크홀 내에 정공 주입층과 정공 수송층, 발광층, 전자 수송층이 포함된 유기층(126)이 순차적으로 형성된다. 그런 다음, 유기층(126)이 형성된 하부 기판(100) 전면에 음극(128)이 형성된다.

[0064] 도시하지 않았지만, 도 5a 내지 도 5g를 통해 마련된 하부 기판(100)과 상부 기판(미도시)이 합착된다. 상부 기판은 인 캡 글래스(Encap glass)으로 형성될 수 있으며, 상부 기판과 하부 기판(100)은 프릿 실(Frit seal)을 이용하여 합착된다.

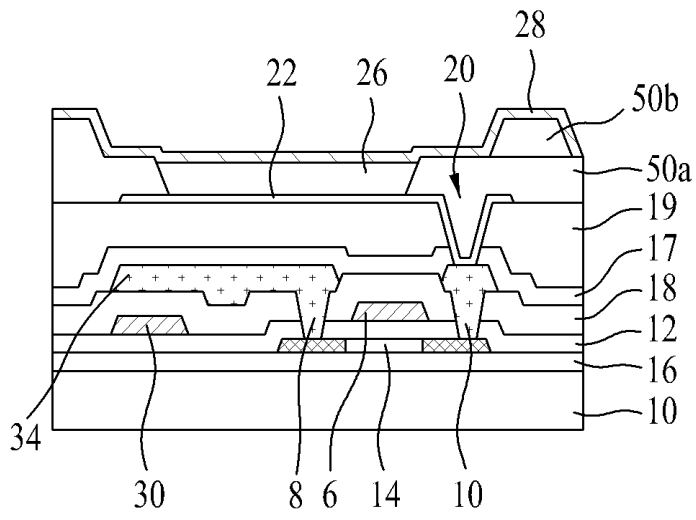
[0065] 이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에 의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

부호의 설명

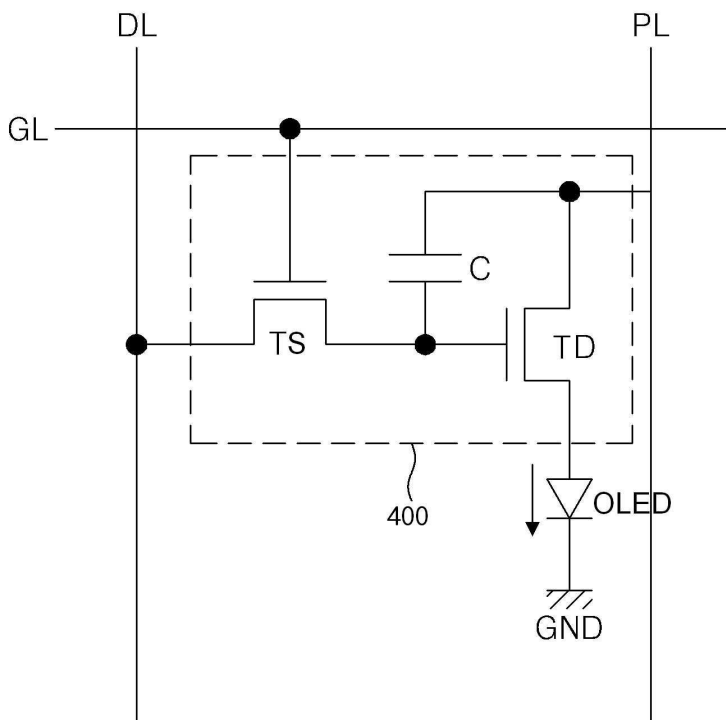
- [0066]
- | | |
|------------------|------------------------|
| 100 : 하부 기판 | 108,208 : 소스 전극 |
| 110,210 : 드레인 전극 | 112 : 게이트 절연막 |
| 114, 214 : 액티브층 | 116 : 버퍼막 |
| 118 : 층간 절연막 | 119: 보호막 |
| 120 : 화소 컨택홀 | 122 : 제1 전극 |
| 126 : 유기층 | 128 : 제2 전극 |
| 130 : 제1 스토리지 전극 | 132a,132b : 제2 스토리지 전극 |
| 134 : 제3 스토리지 전극 | |

도면

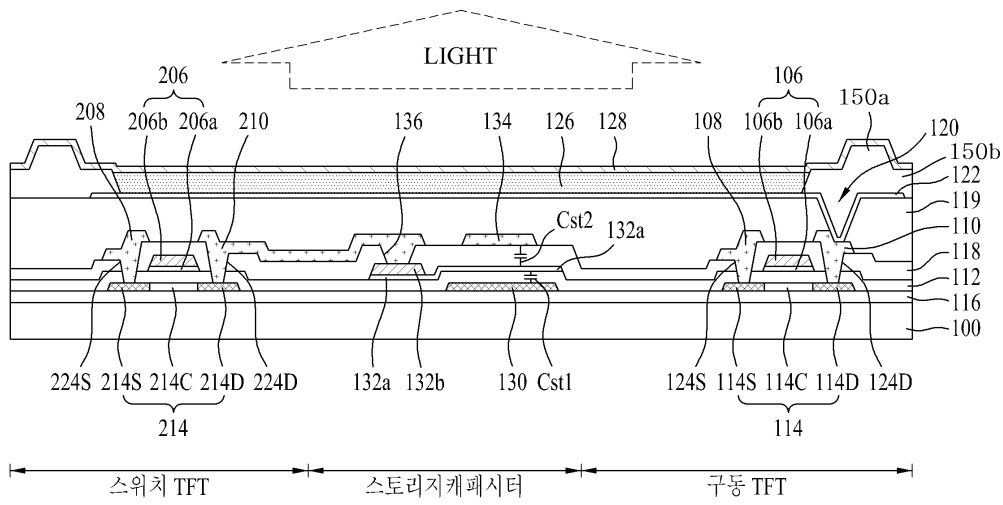
도면1



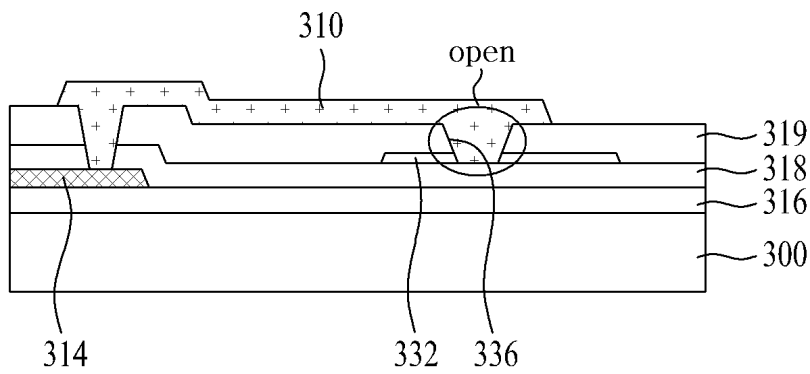
도면2



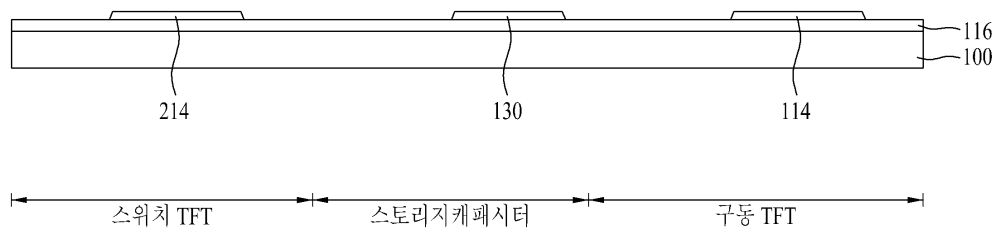
도면3



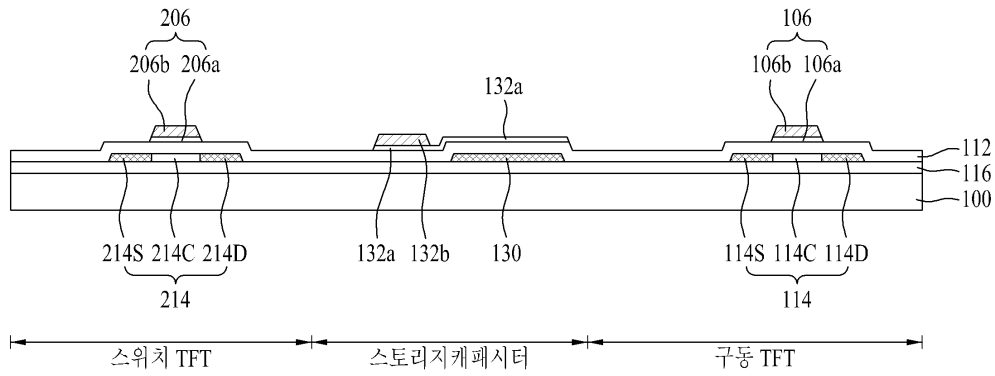
도면4



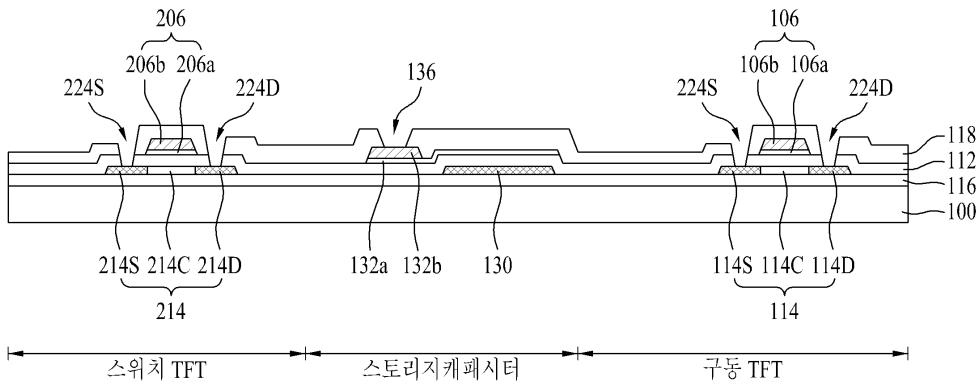
도면5a



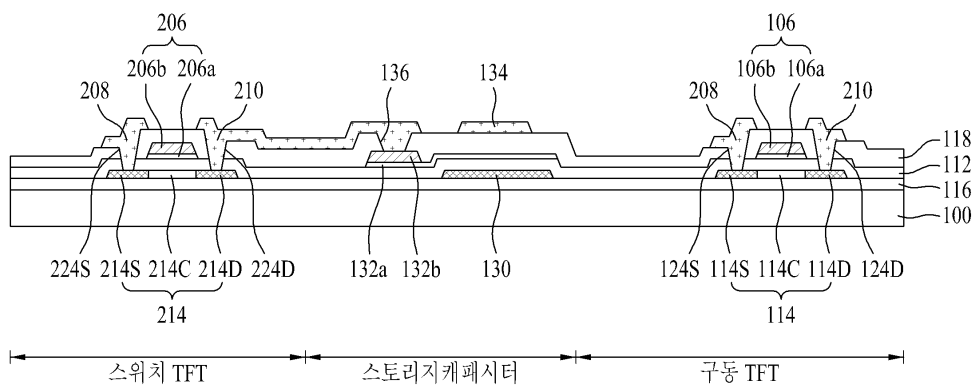
도면5b



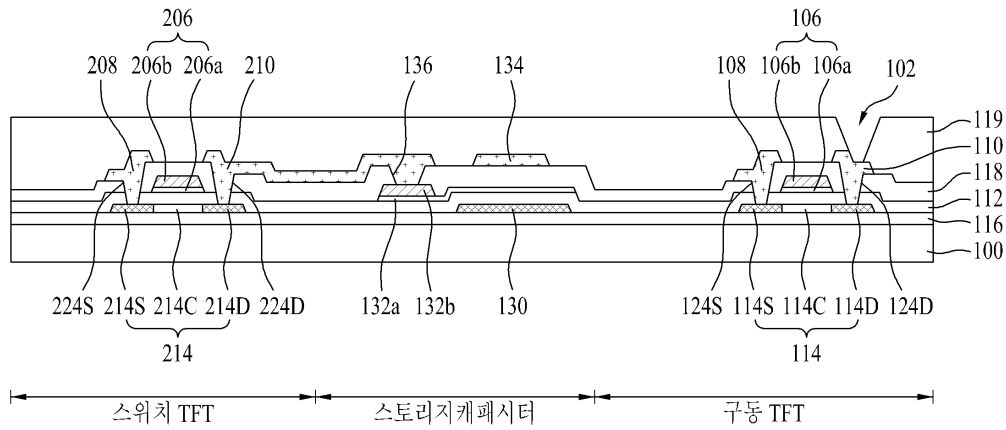
도면5c



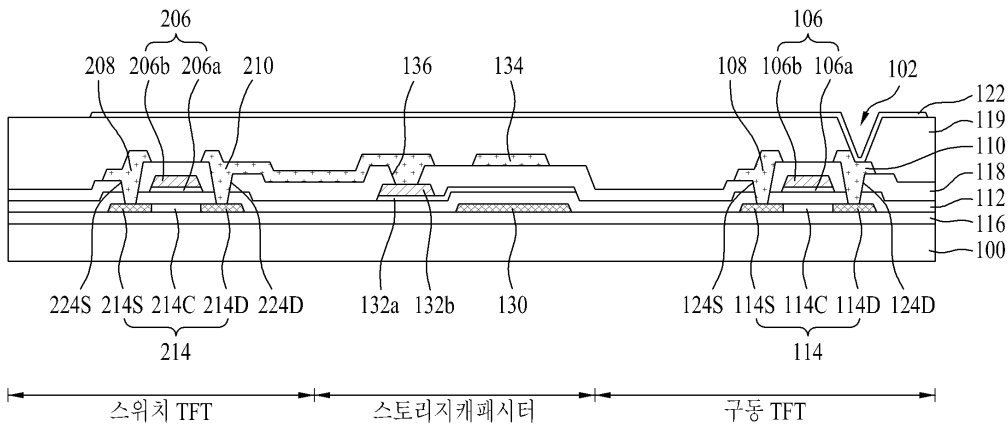
도면5d



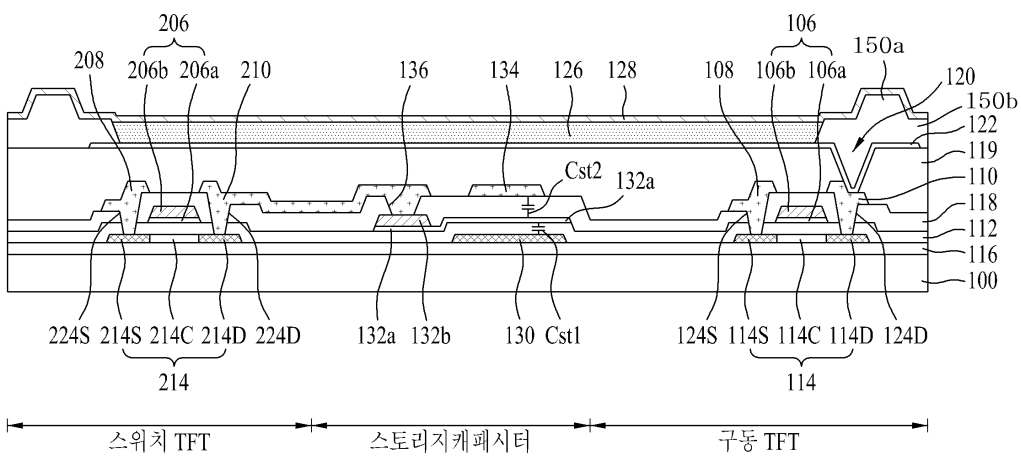
도면5e



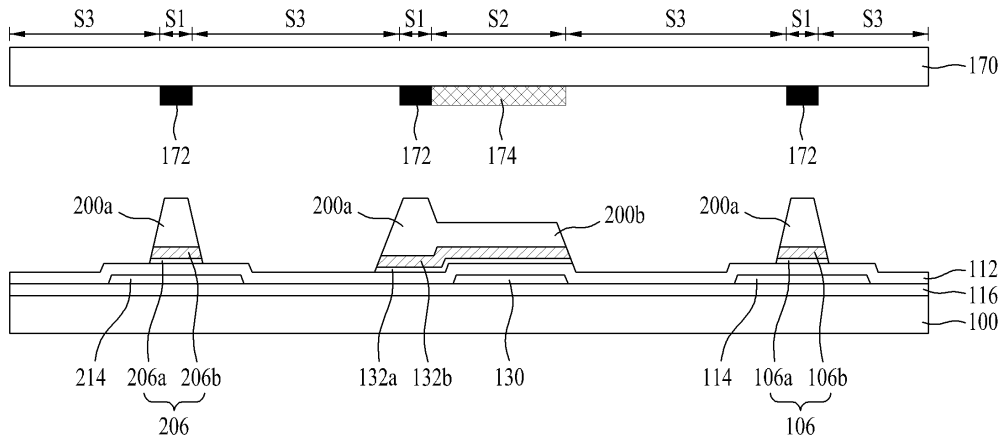
도면5f



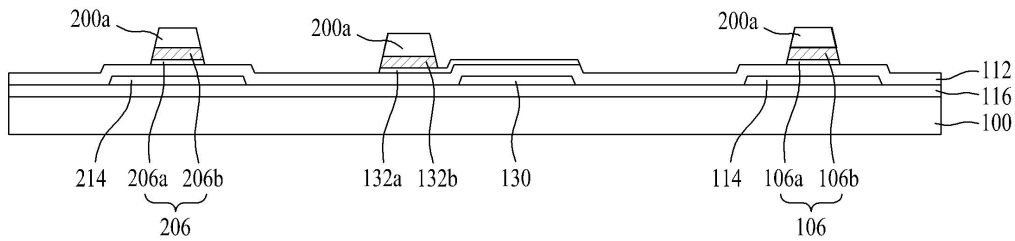
도면5g



도면6a



도면6b



도면6c

