



- (21) 申請案號：106132733 (22) 申請日：中華民國 106 (2017) 年 09 月 25 日
- (51) Int. Cl. : *H01L21/20 (2006.01)* *H01L21/768 (2006.01)*
- (30) 優先權：2016/09/30 美國 15/282,543
- (71) 申請人：美商蘭姆研究公司 (美國) LAM RESEARCH CORPORATION (US)
美國
- (72) 發明人：瑞迪 卡蒲 瑟利西 REDDY, KAPU SIRISH (IN)；珊卡 納葛 SHANKAR, NAGRAJ (IN)；史旺明內森 珊卡 SWAMINATHAN, SHANKAR (IN)；蘭維爾 梅利哈 格茲德 RAINVILLE, MELIHA GOZDE (TR)；帕斯果 法蘭克 L PASQUALE, FRANK L. (US)
- (74) 代理人：許峻榮
- 申請實體審查：無 申請專利範圍項數：24 項 圖式數：6 共 51 頁

(54) 名稱

內連線結構用之複合介電界面層

COMPOSITE DIELECTRIC INTERFACE LAYERS FOR INTERCONNECT STRUCTURES

(57) 摘要

具有介電常數 (k) 小於約 7 且密度至少約 2.5 g/cm^3 之特徵的介電複合膜係沉積在部分製造的半導體元件上以作為蝕刻停止層。在一實施例中，複合膜包含選自由 Al、Si、及 Ge 組成之群組的至少兩元素、及選自由 O、N、及 C 組成之群組的至少一元素。在一實施例中，複合膜包括 Al、Si、及 O。在一實施方式中，包含曝露的介電層 (例如 ULK 介電質) 及曝露的金屬層之基板係與含鋁化合物 (諸如三甲基鋁)、且依序與含矽化合物接觸。所吸附的化合物係接著使用含氧電漿 (例如在含 CO_2 氣體中形成的電漿) 處理以形成包含 Al、Si、及 O 的膜。

Dielectric composite films characterized by a dielectric constant (k) of less than about 7 and having a density of at least about 2.5 g/cm^3 are deposited on partially fabricated semiconductor devices to serve as etch stop layers. The composite films in one embodiment include at least two elements selected from the group consisting of Al, Si, and Ge, and at least one element selected from the group consisting of O, N, and C. In one embodiment the composite film includes Al, Si and O. In one implementation, a substrate containing an exposed dielectric layer (e.g., a ULK dielectric) and an exposed metal layer is contacted with an aluminum-containing compound (such as trimethylaluminum) and, sequentially, with a silicon-containing compound. Adsorbed compounds are then treated with an oxygen-containing plasma (e.g., plasma formed in a CO_2 -containing gas) to form a film that contains Al, Si, and O.

指定代表圖：

符號簡單說明：

201 . . . 操作

203 . . . 操作

205 . . . 操作

207 . . . 操作

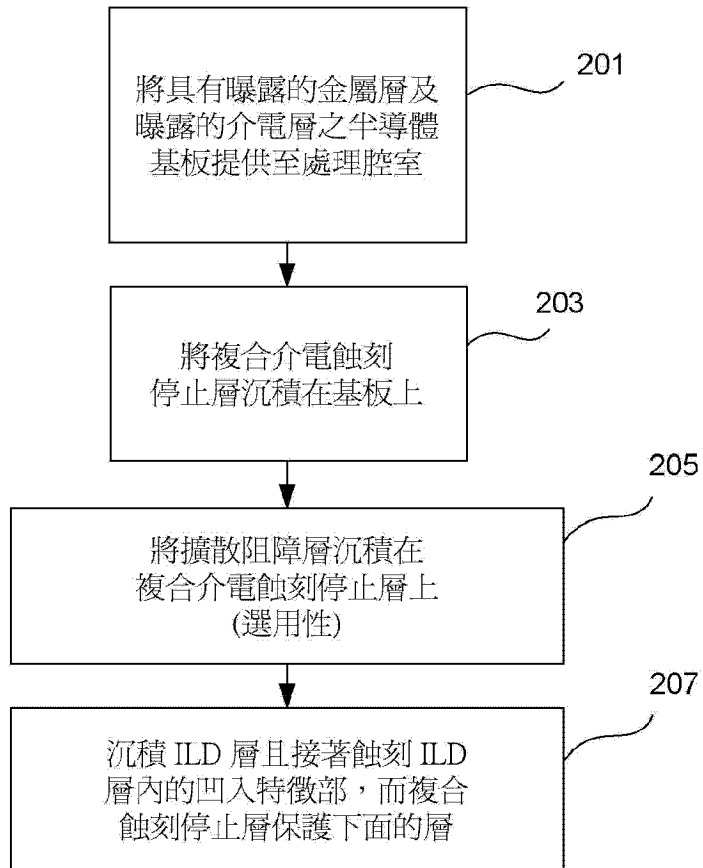


圖 2

【發明說明書】

【中文發明名稱】內連線結構用之複合介電界面層

【英文發明名稱】COMPOSITE DIELECTRIC INTERFACE LAYERS FOR
INTERCONNECT STRUCTURES

【技術領域】

【0001】本發明關於半導體基板處理的方法。具體而言，本發明關於在積體電路（IC）製造期間在層間介電質（ILD）及金屬上沉積介電蝕刻停止層的方法。

【先前技術】

【0002】在積體電路製造中，金屬線（諸如銅線）係通常內嵌於ILD層中，其中ILD通常係基於多孔矽氧化物的介電材料或具有低介電常數的有機聚合介電材料，諸如具有介電常數為2.2以下的超低k（ULK）介電質。此等使用鑲嵌製程的內嵌金屬線之形成需要ILD的圖案化及蝕刻以形成通孔及溝槽，接著使用金屬（例如銅）填充這些通孔及溝槽，例如使用電鍍。在使用金屬填充通孔及溝槽之後，第二層ILD係加以沉積且再次圖案化以形成通孔及溝槽。這些凹入的特徵部係再次使用金屬填充，使得具有內嵌金屬線之ILD層的堆疊形成，其中金屬線形成積體電路的導電路徑。蝕刻停止層係通常沉積在個別的ILD層及金屬線上且係用於IC製造製程的圖案化操作，以保護位在這些層下的材料在圖案化期間不被蝕刻。舉例而言，半導體基板可包含位在兩個ILD層之間的蝕刻停止層。當

頂部ILD層被圖案化且蝕刻（例如使用基於氟的化學品）以定義通孔及溝槽時，蝕刻停止層保護蝕刻停止層下方的底部ILD層免受蝕刻。

【0003】 蝕刻停止層的材料應相對於被蝕刻的材料展現良好的蝕刻選擇性。換句話說，蝕刻停止層材料應相較於曝露的ILD材料（或正被圖案化的其他材料）以顯著較低的速率受蝕刻。

【0004】 在積體電路製造期間，蝕刻停止層通常不被完全移除，且在最終製造的半導體元件中保留作為較厚之ILD層之間的薄膜。習知使用的蝕刻停止層材料之示例包含矽碳化物及矽氮化物。

【發明內容】

【0005】 提供用於形成複合介電材料的方法、設備、及系統。所提供的材料係非常適合用作蝕刻停止層，因為其具有低介電常數（ k ）及相對高密度的特徵。低介電常數對於蝕刻停止層而言係非常理想的，因為蝕刻停止層在處理期間係非自半導體元件完全移除，且最終元件在各ILD層之間通常包含薄的蝕刻停止層。為了最小化金屬線之間的串擾（cross-talk）及降低電阻-電容（RC）延遲，使用具有低介電常數的蝕刻停止材料係重要的。然而，許多習知的低 k 材料相較於ILD材料通常具有相對低的蝕刻選擇性。因此，需要具有低介電常數及高蝕刻選擇性的材料。蝕刻選擇性係與材料密度正相關的一種特性。因此，同時具有低介電常數及高密度的材料係期望的。

【0006】 根據一些實施例，本文提供的複合介電材料之特徵在於介電常數小於約7（諸如在約5-6.5之間）且密度至少約 2.5 g/cm^3 （諸如在約 $2.5\text{-}3.5 \text{ g/cm}^3$ 之間（例如在約 $2.6\text{-}3.2 \text{ g/cm}^3$ 之間）。此外，提供包含Al、Si、及O的複合介電

膜，其中介電常數小於約6且密度大於約 2.5 g/cm^3 。在一些實施方式中，形成具有介電常數約5-5.5且密度約 2.5 至 2.8 g/cm^3 的複合介電膜。

【0007】 根據一實施態樣，提供一種處理半導體基板的方法。該方法包含：**(a)** 提供一半導體基板，該半導體基板包含曝露的金屬層及曝露的介電層；及**(b)** 在金屬層及介電層上形成介電複合膜，其中介電複合膜包含選自由Al、Si、及Ge組成之群組的至少兩元素、及選自由O、N、及C組成之群組的至少一元素，其中介電複合膜具有小於約7的介電常數及至少約 2.5 g/cm^3 的密度。在一些實施例中，介電複合膜係蝕刻停止膜。

【0008】 在一實施例中，該介電複合膜包含Al、Si、及O。此等膜可藉由下列步驟形成：**(i)** 將含鋁前驅物及含矽前驅物提供至容納半導體基板的處理腔室；及**(iii)** 使含鋁前驅物及含矽前驅物與含氧物種反應，以在半導體基板上形成介電複合膜，其中形成的膜包含Al-O及Si-O鍵。在一些實施例中，含鋁前驅物及含矽前驅物係依序提供至處理腔室，且介電複合膜係藉由原子層沉積（ALD）形成。在其他的實施例中，含鋁前驅物及含矽前驅物係允許在處理腔室內混合，且介電複合膜係藉由化學汽相沉積（CVD）沉積。在一些實施例中，介電複合膜係藉由ALD法及CVD法的組合沉積。ALD及CVD兩者可為熱力式（在沒有電漿的情況下執行）或由電漿輔助。

【0009】 在一實施方式中，該介電複合膜包含複數交替的子層，其中該複數交替的子層包括包含Al及O之第一類型的子層、及包含Si及O之第二類型的子層。此實施例係稱作為奈米積層實施例。

【0010】 在一實施方式中，介電複合膜係使用包含下列步驟的方法形成：**(i)** 將含鋁前驅物（例如三甲基鋁）提供至容納半導體基板的處理腔室，且使含

鋁前驅物吸附在半導體基板的表面上；(ii) 在含鋁前驅物已被吸附之後，沖洗及/或排空處理腔室；(iii) 在沖洗之後，將含矽前驅物（例如二異丙基胺基矽烷）提供至處理腔室內，且使含矽前驅物吸附在半導體基板的表面上；(iv) 在含矽前驅物已被吸附之後，沖洗及/或排空處理腔室；及(v) 在沖洗之後，使已吸附的含鋁前驅物及含矽前驅物與含氧物種（例如使用在含氧氣體中形成的電漿）反應，以在半導體基板上形成包含Al-O及Si-O鍵的介電複合膜。在一實施方式中，使用含氧物種的處理包括在包含CO₂的處理氣體中形成電漿。該方法通常包含重複操作(i)-(v)。在一些實施方式中，步驟(i)-(v)係執行三次以上直到介電複合膜係形成期望的厚度。

【0011】 在一些實施例中，介電複合膜係形成為約10-50 Å之間的厚度，諸如在約20-30 Å之間的厚度。

【0012】 所提供的膜可沉積在各種基板上。在一些實施例中，介電複合膜係沉積在具有曝露的ULK介電層及曝露的金屬層之半導體基板上，該金屬層係選自由銅、鎢、及鈷組成之群組。

【0013】 所提供的方法可與用於圖案化半導體基板上之層的光微影技術整合。在一些實施例中，所提供的方法更包含：將光阻塗佈至半導體基板；將光阻曝光；圖案化光阻並將圖案轉移至半導體基板；及自半導體基板選擇性地移除光阻。

【0014】 根據另一實施態樣，提供一種配置成用於沉積介電複合膜的設備。在一實施例中，該設備包含具有固持半導體基板之支座的處理腔室及控制器。該控制器包含用於執行此處提供之任何沉積方法的程式指令。在一些實施例中，該控制器係針對下列步驟加以編程：在金屬層及介電層上形成介電複合

膜，其中介電複合膜包含選自由Al、Si、及Ge組成之群組的至少兩元素、及選自由O、N、及C組成之群組的至少一元素，其中介電複合膜具有小於約7的介電常數及至少約 2.5 g/cm^3 的密度。程式指令可包含用於下列步驟的指令：(a) 將含鋁前驅物及含矽前驅物引入（例如依序引入）至處理腔室；及(b) 使含鋁前驅物及含矽前驅物與含氧物種反應（例如依序反應），以在基板上形成介電複合膜，其中該膜包含Al-O及Si-O鍵。

【0015】 在一些實施例中，該設備包含一第一導管及一第二導管，第一導管係配置成用於將含鋁前驅物遞送至處理腔室，第二導管係配置成用於將含矽前驅物遞送至處理腔室，其中第一及第二導管係不同的導管。

【0016】 根據另一實施態樣，此處提供一種系統，其包含用於沉積介電複合膜的沉積設備及一步進器。

【0017】 根據另一實施態樣，提供一種非暫態電腦機器可讀媒體。其包含用於控制沉積設備的程式指令。該指令包含用於此處提供之沉積方法的程式碼。在一些實施例中，程式碼係提供用於：(a) 將含鋁前驅物及含矽前驅物引入（例如依序引入）至處理腔室；及(b) 使含鋁前驅物及含矽前驅物與含氧物種反應（例如依序反應），以在基板上形成介電複合膜，其中該膜包含Al-O及Si-O鍵。

【0018】 根據另一實施態樣，提供一種包含介電複合膜的半導體裝置，其中介電複合膜包含選自由Al、Si、及Ge組成之群組的至少兩元素、及選自由O、C、及N組成之群組的至少一元素，其中介電複合膜具有在約 $10\text{-}50 \text{ \AA}$ 之間的厚度，且具有小於約7之介電常數及至少約 2.5 g/cm^3 之密度的特徵。

【0019】本發明的這些及其他特徵和優點將參照相關圖式更仔細地描述於下。

【圖式簡單說明】

【0020】圖1A-1C顯示根據本文提供的實施例描繪蝕刻停止膜之處理期間半導體基板的橫剖面圖。

【0021】圖2係此處提供之處理方法的製程流程圖。

【0022】圖3根據本文提供的實施例係用於沉積介電複合膜之方法的製程流程圖。

【0023】圖4根據本文提供的實施例係可用於複合膜的沉積之iALD處理工作站的示意圖。

【0024】圖5根據本文提供的實施例顯示多工作站式處理工具的示意圖。

【0025】圖6根據本文提供的實施例係配置成用於沉積薄膜之處理工具的方塊圖。

【實施方式】

【0026】為了透徹理解所揭示的實施方式，在以下詳細的描述中說明許多特定的實施方式。然而，對於在此技術領域中具有通常技術者而言將為顯而易見的，所揭示的實施方式可在沒有這些具體細節的情況下或藉由使用替代的元件或製程而實施。另一方面，為了不要不必要地模糊所揭示之實施方式的實施態樣，未詳細說明眾所周知的製程、程序、及元件。

【0027】 在本說明書中，術語「半導體晶圓」、「半導體基板」、「晶圓」、「基板」、「晶圓基板」及「部分製造的積體電路」係可互換地使用。在此技術領域中具有通常技術者應理解術語「部分製造的積體電路」可意指在其上積體電路製造的許多階段之任一者期間的矽晶圓。下面的詳細敘述描述晶圓上界面層的沉積。然而，所揭示的實施方式係非如此限制性的。工件可具有各種形狀、尺寸、及材料。除了半導體晶圓之外，可利用所揭示之實施方式的其他工件包含諸如印刷電路板等的各種物件。本文使用的術語「半導體晶圓」或「半導體基板」意指在其本體內的任何位置具有半導體材料的基板，且應理解該半導體材料不需露出。在許多實施例中，半導體基板包含在半導體材料上形成的一或更多介電及導電層。

【0028】 本文提供的複合膜包含第一類型的至少兩元素（例如選自由Al、Si、及Ge組成之群組的至少兩元素）及第二類型的至少一元素（例如選自由O、C、及N組成之群組的至少一元素）。第一類型的元素通常具有比第二類型元素小的電負度。此處使用的術語「複合的」意指存在第一類型的至少兩不同元素。舉例而言，複合膜可包含Al和Si（第一類型元素）及O和C（第二類型元素）。除了第一及第二類型元素之外，複合膜還可能包含氫。在一些實施例中，所提供的複合膜包含Al、Si、及O（或實質上由Al、Si、及O所組成），且進一步選用性地可包含H、C、及N。在一些實施例中，膜包含至少5原子%的Al、至少5原子%的Si、及至少5原子%的O（其中若存在氫，其係不包含在計算中）。在一些實施例中，膜包含約5-60原子%（諸如約5-40原子%）的Al、及約5-60原子%（諸如約5-40原子%）的Si（其中若存在氫，其係不包含在原子百分比含量的計算中）。

【0029】 第一類型的不同元素可在複合膜內互混、或可存在於不同的子層中。舉例而言，在一實施例中，複合膜係AlSiOC膜，在該AlSiOC膜中元素係實質上均勻混合。在另一實施例中，複合膜包含複數交替的子層，其中第一子層包含第一類型的第一元素（例如Al），而第二子層包含第一類型的第二元素（例如Si）。具有多個子層的膜之示例係具有包含Al及O之第一類型之至少兩子層、及包含Si及O之第二類型之至少兩子層的膜，其中第一及第二類型的子層在堆疊中交替。應注意各子層較佳是非常薄（諸如10 Å厚以下，例如約5 Å厚），且整個複合膜較佳是小於約100 Å厚，諸如小於約50 Å厚，其中典型的厚度在約20-30 Å之間。由於第一類型的不同元素（例如Si和Al）係在複合膜中互混或存在於非常薄之交替的子層中，所以所提供的膜係與含金屬覆蓋層及介電擴散阻障膜的組合不同。

【0030】 本文提供的複合膜處理對於具有以下特性之材料的重要需求：低介電常數、高密度、低漏電流、良好的黏附特性、及金屬抗氧化性。在一些實施例中，本文提供的複合膜具有上面列出的所有期望特性。對於此等材料的請求源於諸如鋁氧化物或矽氧化物的許多二元化合物僅具有這些特性的一些而非全部者的事實。舉例而言，根據一些製備程序製造的矽氧化物具有約4.5的低介電常數，但其相對低之 2.1 g/cm^3 的密度暗示純的矽氧化物將具有低蝕刻選擇性且將為相對差的蝕刻停止材料。另一方面，根據一些製備程序製造的鋁氧化物具有約 3.0 g/cm^3 的高密度，但其介電常數係通常大於7，導致含有鋁氧化物膜之元件結構的電容增加。鋁氮化物具有約6的介電常數，但由於其相對窄的能帶間隙，其具有相對較高的漏電流。

【0031】 本文提供的複合膜同時具有低介電常數及高密度。在一些實施例中，提供具有密度至少約 2.5 g/cm^3 且介電常數小於約7的複合介電膜。舉例而言，提供具有密度至少約 2.5 g/cm^3 且介電常數小於約6的複合膜。此外，在一些實施例中，所提供的膜之特徵在於大於約 5 MV/cm 的崩潰電壓，諸如至少約 8 MV/cm 。此等膜的示例係如此處提供之包含Al、Si、及O（或實質上由Al、Si、及O所組成）的複合膜、及包含Al、Si、O、及C（或實質上由Al、Si、O、及C所組成）的膜。

【0032】 在一些實施例中，複合膜係配置成包含具有小於約7之介電常數之第一材料的全部化學元素（例如Si和O）、及具有至少約 2.5 g/cm^3 之密度之第二材料的全部化學元素（例如Al和O）。較佳是，複合膜係配置成包含具有小於約6之介電常數之第一材料的全部元素、及具有至少約 2.6 g/cm^3 之密度之第二材料的全部元素。較佳是，第一材料及第二材料對金屬及介電質兩者皆具有良好的黏附性，且具有低漏電流的特徵。

【0033】 在一些實施例中，提供一種半導體元件，其中該半導體元件包含兩層ILD（例如ULK介電質）、及位在該兩ILD層之間所提供之介電複合膜的薄層（例如在約 $10\text{-}100 \text{ \AA}$ 之間，諸如約 $20\text{-}30 \text{ \AA}$ ）。該等ILD層亦可包含內嵌的金屬（例如銅、鎢、或鈷）線，且在一些實施例中，介電複合膜的薄層亦位於金屬及ILD（例如ULK介電質）之間，且同時接觸ILD和及金屬兩者。

【0034】 所提供的介電複合膜係特別非常適合用作蝕刻停止層，但亦可用作用於各種目的（例如改善抗電遷移性或作為硬遮罩）的界面層。

【0035】通常，所提供的膜可沉積在平面基板上或圖案化的基板上。在一實施例中，所提供的膜係沉積在具有曝露的平坦表面之半導體基板上，該曝露的平坦表面包含曝露的介電質及金屬（例如銅、鈷或鎢）兩者。

【0036】圖1A-1C提供經歷幾個雙鑲嵌處理步驟之半導體基板的示例，其中可使用所提供的介電複合膜。參照圖1A，描繪用於雙鑲嵌製造之部分製造的積體電路（IC）結構100之示例。如圖1A-1C所示，結構100係半導體基板的一部分，且在一些實施例中可直接位在包含主動元件（諸如電晶體）的層上。在其他實施例中，其可直接位在金屬化層上或在結合導電材料（例如包含記憶體電容器的層）的其他層上。

【0037】圖1A中描繪的層103係層間介電層，其可為二氧化矽但更典型地為低k介電材料。為了最小化金屬間介電堆疊的介電常數，將具有小於約3.5之k值的材料（較佳是小於約3.0且通常小於約2.8）用作層間介電質。這些材料包含但不限於氟或碳摻雜的二氧化矽、有機低k材料、及多孔摻雜的二氧化矽材料。此等材料可例如藉由PECVD或藉由旋塗方法沉積。在一些實施例中，層103包含ULK介電質。層103係使用線路徑（溝槽及通孔）蝕刻，在該線路徑（溝槽及通孔）中沉積部分導電的金屬擴散阻障105，接著鑲嵌銅導電路線107。在其他實施例中，使用除了銅之外的金屬（例如鈷或鎢）。因為銅或其他可動的導電材料提供半導體基板的導電路徑，所以必須保護靠近金屬線的底部矽元件及介電層免受金屬離子（例如 Cu^{2+} ）的影響，否則這些金屬離子可能擴散或漂移進入矽或層間介電質且導致其性能劣化。一些類型的金屬擴散阻障係用以保護IC元件的介電層。這些類型可分成部分導電的含金屬層（諸如105）及介電阻障層。用

於部分導電的擴散阻障105之合適材料包含諸如鈇、氮化鈇、鈦、氮化鈦等的材料。這些係通常藉由PVD或ALD方法保形地沉積在具有通孔及溝槽的介電層上。

【0038】 在已沉積擴散阻障層105之後，可藉由包含PVD、電鍍、無電沉積、CVD等的若干技術形成銅導電路線107。在一些實施方式中，形成銅填充物的較佳方法包含藉由PVD沉積銅的薄晶種層及隨後藉由電鍍沉積主體銅填充物。由於銅係通常伴隨位在場區中的過度覆蓋層（overburden）而沉積，所以需要化學機械拋光（CMP）操作以移除該過度覆蓋層及獲得平坦化的結構100。如上所述，在一些實施例中，導電路線107係由鎢或鈷製成，該鎢或鈷可例如藉由CVD或ALD（其中CVD和ALD可為熱力式或由電漿輔助）沉積。

【0039】 接著，參照圖1B，在完成結構100之後，使用本文提供的方法將介電複合蝕刻停止膜109（例如AlSiOC膜）沉積在銅線107及介電質103上。介電複合膜可藉由CVD、PECVD、ALD、iALD、保形膜沉積（CFD）、或這些方法的任何組合沉積。應注意在一些實施例中，層109沉積在其上之ILD層103的頂部可能不同於該層的主體。例如在一些實施例中，層103的頂部比主體更為機械性地堅固。在一實施方式中，層103的頂部係機械性地堅固之摻雜或未摻雜的矽碳化物或矽氮化物，而介電層103的主體係較脆弱的ULK介電質（例如多孔材料）。在一示例中，層103的頂部係氧摻雜的矽碳化物（ODC）。此較堅固的層之存在使得使用電漿步驟沉積蝕刻停止膜更為容易且不損壞基板之曝露的部分。

【0040】 在一些實施例中，介電複合蝕刻停止層109更作為介電擴散阻障層，因為其位在所製造結構中之銅與介電質間的界面處。在一些實施例中，單獨的擴散阻障層係沉積在層109的頂部上。通常，此擴散阻障層（未顯示）包含摻雜或未摻雜的矽碳化物（例如矽碳氧化物）或矽氮化物。

【0041】 參照圖1B，雙鑲嵌介電結構的第一介電層111係沉積在膜109上。此後接著在該第一介電層111上沉積蝕刻停止膜113。蝕刻停止膜113可為本文提供之複數介電複合膜的其中之一，或其可包含不同的蝕刻停止材料。介電層111係通常由諸如針對介電層103而列出者的低k介電材料所構成，且亦可包含較機械性地堅固之頂部（例如由ODC構成的頂部）。注意層111及103不必然需具有相同的組成。在一些實施例中，層111及103兩者皆為ULK介電層。

【0042】 如圖1C所示，該製程接著以與第一介電層111類似的方式將雙鑲嵌介電結構的第二介電層115沉積在蝕刻停止膜113上。接著沉積抗反射層（未顯示）及CMP停止膜117。第二介電層115通常包含低k介電材料，諸如上面針對層103和111而描述者，且可選用性地包含較機械性地堅固之頂部。CMP停止膜117在隨後的CMP操作期間用以保護脆弱的層間介電（ILD）層115之介電材料。通常，CMP停止層係經歷與擴散阻障及蝕刻停止膜109和113類似的整體需求，且可包含本文提供的介電複合材料。或者，其可包含基於矽碳化物或矽氮化物的習知CMP停止材料。

【0043】 在後續的操作期間，ILD層111及115係加以圖案化以形成凹入的特徵部（通孔和溝槽）。圖案化係通常使用習知的光微影技術執行，且涉及將光阻塗佈至基板、將該光阻曝光、圖案化該光阻和藉由通常使用基於氟的化學品蝕刻介電材料而將圖案轉移至基板、及移除該光阻。所提供的複合介電蝕刻停止層相對於ILD介電質（例如ULK介電質及/或ODC）具有良好的蝕刻選擇性，且保護位在蝕刻停止層下方的材料不被蝕刻。

【0044】 注意所提供的介電蝕刻停止膜可在各種不同的整合方案中使用，且其使用係不限於圖1A-1C中描繪的方案。

【0045】 圖2提供利用介電複合膜作為蝕刻停止層之處理方法的製程流程圖。該製程始於操作201：提供具有曝露的金屬層及曝露的介電層之半導體基板。舉例而言，基板可包含曝露的ULK介電層及曝露的金屬層，諸如銅、鎢、或鈷層。圖1A描繪此種基板的一示例。接著，在操作203，複合介電膜係沉積在基板上。該沉積可使用各種方法執行，包含熱CVD、電漿加強CVD (PECVD)、熱ALD、和離子誘導ALD (iALD)、保形膜沉積 (CFD) 及其任何組合。

【0046】 在一實施例中，複合介電層的沉積包括將含有複合膜之元素的一或更多前驅物提供至處理腔室、及設定在基板上沉積複合介電膜的製程條件。合適的揮發性含鋁前驅物包含但不限於有機鋁化合物，諸如三甲基鋁 (TMA)、氫化二甲基鋁、三乙基鋁、三異丁基鋁、及三 (二乙基胺基) 鋁。在許多實施例中，TMA係較佳的化合物。含矽前驅物的示例包含但不限於矽烷 (SiH_4)、二矽烷、烷基矽烷、及烷基胺基矽烷，諸如二異丙基胺基矽烷 (DIPAS)。包含甲基的含矽前驅物 (諸如DIPAS) 在一些實施例中係較佳的。鍍可例如藉由使用鍍烷作為前驅物引入至膜中。氧可利用含氧反應物 (諸如 CO_2 、 N_2O 、 O_2 等) 引入。氮可藉由使用含氮反應物 (諸如 N_2O 及 NH_3) 引入。碳可藉由使用含碳反應物 (諸如 CO_2 及烴) 引入。注意在一些實施例中，單一前驅物或反應物可將多於一元素供應至複合膜。在其他實施例中，各元素係由不同的前驅物及/或反應物供應。

【0047】 在一示例中，其中複合膜包含選自由Al、Si、及Ge組成之群組的至少兩元素及選自由O、C、及N組成之群組的至少一元素，該沉積方法涉及提供：包含選自由Al、Si、及Ge組成之群組之至少兩元素的前驅物 (例如三甲基鋁及二異丙基胺基矽烷)、及包含選自由O、C、及N組成之群組之一元素的反

應物（例如含氧物種）。反應可為熱力式或在電漿中進行。在一些實施例中，前驅物及反應物的引入係順序式的。在一些實施例中，反應主要發生在基板的表面上，且在處理腔室內主體中之前驅物及反應物的混合受到抑制或不被允許。在其他實施例中，允許在處理腔室內主體中之前驅物及反應物的混合，且反應可能發生在基板的表面上及在處理腔室之容積內的主體中。

【0048】 在一實施例中，包含Al、Si、及O的複合膜係藉由將含矽前驅物及含鋁前驅物提供至容納半導體基板的處理腔室、且藉由使該含矽前驅物及該含鋁前驅物與含氧物種反應而沉積，以在基板上形成介電複合膜，其中該膜包含Al-O及Si-O鍵。在此實施例的一實施方式中，允許含鋁前驅物、含矽前驅物、及含氧物種在處理腔室內混合，且藉由CVD沉積膜。在一些實施方式中，反應係使用電漿輔助。摻入複合膜中之元素的量可藉由控制提供至處理腔室之含矽前驅物及含鋁前驅物的分壓而控制。

【0049】 在另一實施方式中，形成介電複合膜之複數交替的子層（奈米積層）係加以沉積。在此實施方式中，基板首先與第一前驅物（含鋁前驅物或含矽前驅物）接觸，該第一前驅物係接著與含氧物種（在有或沒有電漿的情況下）反應以沉積第一類型的子層。接著，基板係與不同於該第一前驅物的第二前驅物（含鋁前驅物或含矽前驅物）接觸，該第二前驅物係接著與含氧物種（在有或沒有電漿的情況下）反應以沉積第二類型的子層。舉例而言，第一前驅物可為含鋁前驅物，其在與含氧物種反應時形成AlO層作為第一子層，而第二前驅物可為含矽前驅物，其在與含氧物種反應時形成SiO層作為第二子層。接著，依需要將AlO及SiO子層的沉積重複許多次以建立具有期望厚度的蝕刻停止膜。較佳是，各子層的厚度係受控制不超過10 Å，諸如不超過5 Å。摻入膜中之元素（例

如Al及Si)的量可藉由控制奈米積層中之子層的厚度而控制。舉例而言，在一些實施例中，含鋁子層的厚度係在含矽子層厚度的大約0.5-3倍之間。

【0050】 在又另一實施方式中，複合膜的沉積涉及將第一前驅物（含矽前驅物或含鋁前驅物）提供至容納基板的處理腔室、及允許第一前驅物吸附在基板的表面上。此後接著沖洗及/或排空處理腔室以自處理腔室移除未被吸附的前驅物。接著，不同於該第一前驅物的第二前驅物（含矽前驅物或含鋁前驅物）係提供至處理腔室且允許吸附在基板的表面上。接著，在沖洗及/或排空之後，留在基板上的含矽前驅物及含鋁前驅物係允許與含氧物種反應（例如在諸如CO₂或N₂O之含氧氣體中形成的電漿內），以在基板表面上形成具有Al-O及Si-O鍵的複合膜。接著，重複前驅物用劑及轉變成氧化物直到形成期望厚度的膜。摻入複合膜中之元素的相對量可藉由在各前驅物用劑步驟期間提供之前驅物的量而控制。在一些實施例中，當前驅物係加以用劑時，基板的表面係未藉由前驅物而呈飽和。當吸附係在低於飽和下進行時，各元素之摻入的控制係藉由調整用劑條件而輕易地達成。

【0051】 在一些實施例中，複合膜係藉由基於表面的反應（ALD）及來自處理腔室之主體的沉積（CVD）之組合而沉積。舉例而言，若前驅物在各吸附步驟之後未完全自處理腔室移除，則可能發生基於表面的反應及自主體的沉積。

【0052】 再次參照圖2的製程流程圖，在已沉積複合蝕刻停止層之後，該製程接著選用性地沉積介電擴散阻障層於該複合蝕刻停止膜上且與其接觸，如操作205所示。擴散阻障膜可為例如藉由PECVD沉積之氧摻雜的矽碳化物層。

【0053】 接著，在操作207，ILD層係在蝕刻停止層及選用性的擴散阻障膜上沉積。該ILD層係接著在選定的位置受蝕刻（在標準光微影圖案化之後）以形

成凹入的特徵部。在通常使用基於氟之化學品進行的蝕刻期間，複合介電蝕刻停止層保護在蝕刻停止層下面的材料不被蝕刻。

【0054】圖3描繪用於沉積介電複合蝕刻停止層之示例製程的其中一者。該製程涉及將半導體基板置放在處理腔室內（例如在iALD處理腔室內），且在操作301中將含鋁前驅物（例如TMA）提供至處理腔室。在一些實施例中，含鋁前驅物係與載體氣體（諸如N₂或稀有氣體）一起提供至處理腔室。在此步驟期間的溫度及壓力係加以選擇，以允許含鋁前驅物吸附在基板表面上。接著，在操作303，沖洗及/或排空處理腔室以自處理腔室移除未被吸附的含鋁前驅物。在一些實施例中，該移除實質上是完全的。在其他實施例中，一部分的含鋁前驅物可能留在處理腔室中。該製程接著操作305：將含矽前驅物（例如二異丙基胺基矽烷）提供至處理腔室。該含矽前驅物可與載體氣體（諸如N₂或稀有氣體）一起提供。當含矽前驅物係液體時，引入前驅物的蒸汽。重要的是在一些實施例中，含鋁前驅物及含矽前驅物係藉由不同的導管引至處理腔室，使得在遞送至處理腔室期間不發生這些前驅物的混合。該含矽前驅物係接著允許吸附至基板表面。接著，在操作307，沖洗及/或排空處理腔室以移除未被吸附的含矽前驅物。在一些實施例中，未被吸附的含矽前驅物係實質上自處理腔室完全移除。在其他實施例中，一部分的含矽前驅物可在操作307之後留在處理腔室中。接著，在操作309，含鋁前驅物及含矽前驅物係與含氧物種反應以在基板上形成包含Al-O鍵及Si-O鍵的膜。舉例而言，含氧處理氣體（諸如CO₂、N₂O、O₂或其任何混合物）可引至處理腔室中，且電漿可在該處理氣體中形成。在其他實施例中，氧化製程係在沒有電漿的情況下以熱力式執行。含氧物種與含矽和含鋁前驅物間的反應發生在基板表面上。在那些實施方式中，在前驅物未完全自處理

腔室主體移除的情況下，反應亦可能發生在基板的表面之外，且除了表面反應之外，反應產物亦在低速CVD沉積中沉積在基板上。在這些實施例中，該製程可被視為iALD與PECVD的組合。在較佳實施例的其中一者中，氧化處理係使用在CO₂及氫之混合物中形成的電漿執行，因為此化學品係被發現產生具有特別有利之密度及介電常數之組合的膜。因此，包含Al、Si、O、及C的膜係在基板上形成。通常，操作301-309的一循環在基板上形成平均厚度在約0.8-3 Å之間的膜。在操作311，作出是否需要進一步沉積的決定。若層係不夠厚，則重複操作301-309直到形成期望厚度的介電複合膜。通常，沉積製程涉及執行操作301-309的循環至少3次，諸如至少5次（例如在約5-20次之間）。注意圖3顯示的製程可始於提供含鋁前驅物或含矽前驅物作為接觸具有曝露的金屬及介電層之基板的第一前驅物。

【0055】 表1提供根據圖3說明的方法之沉積複合介電AlSiOC膜的合適製程條件。

表1 用於沉積複合AlSiOC膜的說明性製程條件

處理步驟	處理氣體成分	溫度 (°C)	壓力 (托)	電漿	時間 (秒)
Al 用劑	TMA, N ₂	300 – 420	1-10	無	0.5-5
沖洗	N ₂	300 – 420	1-10	無	2-5
Si 用劑	DIPAS, N ₂	300 – 420	1-10	無	0.5-5
沖洗	N ₂	300 – 420	1-10	無	2-5

轉變	CO ₂ , Ar, N ₂	300 – 420	1-10	有	1-10
----	---	-----------	------	---	------

【0056】 在一些實施例中，複合膜的整個沉積係在單一處理腔室內執行。表1說明的沉積可在具有與處理腔室相關聯的電漿產生器之任何合適的設備內執行。在該轉變步驟期間使用的電漿可使用射頻（RF）產生器產生。射頻（RF）電漿可使用高頻（HF）或雙頻生成而形成，其中雙頻包含低頻（LF）及HF生成兩者。示例性的低頻RF頻率可包含但不限於50 kHz與900 kHz之間的頻率。高頻RF頻率的示例可包含但不限於1.8 MHz與2.45 GHz之間的頻率。在一實施例中，高頻係13.56 MHz，而低頻係400 kHz。在諸多實施例中，各包含四個300 mm晶圓的處理模組之LF功率的範圍係自約100至2000 W，而對於相同的處理模組HF功率的範圍係自約400至約3000 W，對應於約0.14 - 1.1 W/cm²之間的HF功率密度及約0.03 - 0.71 W/cm²之間的LF功率密度。在各種實施例中，基板係使用轉變步驟中之電漿處理約0.2-60秒。

【0057】 處理氣體成分的流率可依據處理腔室的大小及所沉積的膜之期望特性而不同，且通常在約20-20,000 sccm的範圍內。

【0058】 在膜中鋁對矽的含量比在一些實施例中係藉由控制含鋁前驅物及含矽前驅物的用劑時間（例如可控制之用劑時間的比例）而控制。舉例而言，為了增加鋁含量，基板可曝露於含鋁前驅物較長的時間。類似地，為了增加矽含量，基板可曝露於含矽前驅物較長時間。

【0059】 在一些實施例中，膜中的鋁對矽含量的比例係藉由控制不同類型之循環所執行的次數之比例而加以控制，其中第一類型的循環沉積含鋁子層而第二類型的循環沉積含矽子層。舉例而言，第一類型的循環可包含將基板曝露

於含鋁前驅物，沖洗及/或排空處理腔室以移除未被吸附的含鋁前驅物；及接著使基板上所吸附的含鋁前驅物（例如藉由含氧電漿）氧化以形成包含Al-O鍵的子層。第二類型的循環可包含將基板曝露於含矽前驅物，沖洗及/或排空處理腔室以移除未被吸附的含矽前驅物；及接著使基板上所吸附的含矽前驅物（例如藉由含氧電漿）氧化以形成包含Si-O鍵的子層。在一些實施例中，若各前驅物的用劑時間係調整成針對膜的子層提供實質相等的生長速率，重複第一類型循環三次及執行第二類型循環一次將提供3：1的Al：Si比。

【0060】表2列出使用本文提供的方法沉積之AlSiOC膜及比較性AlOC及SiO膜的實驗數據。

表2 複合膜對AlOC及SiO膜之比較

參數	AlOC 膜 I (比較例)	SiO (比較例)	AlOC 膜 II (比較例)	AlSiOC
膜厚度(Å)	255	275	295	138
漏 電 流 (@2MV/cm), Amp/cm ²	$3.92 \cdot 10^{-9}$	$6.68 \cdot 10^{-9}$	$6.23 \cdot 10^{-9}$	$1.24 \cdot 10^{-8}$
崩 潰 電 壓 (MV/cm)	10.15	無	12.04	12.69
k	7.56	4.54	5.53	4.99
密度(g/cm ³)	3.088	2.141	2.534	2.723

【0061】 AlSiOC膜係使用表1提供的一般製程條件沉積。比較性的AlOC膜係在省略Si用劑步驟的情況下而沉積如表1所示。比較性的SiO膜係如表1所提供省略Al用劑步驟而沉積。將膜沉積至大於用在蝕刻停止膜的厚度，以精確測量介電常數、密度、漏電流、及崩潰電壓。吾人可觀察到複合AlSiOC膜的介電常數小於6、密度大於 2.6 g/cm^3 ，且同時具有低的漏電流及高的崩潰電壓。比較性的AlOC及SiO膜皆沒有同時具有期望之低介電常數及高密度的組合。比較性的AlOC膜II具有相對低的介電常數，但其密度係顯著低於AlSiOC膜的密度。吾人發現複合AlSiOC材料的密度係至少為 2.5 g/cm^3 係非預期的，因為由於膜內不同尺寸的原子之相對鬆散的堆積，所以預期複合膜的密度將實質上較低。

設備

【0062】 此處揭示的實施方式之另一實施態樣係配置成實現此處描述之方法的設備。適合的設備包含用於完成製程操作的硬體及具有用於根據所揭示的實施方式控制製程操作之指令的系統控制器。用於完成製程操作的硬體包括ALD（包含iALD）處理腔室及CVD（包含PECVD）處理腔室。在一些實施例中，所提供方法的所有操作係在單一處理腔室內執行。在其他實施方式中，基板可在腔室之間傳送以執行該方法的不同步驟。系統控制器通常包含配置成執行指令的一或更多記憶體裝置及一或更多處理器，使得該設備將根據所揭示的實施方式執行方法。包含用於根據所揭示的實施方式控制製程操作之指令的機器可讀媒體可耦接至該系統控制器。

【0063】 在一些實施例中，沉積係在iALD反應器內執行，該iALD反應器係自Lam Research Corp. of Fremont, CA市售之Vector Excel沉積模組的一部分。

適合的處理腔室包含：在沉積期間固持晶圓基板的支座（晶圓底座）、在處理腔室內形成電漿的產生器、及將含鋁前驅物、含矽前驅應物及含氧的處理氣體（例如CO₂、氫、氮等）遞送至處理腔室的導管。在一些實施例中，導管係分開的導管，其中各導管係分別與含鋁前驅物來源、含矽前驅物來源、及含氧氣體來源連接。在一些實施例中，導管係連接成使得不允許含鋁前驅物及含矽前驅物在導管內（例如在遞送管內）混合。該設備係進一步配置成用於沖洗及/或排空處理腔室，及用於在沉積期間在處理腔室內維持期望的壓力及溫度。

【0064】 iALD處理腔室的例子係在美國專利第6,416,822號、美國專利第6,428,859號、及美國專利第8,747,964號中描述，其全部內容於此藉由參照納入本案揭示內容。

【0065】 圖4示意性地顯示可用以使用原子層沉積iALD沉積所提供的膜之處理工作站400的一實施例。為簡單起見，處理工作站400係描繪成獨立的處理工作站，其具有用於維持低壓環境的處理腔體402。然而，應理解複數處理工作站400可被包含在一般的處理工具環境中。此外，應理解在一些實施例中，處理工作站400的一或更多硬體參數（包含以下詳細討論者）可由一或更多電腦控制器以編程方式調整。

【0066】 處理工作站400與反應物遞送系統401呈流體連通，該反應物遞送系統401用於將處理氣體遞送至分配噴淋頭406。反應物遞送系統401包含混合容器404，該混合容器404用於混合及/或調整處理氣體以遞送至噴淋頭406。一或更多混合容器入口閥420可控制處理氣體對混合容器404的導入。類似地，噴淋頭入口閥405可控制處理氣體對噴淋頭406的導入。

【0067】 一些反應物可在汽化及隨後遞送至處理工作站之前以液體形式儲存。舉例而言，圖4的實施例包含一汽化點403，用於將待供應至混合容器404的液體反應物汽化。在一些實施例中，汽化點403可為加熱的汽化器。從此等汽化器產生的反應物蒸汽可能在下游遞送管路內凝結。不相容的氣體曝露於凝結的反應物可能產生小顆粒。這些小顆粒可能堵塞管路、妨礙閥操作、污染基板等。解決這些問題的一些方法涉及清掃及/或排空遞送管路以移除殘留的反應物。然而，清掃遞送管路可能增加處理工作站的循環時間、降低處理工作站的生產率。因此，在一些實施例中，汽化點403下游的遞送管路可為伴熱的（heat traced）。在一些例子中，混合容器404亦可為伴熱的。在一非限制性的例子中，汽化點403下游的管路具有從大約100°C延伸至混合容器404處大約150°C的漸增溫度分布。

【0068】 在一些實施例中，反應物液體可在液體注射器被汽化。舉例而言，液體注射器可將液體反應物的脈衝注入至混合容器上游的載體氣流內。在一情況下，液體注射器可藉由將液體自較高壓力至較低壓力驟沸而汽化反應物。在另一情況下，液體注射器可將液體霧化成分散的微滴，其隨後在加熱的遞送管內汽化。應理解較小的液滴可能比較大的液滴更快汽化，縮短液體注入與完全汽化之間的延遲。較快的汽化可降低自汽化點403下游之管路的長度。在一情況下，液體注射器可直接安裝至混合容器404。在另一情況下，液體注射器可直接安裝至噴淋頭406。

【0069】 在一些實施例中，汽化點403上游的液體流量控制器可加以設置，以控制用於汽化及遞送至處理工作站400之液體的質量流量。舉例而言，液體流量控制器（LFC）可包含位在LFC下游的熱質量流量計（MFM）。LFC的柱

塞閥可接著響應回授控制訊號而調整，該回授控制訊號係由與MFM電連通的一比例-積分-微分作用（PID, proportional-integral-derivative）控制器提供。然而，使用回授控制可能耗用一秒以上以穩定液體流量。此可能延長供給液體反應物的時間。因此，在一些實施例中，LFC可在回授控制模式與直接控制模式間動態地切換。在一些實施例中，LFC可藉由將PID控制器及LFC的感測管停用而自回授控制模式動態地切換至直接控制模式。

【0070】 在一些實施例中，為了避免含鋁前驅物及含矽前驅物的混合，不同的導管436及434係用以將含鋁前驅物來源430及含矽前驅物來源432分別流體連接至噴淋頭，以確保這些前驅物分別遞送至處理腔室。

【0071】 噴淋頭406將處理氣體朝基板412分布。在顯示於圖4的實施例中，基板412係位於噴淋頭406下方，且係顯示配置在底座408上。應理解噴淋頭406可具有任何適合的形狀，且可具有任何適合數量及排列的埠口，以供將處理氣體分布至基板412。

【0072】 在一些實施例中，微容積407係位在噴淋頭406下方。在微容積而非在處理工作站的整個容積中執行ALD製程，可減少反應物曝露及清掃時間、可減少修改製程條件（例如壓力、溫度等）的時間、可限制處理工作站機器人對處理氣體的曝露等。示例的微容積尺寸包含但不限於在0.1升與2升間的容積。此微容積亦影響生產的生產率。每循環的沉積速率下降時，循環時間亦同時減少。在某些情況下，後者的影響係相當足以改善用於膜的給定目標厚度之模組的整體生產率。

【0073】 在一些實施例中，底座408可升高或降低，以將基板412曝露於微容積407及/或以改變微容積407的容積。舉例而言，在基板傳送階段中，底座408

可降低以允許基板412被裝載至底座408之上。在沉積製程階段期間，底座408可升高以將基板412置放於微容積407內。在一些實施例中，微容積407可完全包圍基板412及底座408的一部分，以在沉積製程期間建立高流量阻抗的區域。

【0074】 選用性地，底座408可在部分的沉積製程期間降低及/或升高，以調節在微容積407內的製程壓力、反應物濃度等。在處理腔體402於沉積製程期間保持在基礎壓力的一情況下，降低底座408可允許微容積407被排空。微容積對處理腔室容積的示例比例包含但不限於在1：900與1：10之間的容積比例。應理解在一些實施例中，底座高度可藉由適合的電腦控制器以編程方式調整。

【0075】 在另一情況下，調整底座408的高度可允許電漿密度在包含於沉積製程的電漿活化及/或處理循環期間被改變。在沉積製程階段結束時，底座408可在另一基板傳送階段期間降低，以允許自底座408移除基板412。

【0076】 雖然此處描述的示例微容積變化係關於一高度可調整的底座，但應理解在一些實施例中，噴淋頭406的位置可相對於底座408調整，以改變微容積407的容積。此外，應理解底座408及/或噴淋頭406的垂直位置可藉由在本揭示內容範圍內之任何適合的機構變化。在一些實施例中，底座408可包含用於旋轉基板412之方向的旋轉軸。應理解在一些實施例中，這些示例調整的其中一或多者可藉由一或多適合的電腦控制器以編程方式執行。

【0077】 返回圖4顯示的實施例，噴淋頭406及底座408與用於對電漿供電的RF電源414及匹配網路416電連通。在一些實施例中，電漿能量可藉由控制處理工作站壓力、氣體濃度、RF來源功率、RF來源頻率、及電漿功率脈衝時序的其中一或多者而加以控制。舉例而言，RF電源414及匹配網路416可在任何適合的功率下操作，以形成具有期望之自由基物種成分的電漿。適合功率的例子係

被包含於先前敘述。同樣地，RF電源414可提供任何適合頻率的RF功率。在一些實施例中，RF電源414可配置成彼此獨立地控制高頻及低頻RF功率源。示例的低頻RF頻率可包含但不限於50 kHz與900 kHz之間的頻率。示例的高頻RF頻率可包含但不限於1.8 MHz與2.45 GHz之間的頻率。應理解任何適合的參數可不連續地或連續地調整，以提供用於表面反應的電漿能量。在一非限制性的例子中，電漿功率可間歇地脈衝輸送以相對於連續供電的電漿降低對基板表面的離子轟擊。

【0078】 在一些實施例中，電漿可藉由一或更多電漿監視器原位監控。在一情況下，電漿功率可藉由一或更多電壓、電流感測器（例如VI探針）監控。在另一情況下，電漿密度及/或處理氣體濃度可藉由一或更多光學發射光譜感測器（OES）量測。在一些實施例中，一或更多電漿參數可基於來自此等原位電漿監視器的量測以編程方式調整。舉例而言，OES感測器可在回授迴路中使用，該回授迴路用於提供電漿功率的編程控制。應理解在一些實施例中，其他監視器可用以監控電漿及其他製程特性。此等監視器可包含但不限於紅外線（IR）監視器、聲學監視器、及壓力轉換器。

【0079】 在一些實施例中，電漿可透過輸入/輸出控制（IOC）序列指令控制。在一示例中，用於設定電漿製程階段之電漿條件的指令可被包含於沉積製程配方之對應的電漿活化配方階段中。在某些情況下，製程配方階段可依序排列，使得沉積製程階段的所有指令係與該製程階段同時執行。在一些實施例中，用於設定一或更多電漿參數的指令可被包含在電漿製程階段之前的一配方階段中。舉例而言，第一配方階段可包含用於設定惰性及/或反應物氣體之流率的指令、用於將電漿產生器設定至一功率設定點的指令、及該第一配方階段的時間

延遲指令。後續的第二配方階段可包含啟用電漿產生器的指令及第二配方階段的時間延遲指令。第三配方階段可包含停用電漿產生器的指令及第三配方階段的時間延遲指令。應理解這些配方階段可在本揭示內容的範圍內以任何適合的方式進一步細分及/或重複。

【0080】 在一些沉積製程中，電漿點燃持續幾秒以上等級的持續時間。在某些實施方式中，可使用更短的電漿點燃。這些可能在10毫秒至1秒的等級，通常為20至80毫秒，其中50毫秒係一特定的例子。此非常短的RF電漿點燃需要非常快之電漿的穩定化。為了實現這點，電漿產生器可加以配置，使得阻抗匹配係預設為特定電壓而允許頻率浮動。傳統上，高頻電漿係在約13.56 MHz的RF頻率下產生。在此處揭示的諸多實施例中，允許頻率浮動至與此標準值不同的值。藉由允許頻率浮動且同時將阻抗匹配固定至預定電壓，可使電漿更快地穩定化，此當使用與某些類型的沉積循環相關聯之非常短的電漿點燃時可能是重要的結果。

【0081】 在一些實施例中，底座408可透過加熱器410控制溫度。此外，在一些實施例中，沉積處理工作站400的壓力控制可透過蝶形閥418提供。如圖4的實施例所示，蝶形閥418調節由下游真空泵（未顯示）提供的真空。然而，在一些實施例中，處理工作站400的壓力控制亦可藉由改變被導入處理工作站400之一或更多氣體的流率而調整。

【0082】 在一些實施例中，此處提供的基板係在多工作站式工具內處理。圖5顯示多工作站式處理工具500之實施例的示意圖，該多工作站式處理工具500具有入站裝載鎖定部502及出站裝載鎖定部504，其中的一者或兩者可包含遠程電漿源。處於大氣壓力下的機器人506係配置以將晶圓從卡匣（經由晶圓傳送盒

(pod) 508裝載) 通過大氣埠510而移動到入站裝載鎖定部502中。晶圓係由機器人506放置在入站裝載鎖定部502中的底座512上，將大氣埠510關閉，並將裝載鎖定部抽真空。若入站裝載鎖定部502包含遠端電漿源，則晶圓在被引入處理腔室514之前，可在裝載鎖定部中曝露於遠程電漿處理。此外，基板亦可同樣在入站裝載鎖定部502中被加熱，以例如將水分及吸附的氣體移除。接著，開啟通往處理腔室514的腔室傳送埠516，且另一機器人(未顯示)將晶圓放進反應器中，在反應器中顯示之第一工作站的底座上進行處理。

【0083】 在圖5顯示的實施例中，所描繪的處理腔室514包含四個處理工作站(編號從1到4)。各工作站具有加熱的底座(對於工作站1顯示為518)及氣體管線入口。應理解在一些實施例中，各處理工作站可具有不同或多種用途。雖然所描繪的處理腔室514包含四個工作站，但應理解根據本揭示內容的處理腔室可具有任何適當數量的工作站。例如在一些實施例中，處理腔室可具有五或更多的工作站，而在其他實施例中，處理腔室可具有三或更少的工作站。

【0084】 圖5亦描繪晶圓搬運系統590的實施例，其在處理腔室514內傳送晶圓。在一些實施例中，晶圓搬運系統590可在諸多處理工作站之間、及/或在處理工作站與裝載鎖定部之間傳送晶圓。應理解可使用任何適當的晶圓搬運系統。非限制性的例子包含晶圓旋轉料架及晶圓搬運機器人。圖5亦描繪系統控制器550的一實施例，該系統控制器550用於控制處理工具500的製程條件及硬體狀態。系統控制器550可包含一或更多記憶體裝置556、一或更多大量儲存裝置554、及一或更多處理器552。處理器552可包含CPU或電腦、類比及/或數位輸入/輸出連接件、步進馬達控制器板等。

【0085】 在一些實施例中，系統控制器550控制處理工具500的所有活動。系統控制器550執行系統控制軟體558，該系統控制軟體558係儲存在大量儲存裝置554中、加載至記憶體裝置556、及在處理器552上執行。系統控制軟體558可包含用於控制下述的指令：時序、氣體的混合、腔室及/或工作站壓力、腔室及/或工作站溫度、沖洗條件及時序、晶圓溫度、RF功率位準、RF頻率、基板、底座、卡盤及/或基座的位置、及由處理工具500執行之特殊製程的其他參數。系統控制軟體558可以任何適合的方式配置。舉例而言，各種處理工具元件的副程式或控制物件可加以撰寫，以根據所揭示的方法控制執行各種處理工具製程必須之處理工具元件的操作。系統控制軟體558可以任何適合的電腦可讀程式語言編碼。

【0086】 在一些實施例中，系統控制軟體558可包含輸入/輸出控制（IOC）定序指令，用於控制上述諸多參數。舉例而言，iALD製程的各階段可包含由系統控制器550執行的一或更多指令。用於設定iALD製程階段之製程條件的指令可被包含在相應的iALD配方階段中。在一些實施例中，iALD配方階段可依序配置，使得用於iALD製程階段的所有指令係與該製程階段同時執行。

【0087】 儲存在與系統控制器550相關聯之大量儲存裝置554及/或記憶體裝置556中的其他電腦軟體及/或程式，可用在一些實施例中。用於此目的之程式或程式區段的例子包含基板定位程式、處理氣體控制程式、壓力控制程式、加熱器控制程式、及電漿控制程式。

【0088】 基板定位程式可包含用於處理工具元件的程式碼，該處理工具元件係用以將基板裝載至底座518之上、及控制基板與處理工具500的其他部分之間間距。

【0089】 處理氣體控制程式可包含程式碼，用於控制氣體成分和流率，及選用性地用於在沉積之前將氣體流進一或更多處理工作站，以使處理工作站內的壓力穩定。該處理氣體控制程式可包含程式碼，用於將氣體成分及流率控制在任何所揭示的範圍之內。壓力控制程式可包含程式碼，用於藉由調節例如在處理工作站之排氣系統內的節流閥、進入處理工作站的氣流等而控制處理工作站內的壓力。該壓力控制程式可包含程式碼，用於將處理工作站內的壓力維持在任何所揭示的壓力範圍之內。

【0090】 加熱器控制程式可包含程式碼，用於控制電流流至用以加熱基板的加熱單元。或者，該加熱器控制程式可控制熱轉移氣體（諸如氬）至基板的遞送。該加熱器控制程式可包含將基板的溫度維持在任何所揭示之範圍內的指令。

【0091】 電漿控制程式可包含程式碼，用於在一或更多處理工作站內設定施加至處理電極的RF功率位準及頻率，例如使用本文揭示的任何RF功率位準。該電漿控制程式亦可包含用於控制各電漿曝露之持續時間的程式碼。

【0092】 在一些實施例中，可能有與系統控制器550相關聯的使用者界面。該使用者界面可包含顯示螢幕、設備及/或製程條件的圖形軟體顯示器、及使用者輸入裝置（諸如指向裝置、鍵盤、觸控螢幕、麥克風等）。

【0093】 在一些實施例中，由系統控制器550調整的參數可能與製程條件有關。非限制性的例子包含處理氣體成分及流率、溫度、壓力、電漿條件（諸如RF功率位準、頻率、及曝露時間）等。這些參數可以配方的形式提供給使用者，其可利用使用者界面輸入。

【0094】 用於監控製程的訊號可由系統控制器550的類比及/或數位輸入連接件自諸多處理工具感測器提供。用於控制製程的訊號可在處理工具500的類比及數位輸出連接件上輸出。可被監控之處理工具感測器之非限制性的例子包含質流控制器、壓力感測器（諸如壓力計）、熱電偶等。適當編程的回饋及控制演算法可與來自這些感測器的數據一起使用以維持製程條件。

【0095】 任何適合的腔室可用以實現所揭示的實施例。示例的沉積設備包含但不限於來自ALTUS[®]產品家族、VECTOR[®]產品家族、及/或SPEED[®]產品家族的設備，各者皆由Lam Research Corp., of Fremont, California市售，或任何各種其他市售的處理系統。兩或更多工作站可執行相同的功能。類似地，兩或更多工作站可執行不同的功能。各工作站可設計/配置成執行依期望的特定功能/方法。

【0096】 圖6係適合用於根據某些實施例執行薄膜沉積製程之處理系統的方塊圖。系統600包含傳送模組603。該傳送模組603提供乾淨的加壓環境，以當被處理的基板移動於諸多反應器模組之間時，使被處理基板之污染的風險最小化。兩個多工作站式反應器609及610安裝在傳送模組603上，各者能夠根據某些實施例執行原子層沉積（ALD）及/或化學汽相沉積（CVD）。反應器609及610可包含多個工作站611、613、615、及617，其可根據所揭示的實施例依序或非依序地執行這些操作。該等工作站可包含加熱的底座或基板支座、及一或更多氣體入口或噴淋頭或分散板。

【0097】 在傳送模組603上亦可安裝一或更多單一或多工作站式模組607，其可執行電漿或化學（非電漿）之預清潔、或任何關於所揭示之方法描述的其他製程。模組607在一些情況下可用於諸多處理，以例如預備用於沉積製程

的基板。模組607亦可被設計/配置成執行諸如蝕刻或拋光的諸多其他製程。系統600亦包含一或更多晶圓來源模組601，晶圓係在處理之前及之後儲存於其中。在常壓傳送腔室619內的常壓機器人（atmospheric robot）（未顯示）可首先自來源模組601調動晶圓至裝載鎖定部621。在傳送模組603內的晶圓傳送裝置（通常為機械手臂單元）自裝載鎖定部621調動晶圓至安裝於傳送模組603上的多個模組及移動於該多個模組之間。

【0098】 在各種實施例中，系統控制器629係用以在沉積期間控制製程條件。控制器629通常包含一或更多記憶體裝置及一或更多處理器。處理器可包含CPU或電腦、類比及/或數位輸入/輸出連接件、步進馬達控制器板等。

【0099】 控制器629可控制沉積設備的所有活動。系統控制器629執行系統控制軟體，該系統控制軟體包含用於控制下述者的指令集：時序、氣體的混合、腔室壓力、腔室溫度、晶圓溫度、射頻（RF）功率位準、晶圓卡盤或底座位置、及其他特殊製程的參數。在關於控制器629之記憶體裝置內儲存的其他電腦程式可在一些實施例中使用。

【0100】 通常有關於控制器629的使用者界面。該使用者界面可包含設備及/或製程條件的顯示螢幕、圖形軟體顯示器、及使用者輸入裝置（諸如指向裝置、鍵盤、觸控螢幕、麥克風等）。

【0101】 系統控制邏輯可以任何適合的方式配置。通常，邏輯可被設計或配置於硬體及/或軟體內。控制驅動電路的指令可為硬編碼或被提供成軟體。該指令可由「編程」提供。此編程係被理解為包括任何形式的邏輯，包含在數位訊號處理器、特殊應用積體電路、及其他具有實現為硬體之特定演算法之裝置

中的硬編碼邏輯。編程亦係被理解為包含可在通用處理器上執行的軟體或韌體指令。系統控制軟體可以任何適合的電腦可讀程式設計語言編碼。

【0102】 用於控制製程序列中之含鍍還原劑脈衝、氫的流動、及含鎢前驅物脈衝、及其他製程的電腦程式碼可以任何傳統的電腦可讀程式設計語言撰寫，例如：組合語言、C、C++、巴斯卡（Pascal）語言、福傳（Fortran）語言、或其他。編譯的目的碼或腳本係由處理器實行以執行在程式中所確定的任務。亦如所示，程式碼可為硬編碼。

【0103】 控制器參數係與製程條件相關，例如：處理氣體成分和流率、溫度、壓力、冷卻氣體壓力、基板溫度、及腔室壁溫度。這些參數係以配方的形式提供給使用者，且可利用使用者界面輸入。用於監控製程的訊號可由系統控制器629的類比及/或數位輸入連接件提供。用於控制製程的訊號係在系統600的類比及數位輸出連接件上輸出。

【0104】 系統軟體可以許多不同的方式設計或配置。舉例而言，諸多腔室元件的副程式或控制物件可加以撰寫，以根據所揭示的實施例控制執行沉積製程（及在一些情況下的其他製程）必須的腔室元件之操作。為了此目的之程式或程式部分的例子包含基板定位碼、處理氣體控制碼、壓力控制碼、及加熱器控制碼。

【0105】 在一些實施方式中，控制器629是一系統的一部分，其可為上述例子的一部分。此等系統可包括半導體處理設備，其包含一或複數處理工具、一或複數腔室、用於處理的一或複數平臺、及/或特定處理元件（晶圓底座、氣流系統等）。這些系統可與電子設備整合，該等電子設備用於在半導體晶圓或基板的處理之前、期間、及之後控制這些系統的操作。電子設備可稱作為「控

制器」，其可控制該一或複數系統的諸多元件或子部分。依據系統的處理需求及/或類型，控制器629可被編程以控制此處揭示的任何製程，包含：處理氣體的遞送、溫度設定（例如加熱及/或冷卻）、壓力設定、真空設定、功率設定、一些系統中之射頻（RF）產生器設定、RF匹配電路設定、頻率設定、流率設定、流體遞送設定、位置及操作設定、出入一工具和其他轉移工具及/或與特定系統連接或介接之裝載鎖定部的晶圓轉移。

【0106】 廣義地說，控制器可定義為具有接收指令、發布指令、控制操作、啟用清潔操作、啟用端點量測等之諸多積體電路、邏輯、記憶體、及/或軟體的電子設備。積體電路可包含呈儲存程式指令之韌體形式的晶片、數位訊號處理器（DSP）、定義為特殊應用積體電路（ASIC）的晶片、及/或執行程式指令（例如軟體）的一或更多微處理器或微控制器。程式指令可為以各種個別設定（或程式檔案）的形式與控制器通訊的指令，該等設定定義對於半導體晶圓或系統執行特殊製程的操作參數。在一些實施例中，該等操作參數可為由製程工程師定義之配方的部分，以在一或更多層、材料、金屬、氧化物、矽、二氧化矽、表面、電路、及/或晶圓的晶粒製造期間完成一或更多處理步驟。

【0107】 在一些實施方式中，控制器可為電腦的一部分或耦接至電腦，該電腦係與系統整合、耦接至系統、以其他方式網路連至系統、或以上方式組合。舉例而言，控制器可為在「雲端」或晶圓廠主機電腦系統的整體或部分，可允許晶圓處理的遠端存取。該電腦可允許針對系統的遠端存取以監控製造操作的當前進度、檢查過往製造操作的歷史、檢查來自複數製造操作的趨勢或性能度量，以改變目前處理的參數、以設定目前操作之後的處理步驟、或啟動新的製程。在一些例子中，遠程電腦（例如伺服器）可經由網路提供製程配方給系統，

該網路可包含區域網路或網際網路。遠程電腦可包含使用者界面，其允許參數及/或設定的輸入或編程，這些參數及/或設定係接著從遠程電腦被傳遞至系統。在一些例子中，控制器接收數據形式的指令，該數據指定於一或更多操作期間將被執行之各個處理步驟的參數。應理解參數可專門用於將執行之製程的類型及配置控制器以介接或控制之工具的類型。因此，如上所述，控制器可為分散式的，諸如藉由包含一或更多分散的控制器，其由網路連在一起且朝共同的目的（諸如此處描述的製程及控制）作業。一個用於此等目的之分散式控制器的例子將為腔室上的一或更多積體電路，連通位於遠端（諸如在平台級或作為遠程電腦的一部分）之一或更多積體電路，其結合以控制腔室內的製程。

【0108】 不受限制地，示例系統可包含電漿蝕刻腔室或模組、沉積腔室或模組、旋轉-潤洗腔室或模組、金屬電鍍腔室或模組、清潔腔室或模組、斜邊蝕刻腔室或模組、物理汽相沉積（PVD）腔室或模組、化學汽相沉積（CVD）腔室或模組、原子層沉積（ALD）腔室或模組、原子層蝕刻（ALE）腔室或模組、離子植入腔室或模組、軌道腔室或模組、及任何可關聯或使用於半導體晶圓的製造及/或生產中的其他半導體處理系統。

【0109】 如上所述，依據將由工具執行的處理步驟或複數處理步驟，控制器可與下列其中一或更多者通訊：其他工具電路或模組、其他工具元件、群組工具、其他工具界面、毗鄰工具、相鄰工具、位於工廠各處的工具、主電腦、另一控制器、或用於材料傳送的工具，該等用於材料傳送的工具將晶圓的容器攜帶進出半導體生產工廠內的工具位置及/或負載端。

進一步的實施方式

【0110】 此處描述的設備及製程可結合微影圖案化工具或製程（例如半導體元件、顯示器、LED、太陽光電板等的製造或生產）使用。通常，雖然不一定，此等設備及製程將在共同的製造設施內一起使用或執行。膜的微影圖案化一般包含下列步驟的一些或全部者，各步驟係以幾個可能的工具達成：（1）工件（即基板）上光阻的塗佈，其使用旋轉式或噴塗式工具；（2）光阻的固化，其使用熱板或加熱爐或UV固化工具；（3）以諸如晶圓步進機的工具將光阻曝露於可見光或UV或x射線光；（4）顯影光阻以便選擇性地移除光阻且從而使其圖案化，其使用諸如溼檯的工具；（5）藉由使用乾式或電漿輔助蝕刻工具將光阻圖案轉移進入底膜或工件；及（6）使用諸如RF或微波電漿光阻剝除器的工具移除光阻。如上所述，如此之處理可例如用以使氮化鈮、鈮、及/或銅層係沉積在其上的介電層圖案化。

【符號說明】

【0111】

100	結構
103	層/介電質/介電層
105	擴散阻障（層）
107	導電路線/銅線
109	蝕刻停止膜/蝕刻停止層
111	介電層
113	蝕刻停止膜
115	介電層

117	CMP停止膜
201	操作
203	操作
205	操作
207	操作
301	操作
303	操作
305	操作
307	操作
309	操作
311	操作
400	處理工作站
401	反應物遞送系統
402	處理腔體
403	汽化點
404	混合容器
405	入口閥
406	噴淋頭
407	微容積
408	底座
410	加熱器
412	基板

414	RF電源
416	匹配網路
418	蝶形閥
420	入口閥
430	含鋁前驅物來源
432	含矽前驅物來源
434	導管
436	導管
500	處理工具
502	入站裝載鎖定部
504	出站裝載鎖定部
506	機器人
508	晶圓傳送盒
510	大氣埠
512	底座
514	處理腔室
516	腔室傳送埠
518	底座
550	系統控制器
552	處理器
554	大量儲存裝置
556	記憶體裝置

558	系統控制軟體
590	晶圓搬運系統
600	系統
601	來源模組
603	傳送模組
607	模組
609	反應器
610	反應器
611	工作站
613	工作站
615	工作站
617	工作站
619	常壓傳送腔室
621	裝載鎖定部
629	控制器



201826344

【發明摘要】

【中文發明名稱】內連線結構用之複合介電界面層

【英文發明名稱】COMPOSITE DIELECTRIC INTERFACE LAYERS FOR
INTERCONNECT STRUCTURES

【中文】具有介電常數(k)小於約7且密度至少約 2.5 g/cm^3 之特徵的介電複合膜係沉積在部分製造的半導體元件上以作為蝕刻停止層。在一實施例中，複合膜包含選自由Al、Si、及Ge組成之群組的至少兩元素、及選自由O、N、及C組成之群組的至少一元素。在一實施例中，複合膜包括Al、Si、及O。在一實施方式中，包含曝露的介電層(例如ULK介電質)及曝露的金屬層之基板係與含鋁化合物(諸如三甲基鋁)、且依序與含矽化合物接觸。所吸附的化合物係接著使用含氧電漿(例如在含 CO_2 氣體中形成的電漿)處理以形成包含Al、Si、及O的膜。

【英文】Dielectric composite films characterized by a dielectric constant (k) of less than about 7 and having a density of at least about 2.5 g/cm^3 are deposited on partially fabricated semiconductor devices to serve as etch stop layers. The composite films in one embodiment include at least two elements selected from the group consisting of Al, Si, and Ge, and at least one element selected from the group consisting of O, N, and C. In one embodiment the composite film includes Al, Si and O. In one implementation, a substrate containing an exposed dielectric layer (e.g., a ULK dielectric) and an exposed metal layer is contacted with an aluminum-containing

compound (such as trimethylaluminum) and, sequentially, with a silicon-containing compound. Adsorbed compounds are then treated with an oxygen-containing plasma (e.g., plasma formed in a CO₂-containing gas) to form a film that contains Al, Si, and O.

【指定代表圖】 圖2

【代表圖之符號簡單說明】

201 操作

203 操作

205 操作

207 操作

【發明申請專利範圍】

【第1項】 一種處理半導體基板的方法，該方法包含：

- (a) 提供一半導體基板，該半導體基板包含曝露的介電層；
- (b) 在該介電層上形成介電複合膜，其中該介電複合膜包含選自由Al、Si、及Ge組成之群組的至少兩元素、及選自由O、N、及C組成之群組的至少一元素，其中該介電複合膜具有小於約7的介電常數及至少約2.5 g/cm³的密度。

【第2項】 如申請專利範圍第1項之處理半導體基板的方法，其中，該介電複合膜係蝕刻停止膜。

【第3項】 如申請專利範圍第1項之處理半導體基板的方法，其中，該介電複合膜包含Al、Si、及O。

【第4項】 如申請專利範圍第1項之處理半導體基板的方法，其中該介電複合膜包含Al、Si、及O，且其中形成該介電複合膜的步驟包含：

- (i) 將含鋁前驅物及含矽前驅物提供至容納該半導體基板的一處理腔室；及
- (iii) 使該含鋁前驅物及該含矽前驅物與含氧物種反應，以在該半導體基板上形成包含Al-O及Si-O鍵的該介電複合膜。

【第5項】 如申請專利範圍第1項之處理半導體基板的方法，其中該介電複合膜包含Al、Si、及O，且其中該介電複合膜係藉由ALD法形成。

【第6項】 如申請專利範圍第1項之處理半導體基板的方法，其中該介電複合膜包含Al、Si、及O，且其中該介電複合膜係藉由CVD法形成。

【第7項】 如申請專利範圍第1項之處理半導體基板的方法，其中該介電複合膜包含Al、Si、及O，且其中該介電複合膜係藉由CVD法及ALD法的組合形成。

【第8項】 如申請專利範圍第1項之處理半導體基板的方法，其中該介電複合膜包含複數交替的子層，其中該複數交替的子層包括包含Al及O之第一類型的子層、及包含Si及O之第二類型的子層。

【第9項】 如申請專利範圍第1項之處理半導體基板的方法，其中該介電複合膜包含Al、Si、及O，且其中形成該介電複合膜的步驟包含：

(i) 將含鋁前驅物提供至容納該半導體基板的一處理腔室，且使該含鋁前驅物吸附在該半導體基板的表面上；

(ii) 在該含鋁前驅物已被吸附之後，沖洗及/或排空該處理腔室；

(iii) 在沖洗之後，將含矽前驅物提供至該處理腔室內，且將該含矽前驅物吸附在該半導體基板的表面上；

(iv) 在該含矽前驅物已被吸附之後，沖洗及/或排空該處理腔室；

及

(v) 在沖洗之後，使已吸附的該含鋁前驅物及該含矽前驅物與含氧物種反應，以在該半導體基板上形成包含Al-O及Si-O鍵的該介電複合膜。

【第10項】 如申請專利範圍第9項之處理半導體基板的方法，其中，該含鋁前驅物係三甲基鋁。

【第11項】 如申請專利範圍第9項之處理半導體基板的方法，其中，該含矽前驅物係二異丙基胺基矽烷。

【第12項】 如申請專利範圍第9項之處理半導體基板的方法，其中，步驟(v)包含形成含氧電漿。

【第13項】 如申請專利範圍第9項之處理半導體基板的方法，其中，步驟(v)包括在包含CO₂的處理氣體中形成含氧電漿。

【第14項】 如申請專利範圍第9項之處理半導體基板的方法，更包含重複(i)-(v)至少三次。

【第15項】 如申請專利範圍第1項之處理半導體基板的方法，其中，該介電複合膜具有在約10-50 Å之間的厚度。

【第16項】 如申請專利範圍第1項之處理半導體基板的方法，其中，該介電複合膜具有在約20-30 Å之間的厚度。

【第17項】 如申請專利範圍第1項之處理半導體基板的方法，其中，曝露的該介電層係ULK介電層，且其中在(a)中提供的該半導體基板更包含曝露的金屬層，其中該金屬層係選自由銅、鎢、及鈷組成之群組，且其中該介電複合膜係在該ULK介電層及該金屬層上形成並與其接觸。

【第18項】 如申請專利範圍第1項之處理半導體基板的方法，更包含：

將光阻塗佈至該半導體基板；

將該光阻曝光；

圖案化該光阻並將圖案轉移至該半導體基板；及

自該半導體基板選擇性地移除該光阻。

【第19項】 一種在一半導體基板上沉積介電複合膜的設備，該設備包含：

一處理腔室，具有固持該半導體基板的一支座；及

一控制器，具有用於形成介電複合膜的程式指令，其中該介電複合膜包含選自由Al、Si、及Ge組成之群組的至少兩元素、及選自由O、N、及C組成之群組的至少一元素，其中該介電複合膜具有小於約7的介電常數及至少約 2.5 g/cm^3 的密度。

【第20項】 如申請專利範圍第19項之在一半導體基板上沉積介電複合膜的設備，其中，該用於形成該介電複合膜的指令包含用於下列步驟的指令：

(i) 將含鋁前驅物提供至容納該半導體基板的一處理腔室，且使該含鋁前驅物吸附在該半導體基板的表面上；

(ii) 在該含鋁前驅物已被吸附之後，沖洗及/或排空該處理腔室；

(iii) 在沖洗之後，將含矽前驅物提供至該處理腔室內，且將該含矽前驅物吸附在該半導體基板的表面上；

(iv) 在該含矽前驅物已被吸附之後，沖洗及/或排空該處理腔室；

及

(v) 在沖洗之後，使已吸附的該含鋁前驅物及該含矽前驅物與含氧物種反應，以在該半導體基板上形成包含Al-O及Si-O鍵的該介電複合膜。

【第21項】 如申請專利範圍第19項之在一半導體基板上沉積介電複合膜的設備，其中，該設備包含一第一導管及一第二導管，該第一導管係配置成用於將含鋁前驅物遞送至該處理腔室，該第二導管係配置成用於將含矽前驅物遞送至該處理腔室，其中該第一及第二導管係不同的導管。

【第22項】 一種系統，包含如申請專利範圍第19項之在一半導體基板上沉積介電複合膜的設備及一步進器。

【第23項】 一種非暫態電腦機器可讀媒體，其包含用於形成介電複合膜之程式碼，其中該介電複合膜包含選自由Al、Si、及Ge組成之群組的至少兩元素、及選自由O、N、及C組成之群組的至少一元素，其中該介電複合膜具有小於約7的介電常數及至少約 2.5 g/cm^3 的密度。

【第24項】 一種半導體裝置，其包含介電複合膜，其中該介電複合膜包含選自由Al、Si、及Ge組成之群組的至少兩元素、及選自由O、C、及N組成之群組的至少一元素，其中該介電複合膜具有在約 $10\text{-}50 \text{ \AA}$ 之間的厚度，且具有小於約7之介電常數及至少約 2.5 g/cm^3 之密度的特徵。

