

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4007483号
(P4007483)

(45) 発行日 平成19年11月14日(2007.11.14)

(24) 登録日 平成19年9月7日(2007.9.7)

(51) Int. Cl.

G06F 17/50 (2006.01)

F I

G06F 17/50 652C

G06F 17/50 654M

請求項の数 8 (全 29 頁)

(21) 出願番号	特願2001-215560 (P2001-215560)	(73) 特許権者	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成13年7月16日(2001.7.16)	(74) 代理人	100078282 弁理士 山本 秀策
(65) 公開番号	特開2003-30261 (P2003-30261A)	(72) 発明者	西田 浩一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(43) 公開日	平成15年1月31日(2003.1.31)	(72) 発明者	岡田 和久 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
審査請求日	平成16年6月18日(2004.6.18)	審査官	松浦 功

最終頁に続く

(54) 【発明の名称】 高位合成装置および高位合成方法

(57) 【特許請求の範囲】

【請求項1】

動作記述からレジスタランスファレベルの論理回路を生成する高位合成装置であって

ハードウェアの構成に関する情報が含まれず、処理の動作のみが記述された動作記述を解析して、演算、外部入出力およびメモリアクセス実行順序の依存関係を表現するコントロールデータフローグラフを生成するコントロールデータフローグラフ生成手段と、

該コントロールデータフローグラフ生成手段によって生成されたコントロールデータフローグラフの各節点を、スレッドを構成する有限状態遷移機械の状態に対応したステップに割り当てるスケジューリング手段と、

該スケジューリング手段によってスケジューリングされたコントロールデータフローグラフの実行に必要な演算器、レジスタおよび入出力ピンを生成し、コントロールデータフローグラフの演算を該演算器に、ステップ境界を横切るデータ依存枝を該レジスタに、外部入出力およびメモリアクセスを該入出力ピンにそれぞれ割り当てるアロケーション手段と、

コントロールデータフローグラフのデータ依存枝に対応したデータパスを生成し、必要に応じてセクタを生成するデータパス生成手段と、

前記アロケーション手段および前記データパス生成手段により生成されたレジスタおよびセクタを制御する制御論理を生成する制御論理生成手段とを備え、

前記スケジューリング手段により、並列に動作する他のスレッドとメモリを共有してい

10

20

るスレッドにおける前記有限状態遷移機械のメモリアクセス要求をコントロールデータフローグラフの節点で表現してスケジューリングを行い、前記制御論理生成手段により、前記メモリアクセス要求の節点が割り当てられたステップに対応する前記有限状態遷移機械の状態として、共有メモリアクセスに対してアクセス要求信号を出力し、該共有メモリアクセスからのアクセス要求受付信号がアクティブになるまで該アクセス要求信号を出力する状態に留まって次の状態に遷移しない状態遷移論理を有する有限状態遷移機械を生成してスレッドを合成することを特徴とする高位合成装置。

【請求項 2】

請求項 1 に記載の高位合成装置により、動作記述からレジスタトランスファレベルの論理回路を生成する高位合成方法であって、

前記コントロールデータフローグラフ生成手段によって、ハードウェアの構成に関する情報が含まれず、処理の動作のみが記述された動作記述を解析して、演算、外部入出力およびメモリアクセス実行順序の依存関係を表現するコントロールデータフローグラフを生成するコントロールデータフローグラフ生成工程と、

前記スケジューリング手段によって、該コントロールデータフローグラフの各節点を、スレッドを構成する有限状態遷移機械の状態に対応したステップに割り当てるスケジューリング工程と、

前記アロケーション手段によって、該スケジューリングされたコントロールデータフローグラフの実行に必要な演算器、レジスタおよび入出力ピンを生成し、コントロールデータフローグラフの演算を該演算器に、ステップ境界を横切るデータ依存枝を該レジスタに、外部入出力およびメモリアクセスを該入出力ピンにそれぞれ割り当てるアロケーション工程と、

前記データパス生成手段によって、コントロールデータフローグラフのデータ依存枝に対応したデータパスを生成し、必要に応じてセクタを生成するデータパス生成工程と、

前記制御論理生成手段によって、前記アロケーション工程および前記データパス生成工程により生成されたレジスタおよびセクタを制御する制御論理を生成する制御論理生成工程とを含み、

前記スケジューリング工程において、並列に動作する他のスレッドとメモリを共有しているスレッドにおける前記有限状態遷移機械のメモリアクセス要求をコントロールデータフローグラフの節点で表現してスケジューリングを行い、前記制御論理生成工程において、前記メモリアクセス要求の節点が割り当てられたステップに対応する前記有限状態遷移機械の状態として、共有メモリアクセスに対してアクセス要求信号を出力し、該共有メモリアクセスからのアクセス要求受付信号がアクティブになるまで該アクセス要求信号を出力する状態に留まって次の状態に遷移しない状態遷移論理を有する有限状態遷移機械を生成してスレッドを合成することを特徴とする高位合成方法。

【請求項 3】

前記高位合成装置は、前記スレッド内に、前記共有メモリからリードされたデータが一時記憶されるリードデータ記憶回路と、前記共有メモリからリードされた前記データを前記アクセス要求受付信号がアクティブになってから該リードデータ記憶回路に書き込むためのタイミングを発生するリードタイミング発生回路と、前記共有メモリからのデータリードが実行されると、該リードデータ記憶回路の前記リードデータの読み出しポイントを更新するための信号を発生させるリード終了発生回路とを有するリードデータ記憶選択回路を生成するリードデータ記憶選択回路生成手段を有し、

前記制御論理生成工程に次いで、前記リードデータ記憶選択回路生成手段によって前記リードデータ記憶選択回路を生成する工程を実行することを特徴とする請求項 2 に記載の高位合成方法。

【請求項 4】

前記リードデータ記憶選択回路を生成する工程において生成される前記リードデータ記憶選択回路は、前記スレッドを構成する前記有限状態遷移機械が連続して状態遷移したか否かを判定する連続遷移判定回路と、該連続遷移判定回路の判定結果に基づいて、前記共

10

20

30

40

50

有メモリからリードされたデータを前記有限状態遷移機械を有するスレッドにて直接用いるか、または前記リードデータ記憶回路に記憶されたデータを該スレッドにて用いるかを選択するリードデータ選択回路とを有する請求項 3 に記載の高位合成方法。

【請求項 5】

前記リードデータ記憶回路は、キューを含む請求項 3 に記載の高位合成方法。

【請求項 6】

前記リードタイミング発生回路は、シフトレジスタを含む請求項 3 に記載の高位合成方法。

【請求項 7】

前記連続遷移判定回路は、シフトレジスタを含む請求項 4 に記載の高位合成方法。

10

【請求項 8】

前記高位合成装置は、複数のスレッドからリード要求信号が入力されたときに、該リード要求信号がアクティブであるスレッドのうち、最も優先度の高いスレッドからの要求を受け付けてそのスレッドに対する要求受付信号をアクティブにする共有メモリインターフェイスを生成する共有メモリインターフェイス生成手段と、該共有メモリインターフェイスを前記合成されたスレッドと接続する接続手段とを有し、

前記共有メモリインターフェイス生成手段によって前記共有メモリインターフェイスを生成する工程と、次いで、前記接続手段によって、該共有メモリインターフェイスと前記スレッドとを接続する工程とをさらに含む、請求項 2 に記載の高位合成方法。

【発明の詳細な説明】

20

【0001】

【発明の属する技術分野】

本発明は、動作記述からレジスタトランスファレベル (RTL) の論理回路を自動的に生成する、高位合成方法とその高位合成方法を用いて生成されたスレッドおよび回路生成方法に関し、ASIC (Application Specific Integrated Circuit: 特定用途向け IC) の設計等、短期間での設計が要求される場合に、特に有効に用いられる技術である。

【0002】

【従来の技術】

高位合成方法は、ハードウェアの構成に関する情報が含まれず、処理の動作のみが記述された動作記述から、レジスタ、演算器等のハードウェア構成と動作周期毎のレジスタ間のデータの流れと処理とが含まれる RTL の論理回路を自動的に生成する方法である。この高位合成方法は、例えば特開平 5 - 101141 号公報に開示されている。以下に、従来の高位合成方法のフローについて、その概要を説明する。

30

【0003】

1 動作記述からコントロールデータフローグラフ (CDFG) への変換

高位合成においては、まず、動作記述が解析されて、演算、外部入出力およびメモリアクセス実行順序の依存関係を表現する CDFG と称されるモデルに変換される。

【0004】

図 1 に動作記述の例を示す。この動作記述では、101 において変数 a にアドレス (adr) に対応するメモリの内容が代入され、102 において変数 b にアドレス (adr + 1) に対応するメモリの内容が代入され、103 において変数 c にアドレス (adr - 1) に対応するメモリの内容が代入されている。そして、104 において変数 d に a + b + c の値が代入されている。

40

【0005】

図 2 に、図 1 の動作記述から変換された CDFG の例を示す。この CDFG において、節点 105 は回路に対する外部入力であり、節点 106 は回路からの外部出力である。また、節点 107 ~ 109 はメモリへのリード要求であり、節点 110 ~ 112 はメモリからのリードデータである。また、節点 133 はインクリメント、節点 134 はデクリメントであり、節点 135 および 136 は加算である。

50

【0006】

図2に一点鎖線で示す枝113および114は制御依存枝であり、枝113は節点107と節点108とを接続しており、枝114は節点108と節点109とを接続している。この制御依存枝の接続先の節点は、この枝の接続元の節点よりも遅いステップにスケジューリングする必要がある。例えば、後述するスケジューリング工程において、節点108は節点107よりも遅いステップにスケジューリングされる。パイプラインアクセス可能なメモリを用いる場合には、リード要求107~109が動作記述と同じ順序で実行され、かつ、異なるステップにスケジューリングされていなければならない。ここで、パイプラインアクセス可能なメモリとは、毎クロック、アクセスを要求することができるメモリのことを表す。図1の動作記述では、メモリリードを3回行っており、それらが記述されている順

10

【0007】

図2に点線で示す枝117~119は制御依存枝であり、枝117は節点107と節点110とを接続しており、枝118は節点108と節点111とを接続しており、枝119は節点109と節点112とを接続している。この制御依存枝の接続先の節点は、この枝の接続元の節点よりもnステップだけ遅いステップにスケジューリングする必要がある。ここで、nはこの枝に対応付けられた相対ステップ数120~122である。例えば、後述するスケジューリング工程において、節点110は節点107よりも2ステップだけ遅いステップにスケジューリングされる。図3に示すように、リード要求信号REQの立ち上がり時点から2クロック後に、リードデータDATAが有効になるメモリを用いる

20

【0008】

図2に実線で示す枝123~132はデータ依存枝である。枝123はメモリへのリード要求107と外部から入力されるメモリのアドレス105を接続している。また、枝126はメモリへのリード要求108とインクリメント133を接続しており、枝124はインクリメント133とメモリのアドレス105とを接続している。また、枝127はメモリへのリード要求109とデクリメント134とを接続しており、枝125はデクリメント134とメモリのアドレス105とを接続している。枝128および129は、それぞれメモリからのリードデータ110および111と加算135とを接続しており、枝130および131は、それぞれ加算135およびメモリからのリードデータ112と加算136とを接続している。さらに、枝132は加算136と外部出力106とを接続しており、外部出力106から処理結果が外部に出力される。

30

【0009】

2 スケジューリング

スケジューリング工程では、C D F Gの各節点が、ステップと称される、コントローラ(有限状態遷移機械)の状態に対応した時間に割り当てられる。

【0010】

図4に、図2のC D F Gをスケジューリングした結果の例を示す。この例では、ステップ0~ステップ4までの5つのステップが各節点到割り当てられている。異なるステップにスケジューリングされた演算間では、1つの演算器を共有することができる。例えば、図4では、加算135と加算136とは異なるステップにスケジューリングされているので、1つの加算器を共有することができる。スケジューリングにおいては、このようにハードウェアの数をできるだけ少なくしてコストを低減できるように、各節点到割り当てられる。

40

【0011】

3 アロケーション

アロケーション工程では、スケジューリングされたC D F Gの実行に必要な演算器、レジ

50

スタおよび入出力ピンが生成され、C D F Gの演算が演算器に、ステップ境界を横切るデータ依存枝がレジスタに、外部入出力およびメモリアクセスが入出力ピンにそれぞれ割り当てられる。

【0012】

図5に、アロケーションの例を示す。この例では、インクリメント137、デクリメント138および加算器139が生成されて、図5に点線で示すように、インクリメント133がインクリメント137に割り当てられ、デクリメント134がデクリメント138に割り当てられ、加算135および136が加算器139に割り当てられる。

【0013】

また、レジスタ140が生成されて、図5に点線で示すように、ステップ境界を横切るデータ依存枝124、125、128および130がレジスタ140に割り当てられる。

10

【0014】

さらに、入力ピン141および142、出力ピン143および144が生成されて、図5に点線で示すように、外部入力105が入力ピン141に割り当てられ、外部出力106が出力ピン144に割り当てられ、リード要求107～109が出力ピン143に割り当てられ、リードデータ110～112が入力ピン142に割り当てられる。

【0015】

4 データパスの生成

データパス生成工程では、C D F Gのデータ依存枝に対応したデータパスが生成され、必要に応じてセレクタが生成される。

20

【0016】

図6に、データパス生成の例を示す。この例では、図6に点線で示すように、外部入力105からリード要求107へのデータ依存枝123に対応して、外部入力105が割り当てられた入力ピン141からリード要求107が割り当てられた出力ピン143へのパス145および146が生成される。

【0017】

また、図6に点線で示すように、外部入力105からインクリメント133へのデータ依存枝124に対応して、外部入力105が割り当てられた入力ピン141からデータ依存枝124が割り当てられたレジスタ140へのパス147および148と、データ依存枝124が割り当てられたレジスタ140からインクリメント133が割り当てられたインクリメントへのパス149とが生成される。

30

【0018】

さらに、図6に点線で示すように、メモリリード110から加算135へのデータ依存枝128に対応して、メモリリード110が割り当てられた入力ピン142からデータ依存枝128が割り当てられたレジスタ140へのパス150および148と、データ依存枝128が割り当てられたレジスタ140から加算135が割り当てられた加算器139へのパス151が生成される。

【0019】

同様に、外部入力105からデクリメント134へのデータ依存枝に対応するデータパス、インクリメント133からリード要求108へのデータ依存枝に対応するデータパス、デクリメント134からリード要求109へのデータ依存枝に対応するデータパス、メモリリード111から加算135へのデータ依存枝に対応するデータパス、メモリリード112から加算136へのデータ依存枝に対応するデータパス、加算136から外部出力106へのデータ依存枝に対応するデータパスがそれぞれ生成される。

40

【0020】

なお、この例のように、演算器、レジスタ、出力ピン等が共有されている場合には、セレクタ152および153が生成されて演算器、レジスタ、出力ピン等に入力されるデータが選択される。

【0021】

5 制御論理の生成

50

制御論理生成工程では、アロケーション工程およびデータパス生成工程により生成されたレジスタ、セクタ等を制御する制御論理が生成される。

【0022】

図7に、制御論理生成の例を示す。

【0023】

(1) 制御論理用入出力ピンの生成

まず、制御論理用の入出力ピンとして、クロックが入力される入力ピン154およびメモリリード要求が出力される出力ピン155が生成される。なお、リード要求が出力される際には、上記出力ピン143からメモリのアドレスが出力され、この出力ピン155からリード要求が出力される。

10

【0024】

(2) 有限状態遷移機械の生成

次に、有限状態遷移機械156が生成される。ここでは、まず、スケジューリング結果の総ステップ数と同じ数の状態403~407(S0~S4)が生成される。次に、各ステップに対応する状態から次のステップに対応する状態への遷移条件を真として、S0から順に状態が毎クロック遷移するように、状態遷移論理408~411が生成される。その後、各状態に対応するときにアクティブとなり、他の状態に対応するときはインアクティブとなる状態出力論理および状態出力ピン158~162が生成される。

【0025】

(3) メモリリード要求信号論理の生成

上記スケジューリングの結果から分かるように、ステップ0に対応する状態S0、ステップ1に対応する状態S1、ステップ2に対応する状態S2では、メモリリードが要求される。このため、状態遷移機械156の状態出力ピン158、159および160からそれぞれ出力される出力S0、S1およびS2のいずれかがアクティブであるときに、出力ピン155からの出力がアクティブになるように論理163が生成される。

20

【0026】

(4) セクタ選択論理の生成

上記スケジューリング、アロケーションおよびデータパス生成の結果から分かるように、ステップ0では入力ピン141から出力ピン143へのパス145および146が使用される。このため、状態遷移機械156の状態出力ピン158から出力される出力S0がアクティブであるときに、パス145を介して入力ピン141に接続されたセクタ153の入力164が選択されるように論理165が生成される。

30

【0027】

同様にして、状態遷移機械156の状態出力ピン159および160から出力される出力S1およびS2がそれぞれアクティブであるときに、インクリメンタに接続された入力およびデクリメンタに接続された入力がそれぞれ選択されるように論理165が生成される。セクタ152についても同様に、状態遷移機械156の状態出力ピン158、160および161から出力される出力S0、S2およびS3がそれぞれアクティブであるときに、パス145を介して入力ピン141に接続された入力、パス150を介して入力ピン142に接続された入力および加算器139に接続された入力がそれぞれ選択されるように論理が生成される。また、レジスタ140に接続されている論理(OR)については、出力S0~S3がアクティブであるときにレジスタがアクティブになるように論理が生成されている。

40

【0028】

以上のようにして、動作記述からRTLの論理回路が生成される。

【0029】

【発明が解決しようとする課題】

以下に、並列に動作する複数のスレッドがメモリを共有している回路構成について考える。ここで、スレッドとは、独立した有限状態遷移機械を有する回路である。この回路構成において、上述した従来の高位合成方法により各スレッドを個別に生成すると、複数のス

50

レッドから同時に共有メモリへのアクセスが行われたときに、アクセスの競合が起こり、正しいメモリアクセスを行うことができない場合がある。

【0030】

本発明は、このような従来技術の課題を解決するためになされたものであり、並列に動作する複数のスレッドから共有メモリに対して同時にアクセスが行われたときに、スレッド間でアクセスの競合が起こらないようにすることができる高位合成方法とそれを用いて生成された回路およびそのスレッドを備えた回路を提供することを目的とする。

【0031】

【課題を解決するための手段】

本発明の高位合成装置は、動作記述からレジスタトランスファレベルの論理回路を生成する高位合成装置であって、ハードウェアの構成に関する情報が含まれず、処理の動作のみが記述された動作記述を解析して、演算、外部入出力およびメモリアクセス実行順序の依存関係を表現するコントロールデータフローグラフを生成するコントロールデータフローグラフ生成手段と、該コントロールデータフローグラフ生成手段によって生成されたコントロールデータフローグラフの各節点を、スレッドを構成する有限状態遷移機械の状態に対応したステップに割り当てるスケジューリング手段と、該スケジューリング手段によってスケジューリングされたコントロールデータフローグラフの実行に必要な演算器、レジスタおよび入出力ピンを生成し、コントロールデータフローグラフの演算を該演算器に、ステップ境界を横切るデータ依存枝を該レジスタに、外部入出力およびメモリアクセスを該入出力ピンにそれぞれ割り当てるアロケーション手段と、コントロールデータフローグラフのデータ依存枝に対応したデータパスを生成し、必要に応じてセクタを生成するデータパス生成手段と、前記アロケーション手段および前記データパス生成手段により生成されたレジスタおよびセクタを制御する制御論理を生成する制御論理生成手段とを備え、前記スケジューリング手段により、並列に動作する他のスレッドとメモリを共有しているスレッドにおける前記有限状態遷移機械のメモリアクセス要求をコントロールデータフローグラフの節点で表現してスケジューリングを行い、前記制御論理生成手段により、前記メモリアクセス要求の節点が割り当てられたステップに対応する前記有限状態遷移機械の状態として、共有メモリインターフェイスに対してアクセス要求信号を出力し、該共有メモリインターフェイスからのアクセス要求受付信号がアクティブになるまで該アクセス要求信号を出力する状態に留まって次の状態に遷移しない状態遷移論理を有する有限状態遷移機械を生成してスレッドを合成することを特徴とし、そのことにより上記目的が達成される。

また、本発明は、前記高位合成装置により、動作記述からレジスタトランスファレベルの論理回路を生成する高位合成方法であって、前記コントロールデータフローグラフ生成手段によって、ハードウェアの構成に関する情報が含まれず、処理の動作のみが記述された動作記述を解析して、演算、外部入出力およびメモリアクセス実行順序の依存関係を表現するコントロールデータフローグラフを生成するコントロールデータフローグラフ生成工程と、前記スケジューリング手段によって、該コントロールデータフローグラフの各節点を、スレッドを構成する有限状態遷移機械の状態に対応したステップに割り当てるスケジューリング工程と、前記アロケーション手段によって、該スケジューリングされたコントロールデータフローグラフの実行に必要な演算器、レジスタおよび入出力ピンを生成し、コントロールデータフローグラフの演算を該演算器に、ステップ境界を横切るデータ依存枝を該レジスタに、外部入出力およびメモリアクセスを該入出力ピンにそれぞれ割り当てるアロケーション工程と、前記データパス生成手段によって、コントロールデータフローグラフのデータ依存枝に対応したデータパスを生成し、必要に応じてセクタを生成するデータパス生成工程と、前記制御論理生成手段によって、前記アロケーション工程および前記データパス生成工程により生成されたレジスタおよびセクタを制御する制御論理を生成する制御論理生成工程とを含み、前記スケジューリング工程において、並列に動作する他のスレッドとメモリを共有しているスレッドにおける前記有限状態遷移機械のメモリアクセス要求をコントロールデータフローグラフの節点で表現してスケジューリングを

10

20

30

40

50

行い、前記制御論理生成工程において、前記メモリアクセス要求の節点が割り当てられたステップに対応する前記有限状態遷移機械の状態として、共有メモリアンターフェイスに対してアクセス要求信号を出力し、該共有メモリアンターフェイスからのアクセス要求受付信号がアクティブになるまで該アクセス要求信号を出力する状態に留まって次の状態に遷移しない状態遷移論理を有する有限状態遷移機械を生成してスレッドを合成することを特徴とし、そのことにより上記目的が達成される。

【0032】

上記方法によれば、後述する実施形態1に示すように、並列に動作する複数のスレッドから共有メモリに対して同時にアクセスが行われたときに、スレッド間でアクセスの競合が起こらないように調整することができる。

10

【0033】

前記高位合成装置は、前記スレッド内に、前記共有メモリからリードされたデータが一時記憶されるリードデータ記憶回路と、前記共有メモリからリードされた前記データを前記アクセス要求受付信号がアクティブになってから該リードデータ記憶回路に書き込むためのタイミングを発生するリードタイミング発生回路と、前記共有メモリからのデータリードが実行されると、該リードデータ記憶回路の前記リードデータの読み出しポイントを更新するための信号を発生させるリード終了発生回路とを有するリードデータ記憶選択回路を生成するリードデータ記憶選択回路生成手段を有し、前記制御論理生成工程に次いで、前記リードデータ記憶選択回路生成手段によって前記リードデータ記憶選択回路を生成する工程を実行することを特徴としてもよい。

20

【0034】

上記方法によれば、後述する実施形態2に示すように、正しいタイミングでメモリからリードされたデータが、一旦、リードデータ記憶回路に記憶されるため、スレッドは、必要なきにキューに記憶されたデータを読み出すことができる。

【0035】

前記リードデータ記憶回路は、キューを含んでいてもよい。また、前記リードタイミング発生回路は、シフトレジスタを含んでいてもよい。

【0036】

上記方法によれば、キューおよびシフトレジスタを用いることにより、回路の面積を小さくすることができる。

30

【0037】

前記リードデータ記憶選択回路を生成する工程において生成される前記リードデータ記憶選択回路は、前記スレッドを構成する前記有限状態遷移機械が連続して状態遷移したか否かを判定する連続遷移判定回路と、該連続遷移判定回路の判定結果に基づいて、前記共有メモリからリードされたデータを前記有限状態遷移機械を有するスレッドにて直接用いるか、または前記リードデータ記憶回路に記憶されたデータを該スレッドにて用いるかを選択するリードデータ選択回路とを有していてもよい。

【0038】

上記方法によれば、後述する実施形態3に示すように、スレッドの有限状態遷移機械が連続して遷移したか否かが判定され、その結果によってメモリからリードされたデータまたはリードデータ記憶回路に記憶されたデータのどちらかが選択されるため、メモリ自体のレイテンシと等しいレイテンシでメモリアクセスを行うことができる。

40

【0039】

前記連続遷移判定回路は、シフトレジスタを含んでいてもよい。

【0040】

上記方法によれば、シフトレジスタを用いることにより、回路の面積を小さくすることができる。

【0042】

前記高位合成装置は、複数のスレッドからリード要求信号が入力されたときに、該リード要求信号がアクティブであるスレッドのうち、最も優先度の高いスレッドからの要求を

50

受け付けてそのスレッドに対する要求受付信号をアクティブにする共有メモリアンターフェイスを生成する共有メモリアンターフェイス生成手段と、該共有メモリアンターフェイスを前記合成されたスレッドと接続する接続手段とを有し、前記共有メモリアンターフェイス生成手段によって前記共有メモリアンターフェイスを生成する工程と、次いで、前記接続手段によって、該共有メモリアンターフェイスと前記スレッドとを接続する工程とをさらに含んでいてもよい。

【0043】

【発明の実施の形態】

以下に、本発明の実施の形態について、図面に基づいて説明する。

【0044】

(実施形態1)

図8は、実施形態1の回路生成方法を説明するためのフローチャートである。本実施形態では、並列に動作し、共有メモリに対してアクセスを行う複数のスレッドと、メモリアンターフェイスとが接続された回路において、複数のスレッド間でメモリアクセス競合を調整することができる回路が生成される。

【0045】

まず、メモリアンターフェイスの生成504では、メモリアンターフェイスが生成される。このメモリアンターフェイスは、複数のスレッドからリード要求信号が入力されたときに、リード要求信号がアクティブ"1"(アクティブ)であるスレッドのうち、最も優先度の高いスレッドからの要求を受け付けて、直ちにそのスレッドに対する要求受付信号をアクティブ"1"にし、要求が受け付けられたことをスレッドに通知する。そして、n回目のクロックの立ち上がり後、リードデータピンにメモリからのデータを出力する。ここで、nはメモリのレイテンシである。

【0046】

次に、各スレッドの合成505では、高位合成方法によりRTLレベルの各スレッドが個別に生成される。図9は、本実施形態1において、各スレッドを生成する高位合成方法のフローチャートである。ここでは、動作記述からCDFGへの変換工程、スケジューリング工程、アロケーション工程、データパス生成工程および制御論理生成工程500がこの順に行われる。この図9において、動作記述からCDFGへの変換工程、スケジューリング工程、アロケーション工程およびデータパス生成工程は、図1～図6を用いて説明した従来技術と同様であり、制御論理生成工程500が従来技術と異なっている。

【0047】

図10は、本実施形態1における、制御論理工程500のフローチャートである。ここでは、制御論理用入出力ピンの生成、有限状態遷移機械の生成501、メモリリード要求論理の生成およびセクタ選択論理の生成がこの順に行われる。この図10において、制御論理用入出力ピンの生成、メモリリード要求論理の生成およびセクタ選択論理の生成は、図7を用いて説明した従来技術と同様であり、有限状態遷移機械の生成501が従来技術と異なっている。

【0048】

図11は、本実施形態1における、有限状態遷移機械の生成501のフローチャートである。ここでは、スケジューリング結果の総ステップ数と同じ数の状態の生成、リード要求ノードの選択502、状態論理の生成503、状態出力論理および状態出力ピンの生成がこの順に行われる。この図11において、スケジューリング結果の総ステップ数の状態の生成と、状態出力論理および状態出力ピンの生成とは、図7を用いて説明した従来技術と同様であり、リード要求ノードの選択502および状態論理の生成503が従来技術と異なっている。

【0049】

リード要求ノードの選択502では、リード競合調停が行われるリード要求ノード(節点)が選択される。また、状態論理の生成503では、リード要求ノードがスケジューリングされたステップに対応する状態から、次のステップに対応する状態への遷移条件を、メ

10

20

30

40

50

メモリリード要求受け付け信号 = アクティブとして、それ以外の遷移条件を真（常に遷移）とした状態遷移論理を生成する。これによって、スレッドからリード要求信号がメモリインターフェイスに出力されると共に、メモリインターフェイスからスレッドに入力されるメモリリード要求受付信号がアクティブ " 1 " であれば次状態へ遷移し、インアクティブであれば状態遷移しない状態遷移論理が生成される。

【 0 0 5 0 】

その後、各スレッドとメモリインターフェイスとの接続 5 0 6 では、生成された各スレッドとメモリインターフェイスとが接続される。

【 0 0 5 1 】

以下に、このようにして生成された回路の動作について、図 1 2 を用いて説明する。ここでは、スレッド 1 およびスレッド 2 の 2 つのスレッドとメモリインターフェイスとが接続されており、レイテンシが 2 のパイプラインメモリにアクセスが行われるものとする。また、スレッド 1 および 2 は、状態 S 0 でメモリリードを要求し、状態 S 2 でメモリリードを行うものとする。

10

【 0 0 5 2 】

図 1 2 (a) に示すサイクル 0 では、スレッド 1 および 2 の状態が共に S 0 であるため、スレッド 1 および 2 は同時にメモリリードを要求する。メモリインターフェイスは、スレッド 1 からの要求を優先し、スレッド 1 へのリード要求受付信号をアクティブにする。

【 0 0 5 3 】

サイクル 0 において、メモリインターフェイスからスレッド 1 へのリード要求受付信号がアクティブになるので、図 1 2 (b) に示すサイクル 1 では、スレッド 1 は状態 S 1 になる。一方、サイクル 0 において、メモリインターフェイスからスレッド 2 へのリード要求受付信号はインアクティブのままなので、図 1 2 (b) に示すサイクル 1 では、スレッド 2 は状態 S 0 のままである。

20

【 0 0 5 4 】

サイクル 1 において、スレッド 2 は再びメモリリードを要求する。このときには、メモリインターフェイスは、スレッド 2 からの要求を受け付けて、スレッド 2 へのリード要求受付信号をアクティブにする。

【 0 0 5 5 】

図 1 2 (c) のサイクル 2 では、スレッド 1 がメモリインターフェイスからデータをリードする。また、図 1 2 (d) のサイクル 3 では、スレッド 2 がメモリインターフェイスからデータをリードする。

30

【 0 0 5 6 】

このように、本実施形態の回路生成方法によって生成された回路では、各スレッドが、メモリインターフェイスからの要求受付信号によって、次の状態に遷移するか、遷移しないかを決定することにより、複数のスレッド間でメモリアクセスが競合しないように調整することができる。

【 0 0 5 7 】

図 1 3 に、本実施形態において生成される、スレッド、メモリインターフェイスを含む回路のトップ階層を示す。ここでは、スレッド 2 0 1 ~ 2 0 3 の 3 つのスレッドとメモリインターフェイス 2 1 1 とが接続されている。スレッド 2 0 1 ~ 2 0 3 からメモリインターフェイス 2 1 1 に対してリード要求信号 2 0 4 ~ 2 0 6 とそのアドレスがそれぞれ入力される。インターフェイス 2 1 1 は、リード要求を行ったスレッドのうち、最も優先度の高いスレッドからの要求を受け付けて、直ちにそのスレッドに対するリード要求受付信号 2 0 7 ~ 2 0 9 をアクティブ " 1 " にして、要求が受け付けられたことをスレッドに通知する。そして、2 回目のクロックの立ち上がり後、リードデータピン 2 1 0 にメモリからのデータを出力する。

40

【 0 0 5 8 】

図 1 4 に、レイテンシが 2 のパイプラインメモリを使用すると仮定して、本実施形態の高位合成方法によって、図 1 に示す動作記述から生成されるスレッドの回路例を示す。本実

50

施形態において、図1に示す動作記述から変換されるC D F Gは図2と同様であり、スケジューリング結果は図4と同様であり、アロケーション結果は図5と同様であり、データパス生成結果は図6と同様である。

【0059】

この図14の回路では、リード要求受付信号MEM__RACK 215がアクティブ"1"のとき(C0)に、このノード107がスケジューリングされたステップに対応する状態S0 403から、次のステップに対応する状態S1 404へ遷移し、リード要求受付信号MEM__RACK 215がインアクティブであれば状態S0 403に留まる状態遷移論理412が生成されている。そして、図2に示すリード要求ノード107に対してのみ、リード競合調停が行われる。それ以外の構成は、図7に示す従来のスレッドの回路構成と同様である。

10

【0060】

このように、本実施形態の回路生成方法によって生成された回路では、各スレッドが、メモリアンターフェイスからの要求受付信号によって、次の状態に遷移するか、遷移しないかを決定することにより、並列に動作する複数のスレッドから共有メモリに対して同時にアクセスが行われたときに、スレッド間でアクセスの競合が起こらないように調整することができる。

【0061】

次に、本実施形態の回路生成方法を用いて生成される回路の問題点について説明する。ここでは、図2に示すリード要求ノード107~109に対して、リード競合調停が行われる場合について考える。図15に、本実施形態の高位合成方法によって生成されるスレッドの回路例を示す。

20

【0062】

この図15の回路では、メモリへのリード要求が行われる各状態S0 403~S2 405において、メモリアンターフェイスからのリード要求受付信号215がアクティブ"1"のときに、その状態から次の状態へ遷移し、リード要求受付信号215がインアクティブ(C0バー))であればその状態に留まる制御論理が生成されている。

【0063】

図13に示すメモリアンターフェイス211において、リード要求が受け付けられると、2回目のクロックの立ち上がり後にリードデータピン210にデータが出力されるが、その後、他のリード要求に対応するデータが出力される可能性がある。

30

【0064】

一方、図15に示す状態遷移機械156は、状態S0、S1またはS2では、メモリアンターフェイスからの要求受付信号215がアクティブにならない限りその状態に留まっているので、リード要求信号が出力されてから3クロック以上後にリードデータ入力ピン142からデータが入力される可能性がある。

【0065】

この場合の問題点について、図15に示すスレッドの回路と、図16に示すタイミング図とを用いて説明する。

【0066】

サイクル0では、スレッドの状態がS0であり、スレッドはメモリへのリード要求信号MEM__REQ 155をアクティブ"1"にする。そして、サイクル0では、すぐにリード要求受付信号MEM__RACK 215がアクティブ"1"になるため、スレッドからのリード要求が受け付けられたと判断して、サイクル1でスレッドが状態S1になる。

40

【0067】

サイクル1でも、スレッドはメモリへのリード要求信号MEM__REQ 155をアクティブ"1"にするが、リード要求受付信号MEM__RACK 215がインアクティブ"0"になるため、サイクル2でもスレッドが状態S1のまま次の状態S2に遷移しない。

【0068】

50

サイクル2では、リード要求受付信号MEM_RACK 215がアクティブ"1"になるため、サイクル3でスレッドが状態S2になる。この状態S2では、最初のリード要求に対応するメモリデータがスレッドにリードされるが、この時点218では既にサイクル3であり、最初のリード要求時点220から3サイクル経っているため、スレッドは正しいリードデータ219を読み込むことができない。従って、実施形態1で生成された回路では、メモリリードを正しいタイミングで行うことができないおそれがある。この問題点を解決することができる回路生成方法について、以下の実施形態2において説明する。

【0069】

(実施形態2)

図17は、実施形態2の回路生成方法を説明するためのフローチャートである。本実施形態では、並列に動作し、共有メモリに対してアクセスを行う複数のスレッドと、メモリインターフェイスとが接続された回路において、正しいタイミングでメモリからデータがリードされ、リードされたデータが、一旦、リードデータ記憶回路に記憶され、スレッドが必要とするときにキューに記憶されたデータが読み出されることにより、共有メモリに対してパイプラインアクセスを行うことができ、かつ、複数のスレッド間でメモリアクセス競合を調整することができる回路が生成される。

【0070】

ここでは、メモリインターフェイスの生成、各スレッドの合成507および各スレッドとメモリインターフェイスとの接続がこの順に行われる。この図17において、メモリインターフェイスの生成および各スレッドとメモリインターフェイスとの接続は、図8を用いて説明した実施形態1と同様であり、各スレッドの合成507が実施形態1と異なっている。

【0071】

各スレッドの合成507では、高位合成方法によりRTLレベルの各スレッドが個別に生成される。図18は、本実施形態2において、各スレッドを生成する高位合成方法のフローチャートである。ここでは、動作記述からC D F Gへの変換工程514、スケジューリング工程、アロケーション工程、データパス生成工程、制御論理生成工程、リードデータ記憶選択回路の生成工程508およびデータパスへの挿入工程509がこの順に行われる。この図18において、スケジューリング工程、アロケーション工程、データパス生成工程および制御論理生成工程は、図9を用いて説明した実施形態1と同様であり、動作記述からC D F Gへの変換工程514、リードデータ記憶選択回路の生成工程508およびデータパスへの挿入工程509が実施形態1と異なっている。

【0072】

本実施形態で生成される回路は、メモリインターフェイスを介してメモリからリードされたデータが、一旦、キューを含むリードデータ記憶回路に記憶され、その後、キューからそのデータが読み出されて利用される。このため、1クロック分のオーバーヘッドを見込んで、リードデータノードは、リード要求ノードよりも $(n+1)$ ステップだけ遅いステップにスケジューリングされる。従って、動作記述からC D F Gへの変換工程514においては、リード要求ノードと対応するリードデータノード間に、相対ステップ数 $(n+1)$ の制御依存枝が設けられる。それ以外は、実施形態1と同様である。ここで、 n は使用されるパイプラインメモリのレイテンシである。

【0073】

リードデータ記憶選択回路の生成工程508では、メモリインターフェイスからリードされたデータが一時記憶されるリードデータ記憶選択回路が生成される。

【0074】

データパスへの挿入工程509では、生成されたリードデータ記憶選択回路が、データパスに挿入される。

【0075】

図19は、本実施形態2における、リードデータ記憶選択回路の生成工程のフローチャートである。ここでは、リードデータ記憶回路の生成510、リードタイミング発生回路の

10

20

30

40

50

生成 5 1 1、リード終了信号発生回路の生成 5 1 2 および各サブ回路の接続 5 1 3 がこの順に行われる。

【 0 0 7 6 】

リードデータ記憶回路の生成 5 1 0 では、メモリアンターフェイスからリードされたデータが一時記憶されるキューが生成される。

【 0 0 7 7 】

リードタイミング発生回路の生成 5 1 1 では、メモリリード要求がメモリアンターフェイスに受け付けられてから n クロック後に、メモリアンターフェイスからのデータをキューに書き込むためのタイミングを発生する回路が生成される。このタイミング発生のためには、シフトレジスタが用いられる。ここで、n はパイプラインメモリのレイテンシである

10

【 0 0 7 8 】

リード終了信号発生回路の生成 5 1 2 では、メモリリードが実行されると出力をアクティブにする、リード終了信号発生回路が生成される。この信号は、キューから新しいデータを読み出すために、キューの読み出しポインタを更新するために用いられる。

【 0 0 7 9 】

各サブ回路の接続 5 1 3 では、リードデータ記憶回路、リードタイミング発生回路およびリード終了信号発生回路が接続され、リードデータ記憶選択回路が生成される。

【 0 0 8 0 】

図 2 0 に、レイテンシが 1 のパイプラインメモリを使用すると仮定して、本実施形態の高位合成方法によって生成されるスレッドの回路例を示す。この場合には、リードデータノードがリード要求ノードから 2 ステップだけ遅いステップにスケジューリングされるため、図 1 に示す動作記述から変換される C D F G は図 2 と同様であり、スケジューリング結果は図 4 と同様であり、アロケーション結果は図 5 と同様であり、データバス生成結果は図 6 と同様である。

20

【 0 0 8 1 】

この図 2 0 の回路では、図 1 5 に示す実施形態 1 の回路に加えて、リードタイミング発生回路 3 1 1、リードデータ記憶回路 3 0 4 およびリード終了信号発生回路 3 2 2 を含むリードデータ記憶選択回路 3 2 4 が設けられている。

【 0 0 8 2 】

リードタイミング発生回路 3 1 1 は、3 つの AND 回路と OR 回路とシフトレジスタ 3 1 2 とを有している。各 AND 回路の入力には、有限状態遷移機械 1 5 6 から出力される状態 S 0 およびリード要求受付信号 MEM__RACK (C 0) と、状態 S 1 および C 0 と、状態 S 2 および C 0 とがそれぞれ入力され、各 AND 回路の出力はそれぞれ OR 回路の入力と接続されている。また、OR 回路の出力は、シフトレジスタ 3 1 2 の入力 D I N 3 3 6 と接続されている。シフトレジスタ 3 1 2 の入力 C L K には、クロックが入力される。

30

【 0 0 8 3 】

リード終了信号発生回路 3 2 2 は、AND 回路と OR 回路とを有している。AND 回路の入力には、状態 S 2 およびリード要求受付信号 MEM__RACK (C 0) が入力され、AND 回路の出力と有限状態遷移機械 1 5 6 から出力される状態 S 3 および S 4 とが OR 回路の入力と接続されている。

40

【 0 0 8 4 】

リードデータ記憶回路 3 0 4 は、キュー 3 3 9 を有している。キュー 3 3 9 の入力 W E N 3 4 0 は、リードタイミング発生回路 3 1 1 を構成するシフトレジスタ 3 1 2 の出力 D O U T 0 3 3 8 と接続されている。また、キュー 3 3 9 の入力 D I N は、リードデータ MEM__RDATA が入力される入力ピン 1 4 2 と接続されている。また、キュー 3 3 9 の入力 R F 5 2 3 は、リード終了信号発生回路 3 2 2 を構成する OR 回路の出力と接続されている。キュー 3 3 9 の入力 C L K には、クロックが入力される。キュー 3 3 9 の出力 D O U T 3 4 1 は、リードデータ記憶選択回路 3 2 4 の出力 r d m o u t 3 4 3 と接続

50

されており、データ記憶選択回路324の出力343は、加算器139の一方の入力およびセクタ152の入力と接続されている。

【0085】

図21に、キュー339のアクセスタイミングを示す。DINにリードデータが与えられ、WENが"1"になると、次のCLKの立ち上がり時に、キュー339にデータが書き込まれる。図21の例では、data1、data2およびdata3の3つのデータが連続して書き込まれる。

【0086】

キュー339の出力DOUには、キュー339の読み出しポインタが現在示している値が出力される。そして、RFが"1"になると、次のCLKの立ち上がり時にキュー339の読み出しポインタが移動して、DOUに新しいデータが出力される。図21の例では、最初はDOUからdata1が出力されているが、RFが1回目に"1"になってCLKが立ち上がるとdata2が出力され、RFが2回目に"1"になってCLKが立ち上がるとdata3が出力される。

10

【0087】

図22に、シフトレジスタ312のアクセスタイミングを示す。このシフトレジスタは、1ビットのシフトレジスタであり、CLKが立ち上がる度にDINの値がDOUに代入される。

【0088】

この回路の動作タイミングについて、図20に示すスレッドの回路と、図23に示すタイミング図とを用いて説明する。

20

【0089】

サイクル0では、スレッドの状態がS0であり、スレッドはメモリへのリード要求信号MEM_REQ 155をアクティブ"1"にする。そして、サイクル0では、すぐにリード要求が受け付けられてリード要求受付信号MEM_RACK 215がアクティブ"1"になる。よって、リードタイミング発生回路311に含まれるシフトレジスタ312の入力DIN 336が"1"になり、サイクル1でスレッドが状態S1になる。

【0090】

サイクル1では、スレッドの状態がS1であり、スレッドはメモリへのリード要求信号MEM_REQ 155をアクティブ"1"にするが、リード要求は受け付けられず、リード要求受付信号MEM_RACK 215がインアクティブ"0"になる。よって、サイクル2でもスレッドが状態S1のままで次の状態S2に遷移しない。

30

【0091】

また、サイクル1において、リードタイミング発生回路311に含まれるシフトレジスタ312の出力DOU0 338が"1"になる。この出力DOU0 338は、リードデータ記憶回路304内のキュー339の入力WEN 340に接続されているため、サイクル1でメモリインターフェイスからリードされたデータdata1がキュー339に書き込まれる。

【0092】

サイクル2では、スレッドの状態がS1であり、スレッドはメモリへのリード要求信号MEM_REQ 155をアクティブ"1"にする。そして、サイクル2では、すぐにリード要求が受け付けられてリード要求受付信号MEM_RACK 215がアクティブ"1"になる。よって、リードタイミング発生回路311に含まれるシフトレジスタ312の入力DIN 336が"1"になり、サイクル3でスレッドが状態S2になる。

40

【0093】

サイクル3では、スレッドの状態がS2であり、1回目のメモリリード要求に対するメモリリードが行われる。そして、リードデータ記憶選択回路324の出力rdm_out 343がキュー339の出力に接続されているため、キュー339からの出力data1がリードデータとしてスレッドに利用される。

【0094】

50

また、サイクル3では、リード要求受付信号MEM__RACK 215がアクティブ"1"であるため、キュー339の入力RF 523が"1"になり、次のサイクル4でキュー339の出力DOU T 341はdata2になる。

【0095】

また、サイクル3では、スレッドの状態がS2であり、スレッドはメモリへのリード要求信号MEM__REQ 155をアクティブ"1"にする。そして、サイクル3では、すぐにリード要求が受け付けられてリード要求受付信号MEM__RACK 215がアクティブ"1"になる。よって、リードタイミング発生回路311に含まれるシフトレジスタ312の入力DIN 336が"1"になり、サイクル4でスレッドが状態S3になる。

【0096】

また、サイクル3において、リードタイミング発生回路311に含まれるシフトレジスタ312の出力DOU T 0 338がアクティブ"1"になる。この出力DOU T 0 338は、リードデータ記憶回路304内のキュー339の入力WEN 340に接続されているため、サイクル3でメモリインターフェイスからリードされたデータdata2がキュー339に書き込まれる。

【0097】

サイクル4では、スレッドの状態がS3であり、2回目のメモリリード要求に対するメモリリードが行われる。そして、リードデータ記憶選択回路324の出力rdm__out 343がキュー339の出力に接続されているため、キュー339からの出力data2がリードデータとしてスレッドに利用される。

【0098】

また、サイクル4において、リードタイミング発生回路311に含まれるシフトレジスタ312の出力DOU T 0 338がアクティブ"1"になる。この出力DOU T 0 338は、リードデータ記憶回路304内のキュー339の入力WEN 340に接続されているため、サイクル4でメモリインターフェイスからリードされたデータdata3がキュー339に書き込まれる。

【0099】

また、サイクル4では、スレッドの状態がS3であるため、キュー339の入力RF 523が"1"になり、次のサイクル5でキュー339の出力DOU T 341はdata3になる。

【0100】

サイクル5では、スレッドの状態がS4であり、3回目のメモリリード要求に対するメモリリードが行われる。そして、リードデータ記憶選択回路324の出力rdm__out 343がキュー339の出力に接続されているため、キュー339からの出力data3がリードデータとしてスレッドに利用される。

【0101】

このように、本実施形態の回路生成方法によって生成された回路では、正しいタイミングでメモリからリードされたデータが、一旦、リードデータ記憶回路に記憶され、スレッドは、必要なときにキューに記憶されたデータを読み出すことができるので、共有メモリに対してパイプラインアクセスを行い、かつ、複数のスレッド間でメモリアクセスが競合しないように調整することができる。

【0102】

この実施形態2において、図1に示す動作記述から図4に示すスケジューリング結果を得るためには、レイテンシが1のパイプラインメモリを用いる必要がある。これは、スレッドによってメモリインターフェイスを介してメモリからリードしたデータが一旦キューに記憶され、キューの出力がリードデータとして利用され、1クロック分のオーバーヘッドが生じるためである。

【0103】

この実施形態2において、レイテンシが2のパイプラインメモリを用いるためには、動作記述からC D F Gの変換において、リード要求ノードと対応するリードデータノードとの

10

20

30

40

50

間に、相対スレッド数3の制御依存枝を設けて、スケジューリングする必要がある。この場合には、メモリアクセスのレイテンシが長くなるため、回路の動作速度がおそくなるおそれがある。この問題点を解決することができる回路生成方法について、以下の実施形態3において説明する。

【0104】

(実施形態3)

図24は、実施形態3の回路生成方法を説明するためのフローチャートである。本実施形態では、並列に動作し、共有メモリに対してアクセスを行う複数のスレッドと、メモリインターフェイスとが接続された回路において、スレッドの有限状態遷移機械が連続して遷移したか否かが判定され、その結果によってメモリからリードされたデータまたはリードデータ記憶回路に記憶されたデータのどちらかが選択されることにより、メモリ自体のレイテンシと等しいレイテンシでメモリアクセスを行うことができる回路が生成される。

10

【0105】

ここでは、メモリインターフェイスの生成、各スレッドの合成600および各スレッドとメモリインターフェイスとの接続がこの順に行われる。この図24において、メモリインターフェイスの生成および各スレッドとメモリインターフェイスとの接続は、図17を用いて説明した実施形態2と同様であり、各スレッドの合成600が実施形態2と異なっている。

【0106】

各スレッドの合成600では、高位合成方法によりRTLレベルの各スレッドを個別に生成する。図25は、本実施形態3において、各スレッドを生成する高位合成方法のフローチャートである。ここでは、動作記述からCDFGへの変換工程601、スケジューリング工程、アロケーション工程、データパス生成工程、制御論理生成工程、リードデータ記憶選択回路の生成工程602およびデータパスへの挿入工程がこの順に行われる。この図25において、スケジューリング工程、アロケーション工程、データパス生成工程、制御論理生成工程およびデータパスへの挿入工程は、図18を用いて説明した実施形態2と同様であり、動作記述からCDFGへの変換工程601およびリードデータ記憶選択回路の生成工程602が実施形態2と異なっている。

20

【0107】

本実施形態で生成される回路は、連続遷移判定回路によってスレッドを構成する有限状態遷移機械が連続して状態遷移したか否かが判定され、この判定結果に応じて、リードデータ選択回路によって共有メモリからリードされたデータを直接用いるか、またはリードデータ記憶回路に記憶されたデータを用いるかが選択される。よって、動作記述からCDFGへの変換工程601においては、リード要求ノードと対応するリードデータノードとの間に、相対ステップ数 n の制御依存枝が設けられる。それ以外は、実施形態2と同様である。ここで、 n は使用されるパイプラインメモリのレイテンシである。

30

【0108】

リードデータ記憶選択回路の生成工程602では、メモリインターフェイスからリードされたデータが一時記憶されるリードデータ記憶選択回路が生成される。

【0109】

図26は、本実施形態3における、リードデータ記憶選択回路の生成工程のフローチャートである。ここでは、リードデータ記憶回路の生成、リードタイミング発生回路の生成、連続遷移判定回路の生成603、リードデータ選択回路の生成604、リード終了信号発生回路の生成および各サブ回路の接続がこの順に行われる。この図26において、リードデータ記憶回路の生成、リードタイミング発生回路の生成、リード終了信号発生回路の生成および各サブ回路の接続は、図19を用いて説明した実施形態2と同様であり、連続遷移判定回路の生成603およびリードデータ選択回路の生成604が実施形態2と異なっている。

40

【0110】

メモリインターフェイスにリード要求が受け付けられてから、そのリード要求に対するリ

50

ードが行われるまで、スレッドに含まれる有限状態遷移機械が止まることなく連続して遷移した場合に、スレッドによってメモリアンターフェイスから直接データがリードされて利用される。一方、スレッドに含まれる有限状態遷移機械が連続して遷移しなかった場合には、スレッドによってキューに記憶されたデータがリードされて利用される。このため、連続遷移判定回路の生成 603 では、有限状態遷移機械が連続して状態遷移したか否かを判定して判定信号を生成する、連続遷移判定回路が生成される。この判定のためには、シフトレジスタが用いられる。

【0111】

リードデータ選択回路 604 の生成では、連続遷移判定回路から出力される判定信号によって、メモリアンターフェイスを介してメモリからリードされたデータ、またはキューからリードされたデータのいずれかを選択するリードデータ選択回路が生成される。

10

【0112】

図 27 に、レイテンシが 2 のパイプラインメモリを使用すると仮定して、本実施形態の高位合成方法によって生成されるスレッドの回路例を示す。本実施形態において、図 1 に示す動作記述から生成される C D F G は図 2 と同様であり、スケジューリング結果は図 4 と同様であり、アロケーション結果は図 5 と同様であり、データパス生成結果は図 6 と同様である。

【0113】

この図 27 の回路では、図 20 に示す実施形態 2 の回路に加えて、リードデータ選択記憶回路 324 内に、連続遷移判定回路 318 およびリードデータ選択回路 320 が設けられている。

20

【0114】

連続遷移判定回路 318 は、4つの AND 回路と 2つの OR 回路とシフトレジスタ 328 とを有している。3つ AND 回路の入力には、有限状態遷移機械 156 から出力される状態 S0 およびリード要求受付信号 MEM_RACK(C0) と、状態 S1 および C0 と、状態 S2 および C0 とがそれぞれ入力され、各 AND 回路の出力はそれぞれ一方の OR 回路の入力と接続されている。この OR 回路の出力は、他方の OR 回路の入力と接続されている。また、他方の OR 回路の出力は 2つの分岐され、それぞれシフトレジスタ 328 の入力 DIN_337 と、もう 1つの AND 回路の入力とに接続されている。シフトレジスタ 328 の入力 CLK には、クロックが入される。シフトレジスタ 328 の出力 DOUT_0 および DOUT_1 は、それぞれもう 1つの AND 回路の入力に接続されている。なお、リードデータタイミング発生回路 311 のシフトレジスタの出力についても、シフトレジスタ 328 と動作タイミングを合わせるために DOUT_1、DOUT_0 の 2つが設けられているが、この DOUT_1 はシフトレジスタの外部とは接続されていない。

30

【0115】

リードデータ選択回路 320 は、NOT 回路とセクタとを有している。連続遷移判定回路 318 を構成する AND 回路の出力 c t j _ o u t 3 4 2 は 2つに分岐され、それぞれ NOT 回路の入力とセクタの入力とに接続されている。セクタの入力は、さらに、NOT 回路の出力と、リードデータ MEM_RDATA が入力される入力ピン 142 と、キュー 339 を構成するリードデータ記憶回路 304 の出力 DOUT とに接続されている。セクタの出力は、リードデータ記憶選択回路 324 の出力 r d m _ o u t 3 4 3 と接続されており、データ記憶選択回路 324 の出力 343 は、加算器 139 の一方の入力およびセクタ 152 の入力と接続されている。

40

【0116】

図 28 に、シフトレジスタ 312 および 328 のアクセスタイミングを示す。このシフトレジスタは、2ビットのシフトレジスタであり、CLK が立ち上がる度に DOUT_1 の値が DOUT_0 に代入され、DIN の値が DOUT_1 に代入される。

【0117】

この回路の動作タイミングについて、図 27 に示すスレッドの回路と、図 29 に示すタイミング図とを用いて説明する。

50

【0118】

サイクル0では、スレッドの状態がS0であり、スレッドはメモリへのリード要求信号MEM__REQ 155をアクティブ"1"にする。そして、サイクル0では、すぐにリード要求が受け付けられてリード要求受付信号MEM__ACK 215がアクティブ"1"になる。よって、リードタイミング発生回路311に含まれるシフトレジスタ312の入力DIN 336および連続遷移判定回路318に含まれるシフトレジスタ328の入力DIN 337が"1"になり、サイクル1でスレッドが状態S1になる。

【0119】

サイクル1では、スレッドの状態がS1であり、スレッドはメモリへのリード要求信号MEM__REQ 155をアクティブ"1"にするが、リード要求は受け付けられず、リード要求受付信号MEM__ACK 215がインアクティブ"0"になる。よって、サイクル2でもスレッドが状態S1のままで次の状態S2に遷移しない。

10

【0120】

また、サイクル1では、スレッドの状態がS1であり、リード要求受付信号MRM__ACK 215がインアクティブ"0"であるため、連続遷移判定回路318に含まれるシフトレジスタ328の入力DIN 337は"0"になる

サイクル2では、スレッドの状態がS1であり、スレッドはメモリへのリード要求信号MEM__REQ 155をアクティブ"1"にする。そして、サイクル2では、すぐにリード要求が受け付けられてリード要求受付信号MEM__ACK 215がアクティブ"1"になる。よって、リードタイミング発生回路311に含まれるシフトレジスタ312の入力DIN 336が"1"になり、サイクル3でスレッドが状態S2になる。

20

【0121】

また、サイクル2において、リードタイミング発生回路311に含まれるシフトレジスタ312の出力DOU0 338が"1"になる。この出力DOU0 338は、リードデータ記憶回路304内のキュー339の入力WEN 340に接続されているため、サイクル2でメモリインターフェイスからリードされたデータdata1がキュー339に書き込まれ、サイクル3でキュー339の出力341にリードされた値data1が出力される。

【0122】

また、サイクル2では、スレッドの状態がS1であり、リード要求受付信号MEM__ACK 215がアクティブ"1"であるため、連続遷移判定回路318に含まれるシフトレジスタ328の入力DIN 337は"1"になる。

30

【0123】

サイクル3では、スレッドの状態がS2であり、リード要求受付信号MEM__ACK 215がアクティブ"1"であるため、連続遷移判定回路318に含まれるシフトレジスタ328の入力DIN 337は"1"になる。

【0124】

よって、サイクル3では、連続状態遷移判定回路318の出力ctj__out 342が"0"になり、リードデータ選択回路320では、キュー339からの出力341が選択されるため、リードデータ記憶選択回路324の出力rdm__out 343には、キュー339からの出力data1が出力される。

40

【0125】

また、サイクル3では、スレッドの状態がS2であり、リード要求受付信号MEM__ACK 215がアクティブ"1"であるので、連続遷移判定回路318に含まれるシフトレジスタ328の入力DIN 337は"1"になる。

【0126】

また、サイクル3では、リード要求が受け付けられ、リード要求受付信号MEM__ACK 215がアクティブ"1"になる。よって、リードタイミング発生回路311に含まれるシフトレジスタ312の入力DIN 336が"1"になり、サイクル4でスレッドが状態S3になる。

50

【0127】

サイクル4では、スレッドの状態がS3であるので、連続遷移判定回路318に含まれるシフトレジスタ328の入力DIN337は"1"になる。

【0128】

よって、サイクル4では、連続状態遷移判定回路318の出力ctj_out342が"1"になり、リードデータ選択回路320では、メモリアンターフェイスからのデータMEM_RDATAが選択されるため、リードデータ記憶選択回路324の出力rdm_out343には、メモリアンターフェイスからのデータdata2が出力される。

【0129】

同様に、サイクル5でも、連続状態遷移判定回路318の出力ctj_out342が"1"になり、リードデータ選択回路320では、メモリアンターフェイスからのデータMEM_RDATAが選択されるため、リードデータ記憶選択回路324の出力rdm_out343には、メモリアンターフェイスからのデータdata3が出力される。

10

【0130】

このように、本実施形態の回路生成方法によって生成された回路では、スレッドの有限状態遷移機械が連続して遷移したか否かが判定され、その結果によってメモリからリードされたデータまたはリードデータ記憶回路に記憶されたデータのどちらかが選択されるため、メモリ自体のレイテンシと等しいレイテンシでメモリアクセスを行うことができる。

【0131】

【発明の効果】

以上詳述したように、請求項1および請求項2に記載の本発明によれば、共有メモリにアクセスする複数のスレッドを含み、各スレッドから共有メモリへのアクセス競合が生じないように調整することができる回路を生成することができる。

20

【0132】

また、請求項3に記載の本発明によれば、共有メモリにアクセスする複数のスレッドを含み、各スレッドから共有メモリに対してパイプラインアクセスを行うことができ、かつ、各スレッドから共有メモリへのアクセス競合が生じないように調整することができる回路を生成することができる。

【0133】

請求項4および請求項8に記載の本発明によれば、共有メモリにアクセスする複数のスレッドを含み、各スレッドから共有メモリに対してパイプラインアクセスを行うことができると共に、メモリのレイテンシと等しいレイテンシでメモリアクセスを行うことができ、かつ、各スレッドから共有メモリへのアクセス競合が生じないように調整することができる回路を生成することができる。

30

【0134】

請求項4、請求項5および請求項8に記載の本発明によれば、共有メモリにアクセスする複数のスレッドを含み、各スレッドから共有メモリに対してパイプラインアクセスを行うことができ、かつ、各スレッドから共有メモリへのアクセス競合が生じないように調整することができる、面積が小さい回路を生成することができる。

【0135】

請求項6および請求項8に記載の本発明によれば、共有メモリにアクセスする複数のスレッドを含み、各スレッドから共有メモリに対してパイプラインアクセスを行うことができると共に、メモリのレイテンシと等しいレイテンシでメモリアクセスを行うことができ、面積が小さい回路を生成することができる。

40

【図面の簡単な説明】

【図1】高位合成における動作記述の例を示す図である。

【図2】高位合成におけるCDFGの例を示す図である。

【図3】パイプラインメモリにおけるリードタイミングを示すタイミング図である。

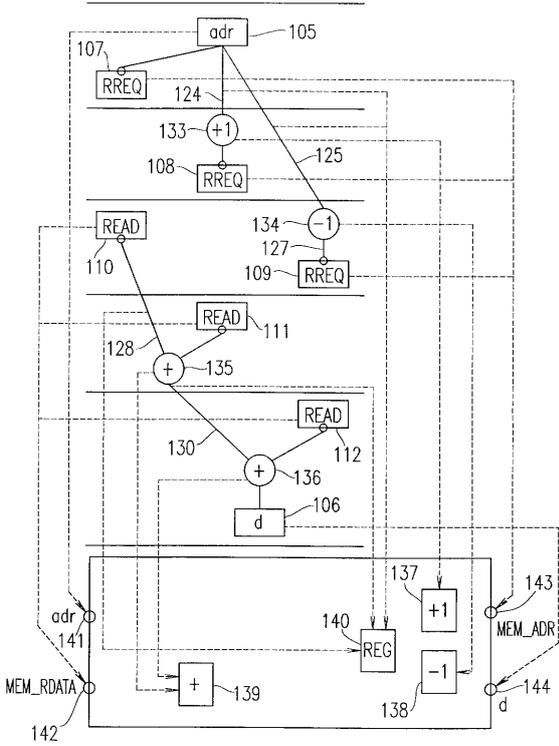
【図4】高位合成におけるスケジューリングの例を示す図である。

50

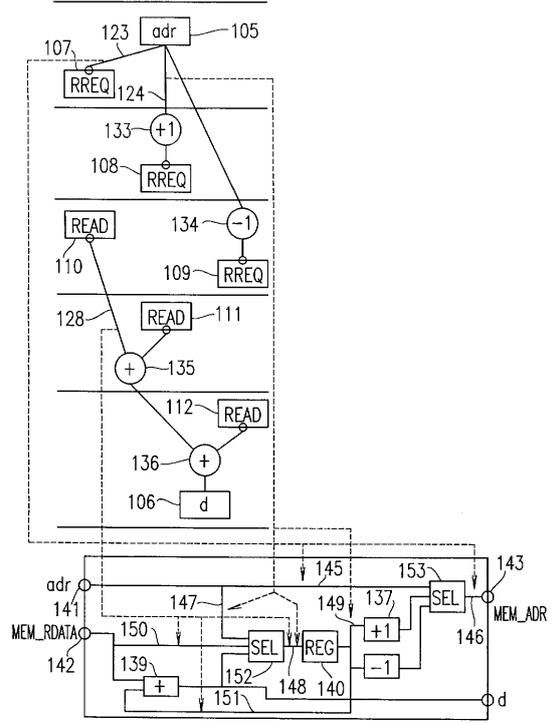
- 【図5】高位合成におけるアロケーションの例を示す図である。
- 【図6】高位合成におけるデータパス生成の例を示す図である。
- 【図7】高位合成における制御論理生成の例を示す図である。
- 【図8】実施形態1の回路生成方法を説明するためのフローチャートである。
- 【図9】実施形態1の回路生成方法を説明するためのフローチャートである。
- 【図10】実施形態1の回路生成方法を説明するためのフローチャートである。
- 【図11】実施形態1の回路生成方法を説明するためのフローチャートである。
- 【図12】(a)～(d)は、実施形態1で生成された回路の動作を説明するための図である。
- 【図13】実施形態1で生成された回路のトップ階層を示す図である。 10
- 【図14】実施形態1で生成された回路における、スレッドの構成を示す図である。
- 【図15】実施形態1の回路生成方法の問題点を説明するためのスレッドの構成を示す図である。
- 【図16】図15に示すスレッドの動作タイミングを示すタイミング図である。
- 【図17】実施形態2の回路生成方法を説明するためのフローチャートである。
- 【図18】実施形態2の回路生成方法を説明するためのフローチャートである。
- 【図19】実施形態2の回路生成方法を説明するためのフローチャートである。
- 【図20】実施形態2で生成された回路における、スレッドの構成を示す図である。
- 【図21】実施形態2で生成された回路における、キューの動作タイミングを示すタイミング図である。 20
- 【図22】実施形態2で生成された回路における、シフトレジスタの動作タイミングを示すタイミング図である。
- 【図23】図20に示すスレッドの動作タイミングを示すタイミング図である。
- 【図24】実施形態3の回路生成方法を説明するためのフローチャートである。
- 【図25】実施形態3の回路生成方法を説明するためのフローチャートである。
- 【図26】実施形態3の回路生成方法を説明するためのフローチャートである。
- 【図27】実施形態3で生成された回路における、スレッドの構成を示す図である。
- 【図28】実施形態3で生成された回路における、シフトレジスタの動作タイミングを示すタイミング図である。
- 【図29】図27に示すスレッドの動作タイミングを示すタイミング図である。 30
- 【符号の説明】
- 105 回路への外部入力
- 106 回路からの外部出力
- 107～109 メモリへのリード要求
- 110～112 メモリからのリードデータ
- 113、114、117～119 制御依存枝
- 120～122 相対ステップ数
- 123～132 データ依存枝
- 133 インクリメント
- 134 デクリメント 40
- 135、136 加算
- 137 インクリメンタ
- 138 デクリメンタ
- 139 加算器
- 140、152、153 セレクタ
- 141 外部入力が入力される入力ピン
- 142 リードデータが入力される入力ピン
- 143 リード要求が出力される出力ピン
- 144 外部出力が出力される出力ピン
- 145～151 データパス 50

1 5 4	クロックが入力される入力ピン	
1 5 5	メモリリード要求が出力される出力ピン	
1 5 6	有限状態遷移機械	
1 5 8 ~ 1 6 2	状態出力ピン	
1 6 3	メモリリード要求信号論理	
1 6 4	セレクタの入力	
1 6 5	セレクタ選択論理	
2 0 1 ~ 2 0 3	スレッド	
2 1 1	メモリインターフェイス	
2 0 4 ~ 2 0 6	リード要求信号	10
2 0 7 ~ 2 0 9	リード要求受付信号	
2 1 0	リードデータピン	
2 1 5	リード要求受付信号	
3 0 4	リードデータ記憶回路	
3 1 1	リードタイミング発生回路	
3 1 2、3 2 8	シフトレジスタ	
3 1 8	連続遷移判定回路	
3 2 0	リードデータ選択回路	
3 2 2	リード終了信号発生回路	
3 3 6、3 3 7	シフトレジスタの入力 D I N	20
3 3 8	シフトレジスタの出力 D O U T	
3 3 9	キュー	
3 4 0	キューの入力 W E N	
3 4 1	キューの出力 D O U T	
3 4 2	連続遷移判定回路の出力 c t j _ o u t	
3 4 3	データ記憶船体選択回路の出力 r d m _ o u t	
4 0 3 ~ 4 0 7	状態	
4 0 8 ~ 4 1 1、4 1 2	状態遷移論理	
5 2 3	キューの入力 R F	

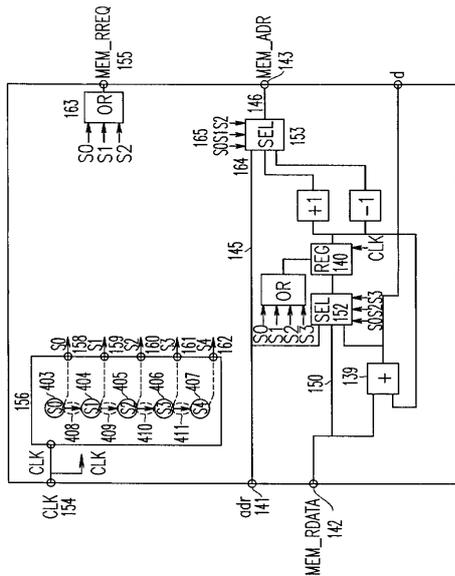
【 図 5 】



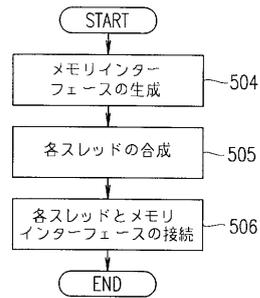
【 図 6 】



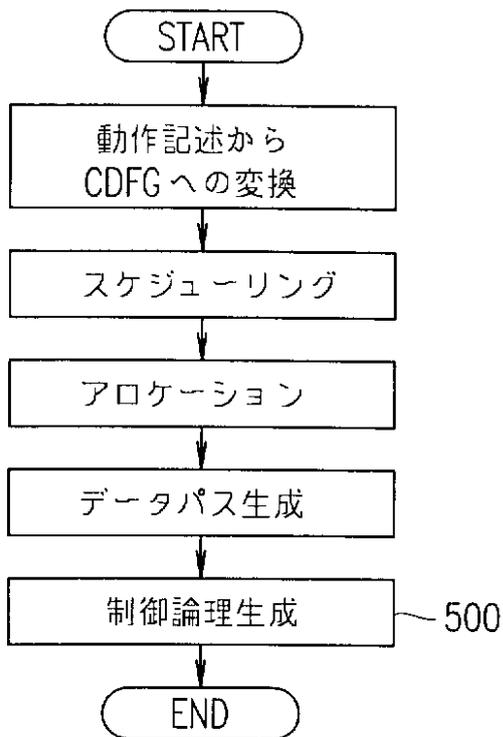
【 図 7 】



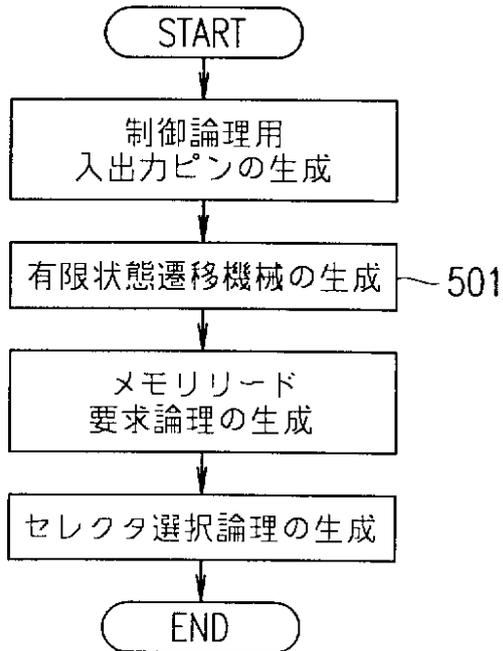
【 図 8 】



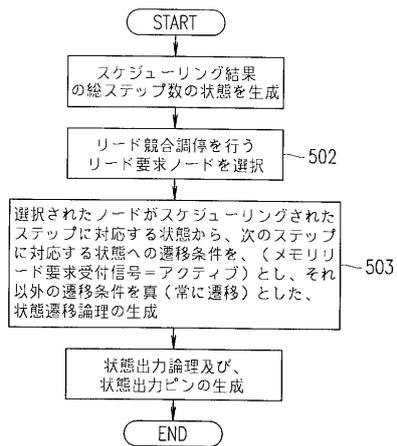
【 図 9 】



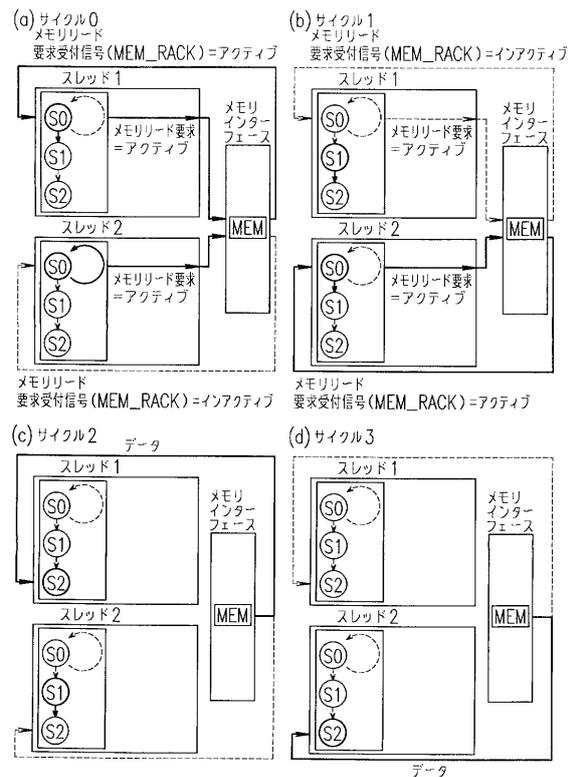
【 図 1 0 】



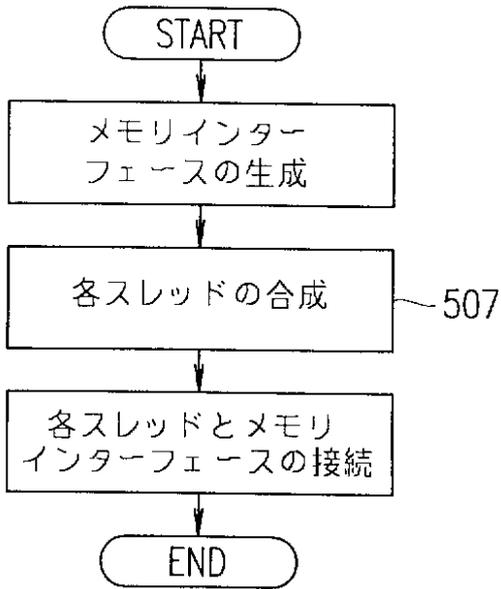
【 図 1 1 】



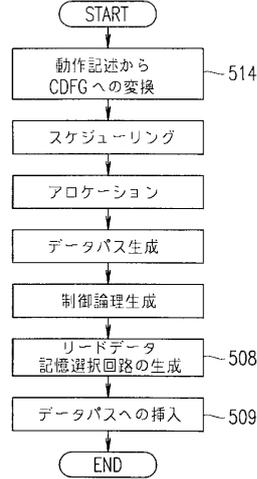
【 図 1 2 】



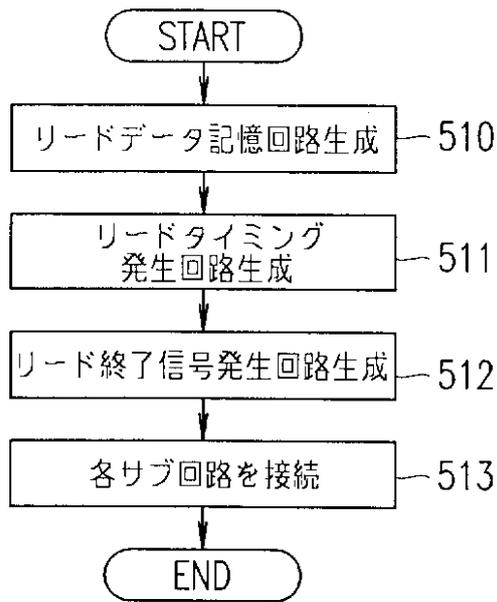
【 図 1 7 】



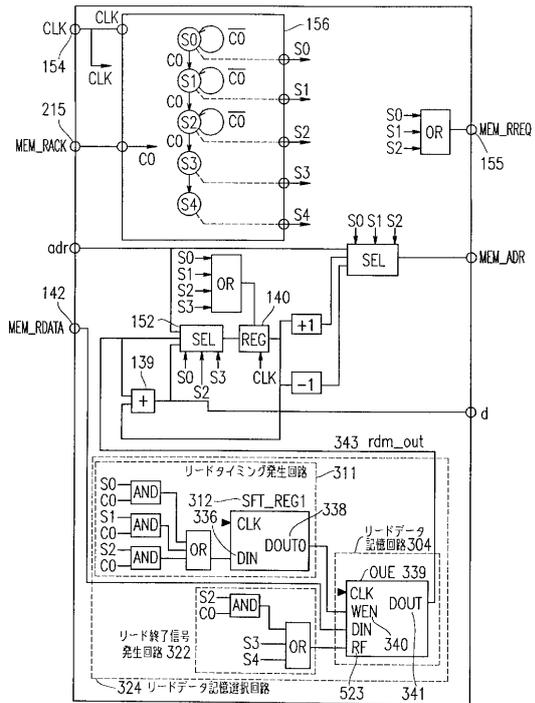
【 図 1 8 】



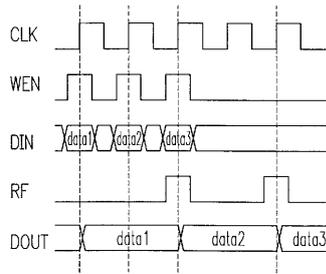
【 図 1 9 】



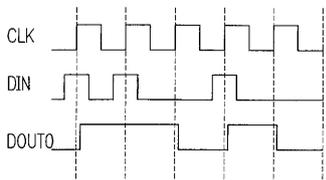
【 図 2 0 】



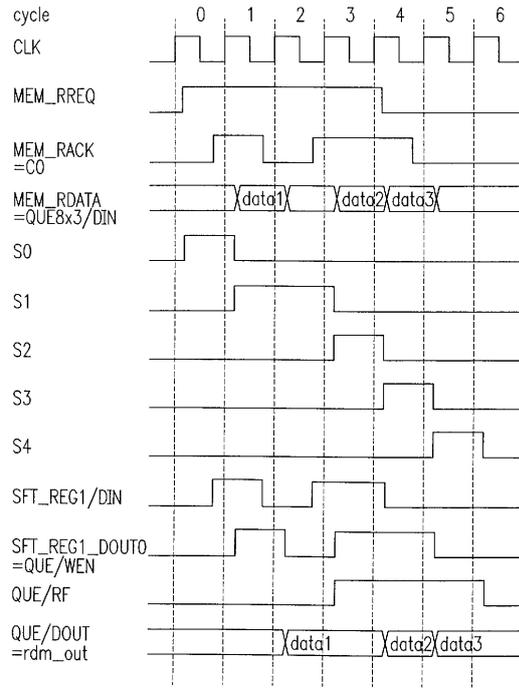
【 図 2 1 】



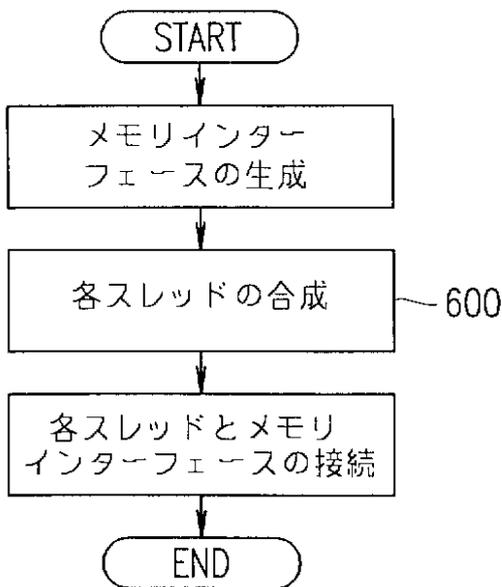
【 図 2 2 】



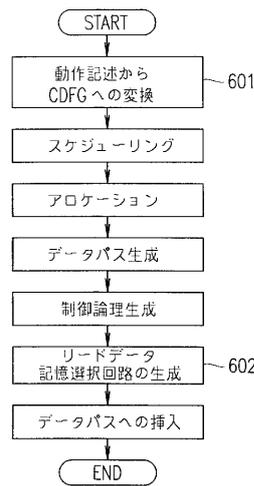
【 図 2 3 】



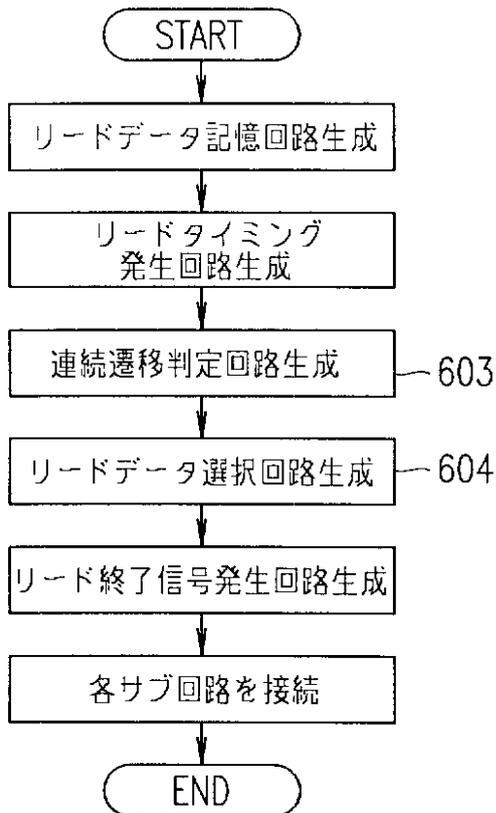
【 図 2 4 】



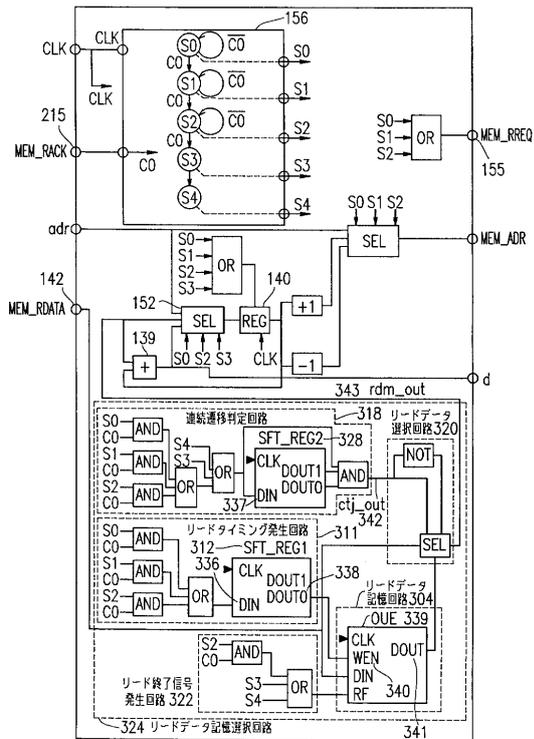
【 図 2 5 】



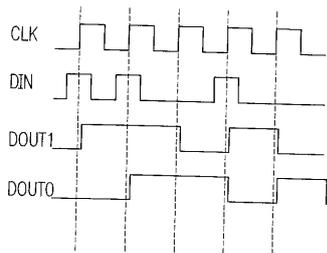
【 図 2 6 】



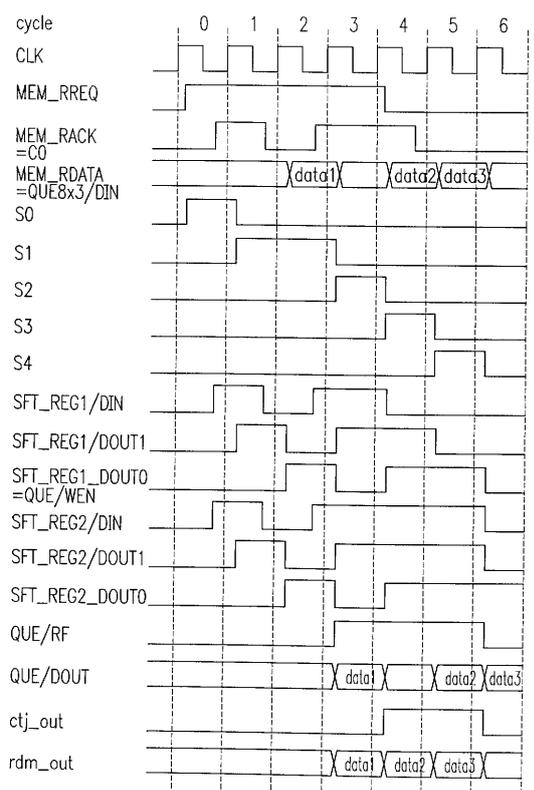
【 図 2 7 】



【 図 2 8 】



【 図 2 9 】



フロントページの続き

(56)参考文献 特開2001-043251(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 17/50

G06F 12/00