

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-267758  
(P2009-267758A)

(43) 公開日 平成21年11月12日(2009.11.12)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 19/0185 (2006.01)	H03K 19/00 101E	5J055
H03K 19/0175 (2006.01)	H03K 19/00 101F	5J056
H03K 17/13 (2006.01)	H03K 17/13 C	
H03K 17/56 (2006.01)	H03K 17/56 Z	
H03K 17/687 (2006.01)	H03K 17/687 A	

審査請求 未請求 請求項の数 18 O L (全 18 頁)

(21) 出願番号 特願2008-114770 (P2008-114770)  
(22) 出願日 平成20年4月25日 (2008.4.25)

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区丸の内一丁目6番6号  
(74) 代理人 100100310  
弁理士 井上 学  
(74) 代理人 100098660  
弁理士 戸田 裕二  
(72) 発明者 官本 直  
東京都青梅市新町六丁目16番地の3 株式会社日立製作所マイクロデバイス事業部内  
(72) 発明者 會田 辰洋  
東京都青梅市新町六丁目16番地の3 株式会社日立製作所マイクロデバイス事業部内

最終頁に続く

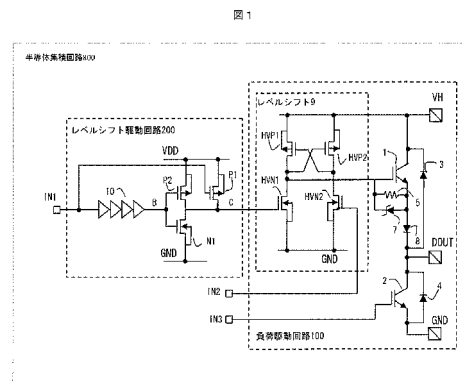
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 レベルシフト回路のオン耐圧について配慮し、オン耐圧を高めて破壊を防止する回路を提供することにある。

【解決手段】 高圧出力DOUTがHiの状態では、N型トランジスタHVN1、P型トランジスタHVP2はOFF状態、N型トランジスタHVN2、P型トランジスタHVP1はON状態であり、HVN1のドレイン-ソース間には高電圧VHが印加されている。高圧出力DOUTをLoに遷移させる過程において、N型トランジスタHVN1のゲート電位を一旦、VDDとGNDの間状態に置き、N型トランジスタHVN1のドレイン-ソース電圧を下げた後、ゲート電圧をVDDに上昇させる。これにより、N型トランジスタHVN1のドレイン-ソース間電圧が高く、且つ、ドレイン電流が大きい状態を回避し、レベルシフト回路のオン耐圧を高めて破壊を防止する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

出力端子と、

前記出力端子に接続された出力トランジスタと、前記出力トランジスタの入力レベルを変更するレベルシフト回路とを含んで成る負荷駆動回路と、

ソースが第 1 の電源に接続された第 2 の P 型 MOS トランジスタとソースが前記第 1 の電源より電位の低い第 2 の電源に接続された第 1 の N 型 MOS トランジスタとが互いのドレインで接続されて成る第 1 のインバータを含んで成るレベルシフト駆動回路と、

前記第 1 のインバータを構成する前記第 2 の P 型 MOS トランジスタおよび前記第 1 の N 型 MOS トランジスタのゲートと電氣的に共通接続された入力端子と

を備え、

前記レベルシフト回路は、ソースが前記第 2 の電源に共通接続された第 1 および第 2 の負荷駆動 N 型 MOS トランジスタを含み、かつ、前記第 1 の負荷駆動 N 型 MOS トランジスタのドレインが前記出力トランジスタのゲートに接続され、

前記レベルシフト駆動回路は、前記第 1 のインバータの共通ドレインにて前記レベルシフト回路を構成する前記第 1 の負荷駆動 N 型 MOS トランジスタのゲートと接続され、かつ、前記第 1 のインバータの共通ドレインに発生する電圧を抑制するレベルシフト駆動電圧抑制回路を含む

ことを特徴とする半導体集積回路装置。

## 【請求項 2】

請求項 1 において、

前記レベルシフト駆動電圧抑制回路は、

ソースが前記第 1 の電源に電氣的に接続され、かつ、ドレインが前記第 1 のインバータの共通ドレインに接続され、かつ、ゲートが前記入力端子と接続された第 1 の P 型 MOS トランジスタと、

出力側が前記第 1 のインバータを構成する前記第 2 の P 型 MOS トランジスタおよび前記第 1 の N 型 MOS トランジスタのゲートと共通接続され、かつ、入力側が前記入力端子と接続された遅延素子と

を含んで成ることを特徴とする半導体集積回路装置。

## 【請求項 3】

請求項 2 において、

前記第 1 の P 型 MOS トランジスタは、アノード側が前記第 1 の電源に接続され、かつ、カソード側が前記第 1 の P 型 MOS トランジスタのソースに接続されたダイオードを介して前記第 1 の電源と電氣的に接続されている

ことを特徴とする半導体集積回路装置。

## 【請求項 4】

請求項 1 において、

前記レベルシフト駆動電圧抑制回路は、

ドレインが前記第 1 の電源に電氣的に接続され、かつ、ソースが前記第 1 のインバータの共通ドレインに接続され、かつ、ゲートが第 2 のインバータを介して前記入力端子と電氣的に接続された第 2 の N 型 MOS トランジスタと、

出力側が前記第 1 のインバータを構成する前記第 2 の P 型 MOS トランジスタおよび前記第 1 の N 型 MOS トランジスタのゲートと共通接続され、かつ、入力側が前記入力端子と接続された遅延素子と

を含んで成ることを特徴とする半導体集積回路装置。

## 【請求項 5】

請求項 1 において、

前記レベルシフト駆動電圧抑制回路は、

ソースが前記第 1 の電源に電氣的に接続され、かつ、ドレインが前記第 1 のインバータの共通ドレインに接続され、かつ、ゲートが前記入力端子と接続された第 1 の P 型 MOS

10

20

30

40

50

トランジスタと、

出力側が前記第 1 のインバータを構成する前記第 2 の P 型 MOS トランジスタのゲートと接続され、かつ、入力側が前記入力端子と接続された遅延素子と、

出力側が前記第 1 のインバータを構成する前記第 1 の N 型 MOS トランジスタのゲートと接続され、かつ、入力側が前記入力端子と前記遅延素子の出力とに接続された AND ゲート素子と

を含んで成り、

前記第 1 の P 型 MOS トランジスタは、アノード側が前記第 1 の電源に接続され、かつ、カソード側が前記第 1 の P 型 MOS トランジスタのソースに接続されたダイオードを介して前記第 1 の電源と電氣的に接続されている

ことを特徴とする半導体集積回路装置。

10

【請求項 6】

請求項 1 において、

前記レベルシフト駆動電圧抑制回路は、

ドレインが前記第 1 の電源に電氣的に接続され、かつ、ソースが前記第 1 のインバータの共通ドレインに接続され、かつ、ゲートが第 2 のインバータを介して前記入力端子と電氣的に接続された第 2 の N 型 MOS トランジスタと、

出力側が前記第 1 のインバータを構成する前記第 2 の P 型 MOS トランジスタのゲートと接続され、かつ、入力側が前記入力端子と接続された遅延素子と、

出力側が前記第 1 のインバータを構成する前記第 1 の N 型 MOS トランジスタのゲートと接続され、かつ、入力側が前記入力端子と前記遅延素子の出力とに接続された AND ゲート素子と

を含んで成ることを特徴とする半導体集積回路装置。

20

【請求項 7】

負荷に高低の電圧を供給する回路であって、

第 1 の電源と出力端子との間に接続された第 1 の半導体スイッチング素子と、

前記出力端子と前記第 1 の電源より電位の低い第 2 の電源との間に接続された第 2 の半導体スイッチング素子と、

前記第 1 の半導体スイッチング素子のゲートを駆動する第 1 の高圧 PMOS と、

前記第 1 の半導体スイッチング素子のゲートを駆動する第 1 の高圧 NMOS と、

前記第 1 の高圧 PMOS と差動動作する第 2 の高圧 PMOS と、

前記第 1 の高圧 NMOS と差動動作する第 2 の高圧 NMOS と、

ソースが前記第 1 の電源に接続された第 2 の P 型 MOS トランジスタとソースが前記第 2 の電源に接続された第 1 の N 型 MOS トランジスタとが互いのドレインで接続されて成る第 1 のインバータと、前記第 1 の高圧 NMOS のゲートに印加される電圧を抑制するレベルシフト駆動電圧抑制回路とを含んで成るレベルシフト駆動回路と

を備えて成ることを特徴とする半導体集積回路装置。

30

【請求項 8】

請求項 7 において、

前記レベルシフト駆動電圧抑制回路は、

ソースが前記第 1 の電源に電氣的に接続され、かつ、ドレインが前記第 1 のインバータの共通ドレインに接続され、かつ、ゲートが前記入力端子と接続された第 1 の P 型 MOS トランジスタと、

出力側が前記第 1 のインバータを構成する前記第 2 の P 型 MOS トランジスタおよび前記第 1 の N 型 MOS トランジスタのゲートと共通接続され、かつ、入力側が前記入力端子と接続された遅延素子と

を含んで成ることを特徴とする半導体集積回路装置。

40

【請求項 9】

請求項 8 において、

前記第 1 の P 型 MOS トランジスタは、アノード側が前記第 1 の電源に接続され、かつ

50

、カソード側が前記第 1 の P 型 MOS トランジスタのソースに接続されたダイオードを介して前記第 1 の電源と電氣的に接続されていることを特徴とする半導体集積回路装置。

【請求項 10】

請求項 7 において、

前記レベルシフト駆動電圧抑制回路は、

ドレインが前記第 1 の電源に電氣的に接続され、かつ、ソースが前記第 1 のインバータの共通ドレインに接続され、かつ、ゲートが第 2 のインバータを介して前記入力端子と電氣的に接続された第 2 の N 型 MOS トランジスタと、

出力側が前記第 1 のインバータを構成する前記第 2 の P 型 MOS トランジスタおよび前記第 1 の N 型 MOS トランジスタのゲートと共通接続され、かつ、入力側が前記入力端子と接続された遅延素子と

を含んで成ることを特徴とする半導体集積回路装置。

10

【請求項 11】

請求項 7 において、

前記レベルシフト駆動電圧抑制回路は、

ソースが前記第 1 の電源に電氣的に接続され、かつ、ドレインが前記第 1 のインバータの共通ドレインに接続され、かつ、ゲートが前記入力端子と接続された第 1 の P 型 MOS トランジスタと、

出力側が前記第 1 のインバータを構成する前記第 2 の P 型 MOS トランジスタのゲートと接続され、かつ、入力側が前記入力端子と接続された遅延素子と、

出力側が前記第 1 のインバータを構成する前記第 1 の N 型 MOS トランジスタのゲートと接続され、かつ、入力側が前記入力端子と前記遅延素子の出力とに接続された AND ゲート素子と

を含んで成り、

前記第 1 の P 型 MOS トランジスタは、アノード側が前記第 1 の電源に接続され、かつ、カソード側が前記第 1 の P 型 MOS トランジスタのソースに接続されたダイオードを介して前記第 1 の電源と電氣的に接続されている

ことを特徴とする半導体集積回路装置。

20

【請求項 12】

請求項 7 において、

前記レベルシフト駆動電圧抑制回路は、

ドレインが前記第 1 の電源に電氣的に接続され、かつ、ソースが前記第 1 のインバータの共通ドレインに接続され、かつ、ゲートが第 2 のインバータを介して前記入力端子と電氣的に接続された第 2 の N 型 MOS トランジスタと、

出力側が前記第 1 のインバータを構成する前記第 2 の P 型 MOS トランジスタのゲートと接続され、かつ、入力側が前記入力端子と接続された遅延素子と、

出力側が前記第 1 のインバータを構成する前記第 1 の N 型 MOS トランジスタのゲートと接続され、かつ、入力側が前記入力端子と前記遅延素子の出力とに接続された AND ゲート素子と

を含んで成ることを特徴とする半導体集積回路装置。

30

40

【請求項 13】

出力端子と、

前記出力端子に接続された出力トランジスタと、前記出力トランジスタの入力レベルを変更するレベルシフト回路とを含んで成る負荷駆動回路と、

ソースが第 1 の電源に接続された第 2 の P 型 MOS トランジスタとソースが前記第 1 の電源より電位の低い第 2 の電源に接続された第 1 の N 型 MOS トランジスタとが互いのドレインで接続されて成る第 1 のインバータを含んで成るレベルシフト駆動回路と、

前記第 1 のインバータを構成する前記第 2 の P 型 MOS トランジスタおよび前記第 1 の N 型 MOS トランジスタのゲートと電氣的に共通接続された入力端子と

50

を備えた回路が複数組み並列配置されて共通の半導体基板上に一体に集積形成されて成る半導体集積回路装置であって、

複数組みの前記回路の各々について、

前記レベルシフト回路は、ソースが前記第 2 の電源に共通接続された第 1 および第 2 の負荷駆動 N 型 MOS トランジスタを含み、かつ、前記第 1 の負荷駆動 N 型 MOS トランジスタのドレインが前記出力トランジスタのゲートに接続され、

前記レベルシフト駆動回路は、前記第 1 のインバータの共通ドレインにて前記レベルシフト回路を構成する前記第 1 の負荷駆動 N 型 MOS トランジスタのゲートと接続され、かつ、前記第 1 のインバータの共通ドレインに発生する電圧を抑制するレベルシフト駆動電圧抑制回路を含む

ことを特徴とする半導体集積回路装置。

【請求項 14】

請求項 13 において、

前記レベルシフト駆動電圧抑制回路は、

ソースが前記第 1 の電源に電氣的に接続され、かつ、ドレインが前記第 1 のインバータの共通ドレインに接続され、かつ、ゲートが前記入力端子と接続された第 1 の P 型 MOS トランジスタと、

出力側が前記第 1 のインバータを構成する前記第 2 の P 型 MOS トランジスタおよび前記第 1 の N 型 MOS トランジスタのゲートと共通接続され、かつ、入力側が前記入力端子と接続された遅延素子と

を含んで成ることを特徴とする半導体集積回路装置。

【請求項 15】

請求項 14 において、

前記第 1 の P 型 MOS トランジスタは、アノード側が前記第 1 の電源に接続され、かつ、カソード側が前記第 1 の P 型 MOS トランジスタのソースに接続されたダイオードを介して前記第 1 の電源と電氣的に接続されている

ことを特徴とする半導体集積回路装置。

【請求項 16】

請求項 13 において、

前記レベルシフト駆動電圧抑制回路は、

ドレインが前記第 1 の電源に電氣的に接続され、かつ、ソースが前記第 1 のインバータの共通ドレインに接続され、かつ、ゲートが第 2 のインバータを介して前記入力端子と電氣的に接続された第 2 の N 型 MOS トランジスタと、

出力側が前記第 1 のインバータを構成する前記第 2 の P 型 MOS トランジスタおよび前記第 1 の N 型 MOS トランジスタのゲートと共通接続され、かつ、入力側が前記入力端子と接続された遅延素子と

を含んで成ることを特徴とする半導体集積回路装置。

【請求項 17】

請求項 13 において、

前記レベルシフト駆動電圧抑制回路は、

ソースが前記第 1 の電源に電氣的に接続され、かつ、ドレインが前記第 1 のインバータの共通ドレインに接続され、かつ、ゲートが前記入力端子と接続された第 1 の P 型 MOS トランジスタと、

出力側が前記第 1 のインバータを構成する前記第 2 の P 型 MOS トランジスタのゲートと接続され、かつ、入力側が前記入力端子と接続された遅延素子と、

出力側が前記第 1 のインバータを構成する前記第 1 の N 型 MOS トランジスタのゲートと接続され、かつ、入力側が前記入力端子と前記遅延素子の出力とに接続された AND ゲート素子と

を含んで成り、

前記第 1 の P 型 MOS トランジスタは、アノード側が前記第 1 の電源に接続され、かつ

10

20

30

40

50

、カソード側が前記第 1 の P 型 MOS トランジスタのソースに接続されたダイオードを介して前記第 1 の電源と電氣的に接続されていることを特徴とする半導体集積回路装置。

【請求項 18】

請求項 13 において、

前記レベルシフト駆動電圧抑制回路は、

ドレインが前記第 1 の電源に電氣的に接続され、かつ、ソースが前記第 1 のインバータの共通ドレインに接続され、かつ、ゲートが第 2 のインバータを介して前記入力端子と電氣的に接続された第 2 の N 型 MOS トランジスタと、

出力側が前記第 1 のインバータを構成する前記第 2 の P 型 MOS トランジスタのゲートと接続され、かつ、入力側が前記入力端子と接続された遅延素子と、

出力側が前記第 1 のインバータを構成する前記第 1 の N 型 MOS トランジスタのゲートと接続され、かつ、入力側が前記入力端子と前記遅延素子の出力とに接続された AND ゲート素子と

を含んで成ることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体集積回路装置に関し、特に負荷駆動回路と、それを構成するレベルシフト回路を駆動するレベルシフト駆動回路とが共通の半導体基板上に一体に集積形成された半導体集積回路、あるいは、負荷駆動回路とレベルシフト駆動回路との組合せを複数チャンネル分備えたプラズマディスプレイ用スキャンドライバ半導体集積回路装置に関する。

【背景技術】

【0002】

従来、パワー MOS トランジスタがオンする際、ゲート・ソース間に高い電圧が印加され、耐圧が高くない素子を使用する場合はその耐圧を超えて破壊に至ることを課題と捉え、駆動回路として、電圧回路にゲートを接続された P 型 MOS トランジスタのソースと電源端子との間の電圧で動作し、パワー MOS トランジスタを駆動するバッファ回路を備えるものが提案されている（例えば、特許文献 1 参照）。

【0003】

【特許文献 1】特開 2005 - 101747 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

本願発明者等は本願に先立って、レベルシフト回路の駆動方法について検討を行った。レベルシフト回路の駆動については、図 9 に示されるような、単純なインバータで差動 NMOS ドライバのレベルシフト回路を駆動する回路を検討した。

【0005】

しかし、この回路は差動 NMOS のオン耐圧について配慮されていないことを本願発明者等は見いだした。レベルシフト 9 は N 型トランジスタ HVN2、HVN1 と P 型トランジスタ HVP2、HVP1 で構成されている。N 型トランジスタ HVN1 のドレイン端子はスイッチング素子 1 のゲートに接続されている。スイッチング素子 1 は外部負荷を駆動するため、負荷駆動に耐えるに足る大きさであり一般的にゲート容量も大きい。そのため、N 型トランジスタ HVN1 が駆動する負荷は大きい。一方、N 型トランジスタ HVN2 は、レベルシフト回路の P 型トランジスタ HVP1 のゲートを駆動するため、駆動する負荷は小さい。

【0006】

高圧出力 DOUT が Hi レベルにある状態では、N 型トランジスタ HVN1 はオフ状態であり P 型トランジスタ HVP1 はオン状態である。このとき N 型トランジスタ HVN1

のドレイン - ソース間には高圧電圧  $V_H$  が印加された状態である。高圧出力  $DOUT$  を  $H$  レベルから  $L$  レベルに遷移させる場合には、 $N$  型トランジスタ  $HVN1$  のゲート - ソース間に低電圧  $V_{DD}$  を印加する制御を行なう。このゲート - ソース間に  $V_{DD}$  を印加した直後は、ゲートドレイン間には高電圧  $V_H$  が印加された状態にあり、 $N$  型トランジスタ  $HVN1$  の駆動によってノード  $G$  の電位を徐々にローレベルに下げていく。 $N$  型トランジスタ  $HVN1$  の駆動する負荷にはスイッチング素子 1 のゲート容量も含まれるため、 $N$  型トランジスタ  $HVN1$  のドレイン - ゲート間電圧  $V_{ds}$  が下がる前に、ドレイン電流は飽和電流に達してしまう。このため、 $N$  型トランジスタ  $HVN1$  は、ドレイン - ソース間電圧が大きく、且つ、ドレイン電流が大きい状態が存在する。これにより  $N$  型トランジスタのオン耐圧のマージンが小さいと正常に動作しなくなる。

10

## 【0007】

図10に  $N$  型トランジスタ  $HVN1$  の動作点を示す。横軸にドレイン - ソース間電圧  $V_{ds}$ 、縦軸にドレイン電流  $I_{ds}$  を示す。 $V_{ds} = V_H$ 、 $I_{ds} = 0$  の点  $A$  から、ドレイン電流  $I_{ds}$  が飽和電流に達する点  $B$  を経由して、 $V_{ds} = 0$ 、 $I_{ds} = 0$  の点  $C$  に至る。点  $B$  では、ドレイン - ソース間電圧が大きく、且つ、ドレイン電流が大きい状態のため、オン耐圧マージンが小さいと正常に動作しなくなる。

## 【0008】

一方、 $N$  型トランジスタ  $HVN2$  は、駆動する負荷が小さいため、ドレイン電流  $I_{ds}$  が飽和電流に達する前に、ドレイン - ソース間電圧  $V_{ds}$  が下がるため、ドレイン - ソース間電圧が大きく、且つ、ドレイン電流が大きい状態が存在しない。

20

## 【0009】

図11に、 $N$  型トランジスタ  $HVN2$  の動作点を示す。横軸にドレイン - ソース間電圧  $V_{ds}$ 、縦軸にドレイン電流  $I_{ds}$  を示す。 $V_{ds} = V_H$ 、 $I_{ds} = 0$  の点  $A$  から、ドレイン電流  $I_{ds}$  が飽和電流に達する点  $B$  を経由して、 $V_{ds} = 0$ 、 $I_{ds} = 0$  の点  $C$  に至る。点  $B$  では、ドレイン - ソース間電圧が下がっているため、 $N$  型トランジスタ  $HVN1$  と比較して、オン耐圧マージンに対する配慮は必要ではない。

## 【0010】

尚、上記の特許文献1は、バッファ回路を新たに設けることで素子破壊の問題を解決しようとした例であるが、新たに設けたバッファ回路の占める面積の分、回路面積全体のオーバーヘッドの点で課題が残ると考えられる。

30

## 【課題を解決するための手段】

## 【0011】

本発明の代表的なものの一例を示せば以下の通りである。即ち、本発明の半導体集積回路装置は、出力端子と、前記出力端子に接続された出力トランジスタと、前記出力トランジスタの入力レベルを変更するレベルシフト回路とを含んで成る負荷駆動回路と、ソースが第1の電源に接続された第2の  $P$  型  $MOS$  トランジスタとソースが前記第1の電源より電位の低い第2の電源に接続された第1の  $N$  型  $MOS$  トランジスタとが互いのドレインで接続されて成る第1のインバータを含んで成るレベルシフト駆動回路と、前記第1のインバータを構成する前記第2の  $P$  型  $MOS$  トランジスタおよび前記第1の  $N$  型  $MOS$  トランジスタのゲートと電気的に共通接続された入力端子とを備え、前記レベルシフト回路は、ソースが前記第2の電源に共通接続された第1および第2の負荷駆動  $N$  型  $MOS$  トランジスタを含み、かつ、前記第1の負荷駆動  $N$  型  $MOS$  トランジスタのドレインが前記出力トランジスタのゲートに接続され、前記レベルシフト駆動回路は、前記第1のインバータの共通ドレインにて前記レベルシフト回路を構成する前記第1の負荷駆動  $N$  型  $MOS$  トランジスタのゲートと接続され、かつ、前記第1のインバータの共通ドレインに発生する電圧を抑制するレベルシフト駆動電圧抑制回路を含むことを特徴とする。

40

## 【0012】

別の観点から捉えれば、本発明の半導体集積回路装置は、負荷に高低の電圧を供給する回路であって、高圧電源と出力端子の間に第1の半導体スイッチング素子と、出力端子とグラウンドの間に第2の半導体スイッチング素子と、第1の半導体スイッチング素子のゲー

50

トを駆動する第1の高圧PMOSと、第1の半導体スイッチング素子のゲートを駆動する第1の高圧NMOSと、第1の高圧PMOSと差動動作する第2の高圧PMOSと、第1の高圧NMOSと差動動作する第2の高圧NMOSと、第1の高圧NMOSのゲートに印加される電圧を抑制する構成を有することを特徴とする。

【0013】

また、本発明のスキンドライバ半導体集積回路装置は、上記の出力端子と、負荷駆動回路と、レベルシフト駆動回路と、入力端子とを備えた回路が複数組み並列配置されて共通の半導体基板上に一体に集積形成されて成る半導体集積回路装置であることを特徴とする。

【発明の効果】

10

【0014】

本発明によれば、オン耐圧が高い半導体装置を提供できることである。

【発明を実施するための最良の形態】

【0015】

本発明の半導体集積回路装置は、出力端子と、その出力端子に接続された出力トランジスタと、その出力トランジスタの入力レベルを変更するレベルシフト回路とを含んで成る負荷駆動回路と、ソースが第1の電源に接続された第2のP型MOSトランジスタとソースが第1の電源より電位の低い第2の電源に接続された第1のN型MOSトランジスタとが互いのドレインで接続されて成る第1のインバータを含んで成るレベルシフト駆動回路と、第1のインバータを構成する第2のP型MOSトランジスタおよび第1のN型MOSトランジスタのゲートと電気的に共通接続された入力端子とを備える。レベルシフト回路は、ソースが第2の電源に共通接続された第1および第2の負荷駆動N型MOSトランジスタを含み、かつ、第1の負荷駆動N型MOSトランジスタのドレインが出力トランジスタのゲートに接続されて構成される。レベルシフト駆動回路は、第1のインバータの共通ドレインにてレベルシフト回路を構成する第1の負荷駆動N型MOSトランジスタのゲートと接続され、かつ、第1のインバータの共通ドレインに発生する電圧を抑制するレベルシフト駆動電圧抑制回路を含んで構成される。

20

【0016】

レベルシフト駆動電圧抑制回路は、ソースが第1の電源に電気的に接続され、かつ、ドレインが第1のインバータの共通ドレインに接続され、かつ、ゲートが入力端子と接続された第1のP型MOSトランジスタと、出力側が第1のインバータを構成する第2のP型MOSトランジスタおよび第1のN型MOSトランジスタのゲートと共通接続され、かつ、入力側が入力端子と接続された遅延素子とを含んで構成されるのが好適である。

30

【0017】

第1のP型MOSトランジスタは、第1の電源とソースで直接接続されてもよいが、例えば、アノード側が第1の電源に接続され、かつ、カソード側が第1のP型MOSトランジスタのソースに接続されたダイオードを介して第1の電源と電気的に接続されるように構成すればより好適である。

【0018】

レベルシフト駆動電圧抑制回路は、ドレインが第1の電源に電気的に接続され、かつ、ソースが第1のインバータの共通ドレインに接続され、かつ、ゲートが第2のインバータを介して入力端子と電気的に接続された第2のN型MOSトランジスタと、出力側が第1のインバータを構成する第2のP型MOSトランジスタおよび第1のN型MOSトランジスタのゲートと共通接続され、かつ、入力側が入力端子と接続された遅延素子とを含んで構成されるようにしても好適である。

40

【0019】

レベルシフト駆動電圧抑制回路は、ソースが第1の電源に電気的に接続され、かつ、ドレインが第1のインバータの共通ドレインに接続され、かつ、ゲートが入力端子と接続された第1のP型MOSトランジスタと、出力側が第1のインバータを構成する第2のP型MOSトランジスタのゲートと接続され、かつ、入力側が入力端子と接続された遅延素子

50



と、出力側が第1のインバータを構成する第1のN型MOSトランジスタのゲートと接続され、かつ、入力側が入力端子と遅延素子の出力とに接続されたANDゲート素子とを含んで構成されても好適である。この場合、第1のP型MOSトランジスタは、アノード側が第1の電源に接続され、かつ、カソード側が第1のP型MOSトランジスタのソースに接続されたダイオードを介して第1の電源と電氣的に接続される。

#### 【0020】

レベルシフト駆動電圧抑制回路は、ドレインが第1の電源に電氣的に接続され、かつ、ソースが第1のインバータの共通ドレインに接続され、かつ、ゲートが第2のインバータを介して入力端子と電氣的に接続された第2のN型MOSトランジスタと、出力側が第1のインバータを構成する第2のP型MOSトランジスタのゲートと接続され、かつ、入力側が入力端子と接続された遅延素子と、出力側が第1のインバータを構成する第1のN型MOSトランジスタのゲートと接続され、かつ、入力側が入力端子と遅延素子の出力とに接続されたANDゲート素子とを含んで構成されても好適である。

10

#### 【0021】

別の観点から捉えるならば、本発明の半導体集積回路装置は、負荷に高低の電圧を供給する回路であって、第1の電源と出力端子との間に接続された第1の半導体スイッチング素子と、出力端子と前記第1の電源より電位の低い第2の電源との間に接続された第2の半導体スイッチング素子と、第1の半導体スイッチング素子のゲートを駆動する第1の高圧PMOSと、第1の半導体スイッチング素子のゲートを駆動する第1の高圧NMOSと、第1の高圧PMOSと差動動作する第2の高圧PMOSと、第1の高圧NMOSと差動動作する第2の高圧NMOSと、ソースが第1の電源に接続された第2のP型MOSトランジスタとソースが第2の電源に接続された第1のN型MOSトランジスタとが互いのドレインで接続されて成る第1のインバータと、第1の高圧NMOSのゲートに印加される電圧を抑制するレベルシフト駆動電圧抑制回路とを含んで成るレベルシフト駆動回路とを備えて構成される。

20

#### 【0022】

以下、本発明の実施例を図面を用いて詳細に説明する。実施例の各ブロックを構成する回路素子は、特に制限されないが、公知のCMOS（相補型MOSトランジスタ）等の集積回路技術によって、単結晶シリコンのような1個の半導体基板上に形成される。

#### 【実施例1】

30

#### 【0023】

図1は本発明の半導体集積回路装置の一例である第一の実施例を示す図である。本実施例の半導体集積回路800は、5V程度の電圧VDDが印加されるレベルシフト駆動回路200と、100V以上の高圧電源VHが印加される負荷駆動回路100の二つの部分を含んで構成されている。特にレベルシフト回路駆動200の構成に特徴を有する。以下に夫々の回路について説明する。

#### 【0024】

負荷駆動回路100はレベルシフト回路9とスイッチング素子1、2、ダイオード3、4、8、抵抗5、ツェナー7によって構成される。レベルシフト回路9は、ソースがGNDに接地された二つのN型トランジスタHVN1、HVN2と、ソースが高圧電源VHに接続された二つのP型トランジスタHVP1、HVP2によって構成される。N型トランジスタHVN1とP型トランジスタHVP1のドレインと、P型トランジスタHVP2のゲートと、スイッチング素子1のゲートは接続している。N型トランジスタHVN2とP型トランジスタHVP2のドレインは接続されており、P型トランジスタHVP1のゲートに接続している。

40

#### 【0025】

レベルシフト駆動回路200は、二つのP型トランジスタP1、P2と、N型トランジスタN1と遅延素子10によって構成されている。P型トランジスタP1、P2と、N型トランジスタN1のドレインは前記N型トランジスタHVN1のゲートとノードCで接続されている。P型トランジスタP1、P2のソースは、電源VDDに接続されている。N

50

型トランジスタN1のソースはGNDに接地されている。P型トランジスタP2のゲートと、N型トランジスタN1のゲートは、遅延素子10の出力とノードBで接続されている。P型トランジスタP1のゲートは入力信号IN1と接続されている。

【0026】

以上のように構成された回路について、以下、図2を用いて動作を説明する。まず、入力信号IN1がHiレベルにある定常時のt1では、P型トランジスタP1、P2はOFF、N型トランジスタN1はONしており、ノードCはLoレベルであるため、N型トランジスタHVN1はOFFである。IN2がHiレベル、IN3がLoレベルであれば、N型トランジスタHVN2はON、P型トランジスタHVP1はON、P型トランジスタHVP2はOFF、スイッチング素子1はON、スイッチング素子2はOFFであり、出力DOU TはHiレベルとなる。

10

【0027】

入力信号IN1がLoレベルに切り替わった直後の時刻t2では、P型トランジスタP1はON、ノードBはHiレベルであるためP型トランジスタP2はOFF、N型トランジスタN1はONである。P型トランジスタP1とN型トランジスタN1が共にONであるため、ノードCはGNDレベルとVDDレベルの中間電位VMIDである。この中間電位VMIDをN型トランジスタHVN1の閾値電圧Vthよりも大きいレベルに設定することでN型トランジスタHVN1はスイッチング素子1を駆動するのに十分なドレイン電流を確保しつつ、オン耐圧により正常に動作しなくなることを防止できるレベルにドレイン電流を抑制できる。また、中間電位VMIDに到達する時間を短くできるため、遅延時間を短くできる利点も兼ね備える。N型トランジスタHVN1がONすることで、スイッチング素子1のゲート容量をドライブし、ドレイン-ソース間電位は徐々に低くなる。ゲート-ソース間電圧VgsをVDDよりも低いVMIDに抑制しているため、ドレイン電流Idsは小さい状態であり、N型トランジスタHVN1は、Vdsが大きく、且つ、Idsが大きい状態を回避する。入力信号IN2は、Loレベルに設定することでN型トランジスタHVN2をオフとし、レベルシフトの反転を行なう。

20

【0028】

図2の時刻t3では、入力信号IN1はLoレベルであるため、P型トランジスタP1はONとなる。ノードBもLoレベルであるため、P型トランジスタP2はON、N型トランジスタN1はOFFである。ノードCはVDDとなり、N型トランジスタHVN1のドレイン電流Idsは大きくなり、N型トランジスタHVN1のドレイン-ソース間電圧Vdsを早くLoレベルに落とし、スイッチング素子1を早くOFFする。時刻t4は、N型トランジスタHVN1をOFFした状態の定常状態である。

30

【0029】

入力信号IN3は、スイッチング素子1、2が同時にONしないタイミングでHiとし、出力DOU TをLoレベルに固定する。

【0030】

図3に時刻t1から時刻t4までのN型トランジスタHVN1の動作点を示す。横軸は、ドレイン-ソース間電圧Vdsであり、縦軸は、ドレイン電流Idsである。時刻t1では、Vds = VH、Ids = 0であり、時刻t2でゲート-ソース間電圧Vgs = VMIDで抑制された飽和電流に達し、抑制された飽和電流Idsで、ドレイン-ソース電圧Vdsを下げる。時刻t3の、Vgs = VDDの大きい飽和電流を経由し、Vds = 0、Ids = 0の時刻t4に至る。Vdsが大きく、且つ、Idsが大きい状態を回避し、オン耐圧マージン不足により正常に動作しなくなることを防止する。

40

【0031】

以上により、図1のレベルシフト回路において、スイッチング素子1を駆動するN型トランジスタHVN1のドレイン電流が大きく、且つ、ドレイン-ソース間電圧が大きい状態を回避し、N型トランジスタのオン耐圧不足による破壊を予防する。

〔実施例1の変形例1〕

図4は、前記第1の実施例の一変形例である変形例1を示す図である。

50

## 【 0 0 3 2 】

本変形例は、前記第 1 の実施例のレベルシフト駆動回路 2 0 0 に変更を加えた変形例である。すなわち、図 4 の P 型トランジスタ P 1 のドレインと電源 V D D の間にダイオード D 1 を接続している。これにより、P 型トランジスタ P 1 と N 型トランジスタ N 1 が同時に O N したときにノード C の電位はダイオードの電圧降下分だけ低下し、N 型トランジスタ H V N 1 のゲート電圧上昇を抑制することが可能となる。

## 【 0 0 3 3 】

回路の動作は、第 1 の実施例と同じであるため省略するが、以上のように構成された図 4 のスイッチング素子 1 を駆動する N 型トランジスタ H V N 1 のドレイン電流が大きく、且つ、ドレイン - ソース間電圧が大きい状態を回避し、N 型トランジスタのオン耐圧不足により正常に動作しなくなることを防止する。

10

〔実施例 1 の変形例 2 〕

図 5 は、前記第 1 の実施例の他の一変形例である変形例 2 を示す図である。

## 【 0 0 3 4 】

本変形例は、前記第 1 の実施例のレベルシフト駆動回路 2 0 0 に変更を加えた他の変形例である。電源 V D D とノード C との間に第 1 の実施例の P 型トランジスタ P 1 に代えて N 型トランジスタ N 2 を、ドレインが V D D と接続され、かつ、ソースがノード C と接続されるように接続し、さらに、入力信号 I N 1 と N 型トランジスタ N 2 のゲートとの間には、インバータ I N V 1 を、当該インバータ I N V 1 の入力側が入力信号 I N 1 と接続され、かつ、出力側が N 型トランジスタ N 2 のゲートと接続されるように接続する。

20

## 【 0 0 3 5 】

入力信号 I N 1 と、ノード B、ノード C の動作は、前記第 1 の実施例と同一であるため省略するが、N 型トランジスタ N 1 と N 型トランジスタ N 2 が同時に O N したときのノード C の電位は、N 型トランジスタ N 2 の閾値電圧分だけ低下し、N 型トランジスタ H V N 1 のゲート電圧上昇を抑制することが可能となる。

## 【 0 0 3 6 】

以上のように構成された図 5 のスイッチング素子 1 を駆動する N 型トランジスタ H V N 1 のドレイン電流が大きく、且つ、ドレイン - ソース間電圧が大きい状態を回避し、N 型トランジスタのオン耐圧不足により正常に動作しなくなることを防止する。

## 【実施例 2 〕

30

## 【 0 0 3 7 】

図 6 は本発明の半導体集積回路装置の他の一例である第 2 の実施例を示す図である。

## 【 0 0 3 8 】

本実施例の半導体集積回路 8 0 0 は、5 V 程度の電圧 V D D が印加されるレベルシフト駆動回路 2 0 0 と、1 0 0 V 以上の高圧電源 V H が印加される負荷駆動回路 1 0 0 の二つの部分を含んで構成されている。負荷駆動回路 1 0 0 は、前記第 1 の実施例と同一であるため、ここでは説明を省略する。レベルシフト駆動回路 2 0 0 は、二つの P 型トランジスタ P 1、P 2 と、N 型トランジスタ N 1 と、ダイオード D 1 と、AND 素子 A N D 1、遅延素子 1 0 で構成される。レベルシフト 9 を構成する N 型トランジスタ H V N 1 のゲートは、P 型トランジスタ P 1 のドレインと、P 型トランジスタ P 2 のドレインと、N 型トランジスタ N 1 のドレインとノード C で接続する。P 型トランジスタ P 2 のソースは、電源 V D D と接続する。N 型トランジスタ N 1 のソースは、G N D と接地する。ダイオード D 1 は、P 型トランジスタ P 1 のソースと、電源 V D D と接続する。遅延素子 1 0 は、入力信号 I N 1 とノード B と接続する。AND 素子 A N D 1 は入力信号 I N 1 とノード B を入力として接続する。AND 1 の出力ノード D は、N 型トランジスタ N 1 のゲートと接続する。

40

## 【 0 0 3 9 】

以上のように構成された回路について、以下、図 7 を用いて動作を説明する。まず、入力信号 I N 1 が H i レベルにある定常時の t 1 では、P 型トランジスタ P 1、P 2 は O F F、N 型トランジスタ N 1 は O N しており、ノード C は L o レベルである。I N 2 が H i

50

レベル、IN3がLoレベルであれば、N型トランジスタHVN2はON、P型トランジスタHVP1はON、P型トランジスタHVP2はOFF、スイッチング素子1はON、スイッチング素子2はOFFであり、出力DOUThiレベルとなる。

【0040】

入力信号IN1がHiレベルからLoレベルに切り替わる時刻t2から、遅延素子10の出力ノードBがLoレベルに切り替わる時刻t3までの時間は、P型トランジスタP1はON、P型トランジスタP2はOFF、N型トランジスタN1はOFFである。ノードCの電位は、ダイオードD1の電圧降下分だけVDDよりも低いVMIDとなる。VMIDをレベルシフトを構成するN型トランジスタHVN1の閾値電圧Vthよりも大きいレベルに設定することでN型トランジスタHVN1はスイッチング素子1を駆動するのに十分なドレイン電流を確保しつつ、オン耐圧により正常に動作しなくなることを防止できるレベルにドレイン電流を抑制できる。また、VMIDに到達する時間を短くできるため、遅延時間を短くできる利点も兼ね備える。N型トランジスタHVN1がONすることで、スイッチング素子1のゲート容量をドライブし、ドレイン-ソース間電位は徐々に低くなる。これにより、N型トランジスタHVN1は、ドレイン-ソース間電圧Vdsが大きく、且つ、ドレイン電流Idsが大きい状態を回避する。入力信号IN2は、Loレベルに設定することでN型トランジスタHVN2をオフとし、レベルシフトの反転を助ける。

10

【0041】

図7の時刻t3の直後では、入力信号IN1はLoレベルであるため、P型トランジスタP1はONである。ノードBもLoレベルであるため、P型トランジスタP2はONである。ノードDもLoレベルであるため、N型トランジスタN1はOFFである。ノードCはVDDとなり、N型トランジスタHVN1のドレイン電流Idsは大きくなり、N型トランジスタHVN1のドレイン-ソース間電圧Vdsを早くLoレベルに落とし、スイッチング素子1を早くOFFする。時刻t4は、N型トランジスタHVN1をOFFした状態の定常状態である。

20

【0042】

入力信号IN3は、スイッチング素子1、2が同時にオンしないタイミングでHiとし、出力DOUTをLoレベルに固定する。

【0043】

以上により、図6のレベルシフト回路において、スイッチング素子1を駆動するN型トランジスタHVN1のドレイン電流が大きく、且つ、ドレイン-ソース間電圧が大きい状態を回避し、N型トランジスタのオン耐圧不足により正常に動作しなくなることを防止する。

30

〔実施例2の変形例1〕

図8は前記第2の実施例の一変形例である変形例1を示す図である。

【0044】

本変形例は、前記第2の実施例のレベルシフト駆動回路200に変更を加えた変形例である。すなわち、N型トランジスタN2のソースをノードCと接続し、N型トランジスタN2のドレインと電源VDDを接続する。N型トランジスタN2のゲートと入力信号IN1の間には、インバータINV1を接続する。

40

【0045】

入力信号IN1と、ノードB、ノードD、ノードCの動作は、前記第2の実施例と同一であるため省略するが、N型トランジスタN2がON、P型トランジスタP1がOFF、N型トランジスタN1がONしたときのノードCの電位は、N型トランジスタN2の閾値電圧分だけ低下し、レベルシフトを構成するN型トランジスタHVN1のゲート電圧上昇を抑制することが可能となる。

【0046】

以上のように構成された図8のスイッチング素子1を駆動するN型トランジスタHVN1のドレイン電流が大きく、且つ、ドレイン-ソース間電圧が大きい状態を回避し、N型トランジスタのオン耐圧不足により正常に動作しなくなることを防止する。

50

## 【実施例 3】

## 【0047】

スキンドライバは、図12のように、図1、4、5、6、8のいずれかに記載の負荷駆動回路100とレベルシフト駆動回路200との直列接続が複数組み並列配置された構成になっている。個々のレベルシフト駆動回路a~d(309~312)は、それぞれ対応する個別の負荷駆動回路a~d(301~304)を構成するレベルシフト9をそれぞれ駆動し、また、個々の負荷駆動回路a~d(301~304)は、それぞれ個別の負荷305~308を駆動し、各々が一組の出力ビットを構成する。

## 【実施例 4】

## 【0048】

図4は本発明の負荷駆動回路100とレベルシフト駆動回路200との直列接続の1組あるいは複数組みが共通半導体基板上に集積・搭載された半導体集積回路装置をスキンドライバとして適用したプラズマディスプレイの一実施例を示す図である。図4において、プラズマディスプレイ400は、スキンドライバ401、アドレスドライバ402、サステイン回路403、405、電力回収回路404、406によって構成される。スキンドライバ401はプラズマパネル407上を横方向に走る走査線に接続され、アドレスドライバ402はプラズマパネル407上を縦方向に走るデータ線に接続され、サステイン回路405はプラズマパネル407上を横方向に走るサステイン線に接続される。

## 【0049】

プラズマパネル407の発光期間は、スキャン期間、サステイン期間に分かれ、スキャン期間では、スキンドライバ401は走査線を順にHi電位からLo電位に下げる。このとき、同時にLoに下げられる走査線は存在せず、一つの走査線のみがLo電位に下げられる。アドレスドライバ402は、スキンドライバ401によってLo電位に下げられたプラズマパネル407の位置における色情報をデータ線に供給する。スキンドライバ401によってLo電位に下げられた走査線とアドレスドライバ402によって色情報が供給されたデータ線の交点が予備放電によって発光する。プラズマパネル407上のすべての位置で予備放電が完了した後、プラズマパネル407の発光期間はサステイン期間に移る。サステイン期間では、スキャン期間に予備放電された発光が継続して行なわれ、プラズマパネル407上に画像が表示される。

## 【図面の簡単な説明】

## 【0050】

【図1】本発明の半導体集積回路装置の一実施例(実施例1)を示す図である。

【図2】図1の動作を説明するための動作波形図である。

【図3】図1のHVN1の動作を説明するための動作図である。

【図4】本発明の実施例1の一変形例(変形例1)を示す図である。

【図5】本発明の実施例1の一変形例(変形例2)を示す図である。

【図6】本発明の半導体集積回路装置の一実施例(実施例2)を示す図である。

【図7】図6の動作を説明するための動作波形図である。

【図8】本発明の実施例2の一変形例(変形例1)を示す図である。

【図9】従来の半導体集積回路装置の例を示す図である。

【図10】図9のHVN1の動作を説明するための動作図である。

【図11】図9のHVN2の動作を説明するための動作図である。

【図12】本発明の負荷駆動回路とレベルシフト駆動回路との直列接続を複数組み並列配置して成るスキンドライバ半導体集積回路装置の一実施例(実施例3)を示す図である。

【図13】本発明のスキンドライバ半導体集積回路装置を用いたプラズマディスプレイの一実施例(実施例4)を示す図である。

## 【符号の説明】

## 【0051】

1... IGBT、2... IGBT、3... ダイオード、4... ダイオード、5... 抵抗、7... ダイオード、10... 遅

10

20

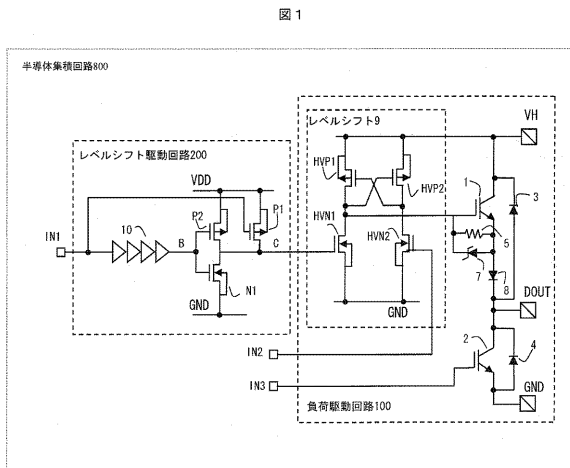
30

40

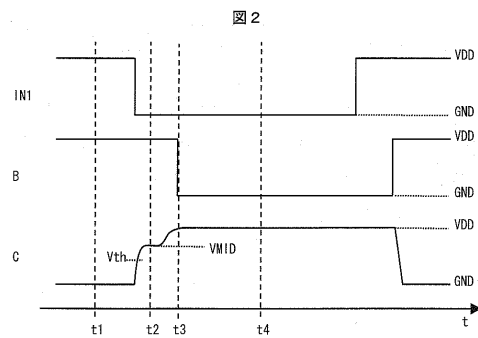
50

延素子、HVP1...P型トランジスタ、HVP2...P型トランジスタ、HVN1...N型トランジスタ、HVN2...N型トランジスタ、P1...P型トランジスタ、P2...P型トランジスタ、N1...N型トランジスタ、N2...N型トランジスタ、D1...ダイオード、INV1...インバータ回路、AND1...AND回路、VD D... 低圧電源、VH... 高圧電源。

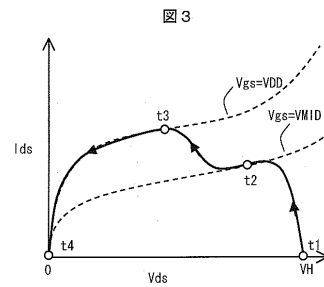
【 図 1 】



【 図 2 】

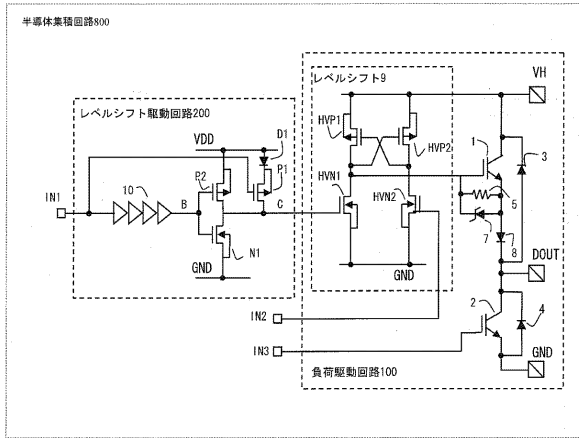


【 図 3 】



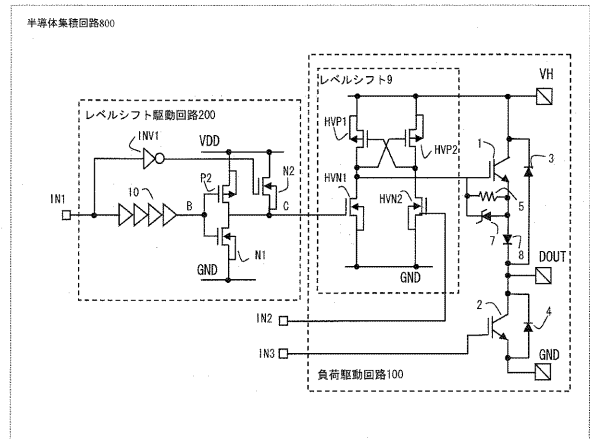
【 図 4 】

図 4



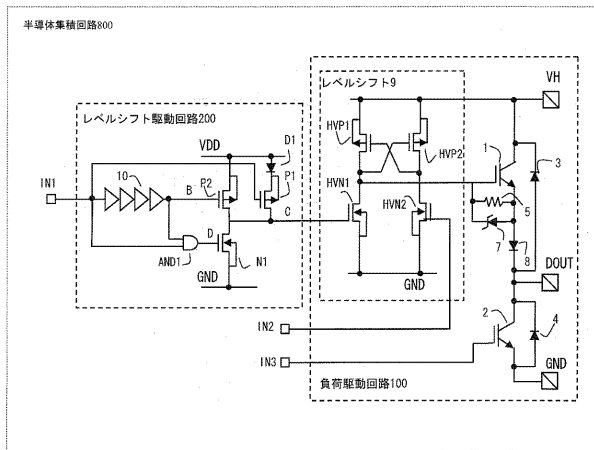
【 図 5 】

図 5



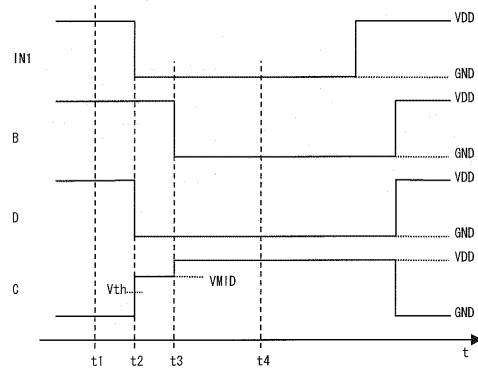
【 図 6 】

図 6



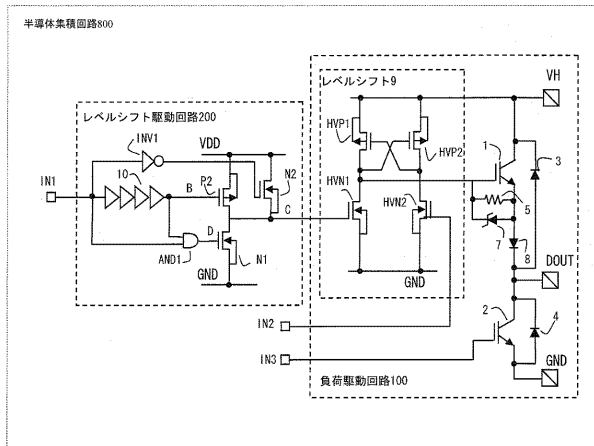
【 図 7 】

図 7



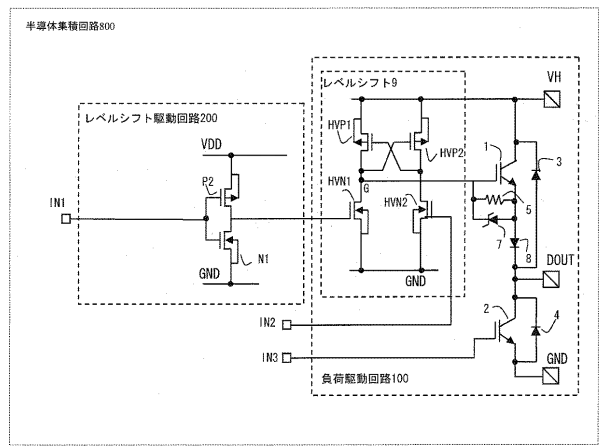
【 図 8 】

図 8



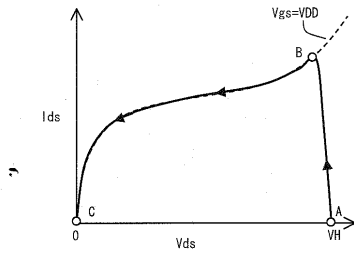
【 図 9 】

図 9



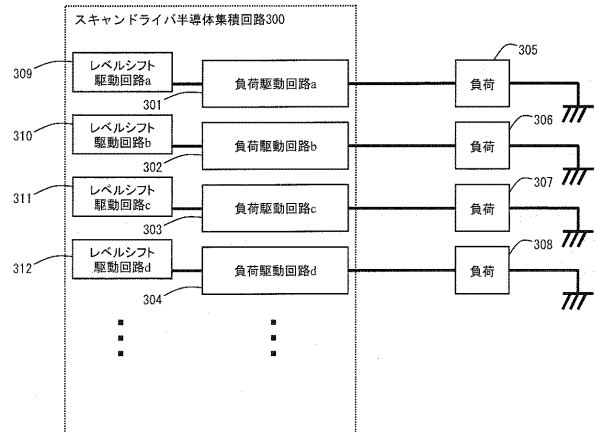
【 図 1 0 】

図 1 0



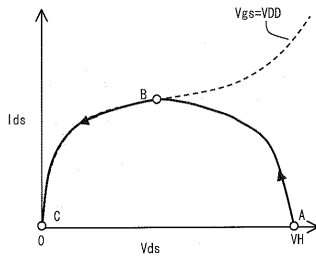
【 図 1 2 】

図 1 2



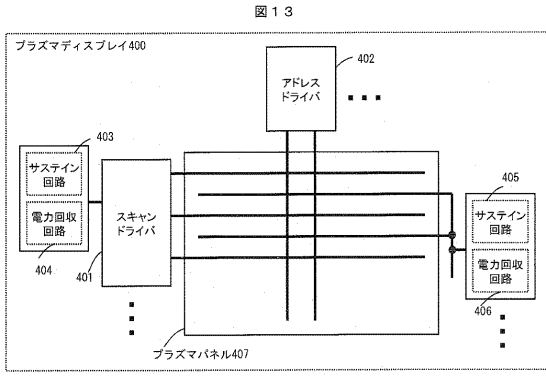
【 図 1 1 】

図 1 1





【 図 1 3 】



---

フロントページの続き

(72)発明者 矢吹 忍

東京都青梅市新町六丁目1番地の3 株式会社日立製作所マイクロデバイス事業部内

Fターム(参考) 5J055 AX34 BX16 CX24 DX09 DX22 DX72 DX83 EY01 EY12 EY13  
EY21 EZ20 EZ50 FX05 FX13 FX17 FX35 GX01 GX04 GX06  
5J056 AA00 AA05 AA32 BB46 CC05 CC21 DD13 DD29 DD55 EE04  
EE07 FF08 FF10 GG08 KK01 KK03