

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5493461号
(P5493461)

(45) 発行日 平成26年5月14日(2014.5.14)

(24) 登録日 平成26年3月14日(2014.3.14)

(51) Int. Cl.	F I
HO 1 L 27/14 (2006.01)	HO 1 L 27/14 D
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A
HO 4 N 5/374 (2011.01)	HO 4 N 5/335 7 4 O

請求項の数 12 (全 22 頁)

(21) 出願番号	特願2009-115843 (P2009-115843)	(73) 特許権者	000002185
(22) 出願日	平成21年5月12日(2009.5.12)		ソニー株式会社
(65) 公開番号	特開2010-267675 (P2010-267675A)		東京都港区港南1丁目7番1号
(43) 公開日	平成22年11月25日(2010.11.25)	(74) 代理人	110000925
審査請求日	平成24年3月1日(2012.3.1)		特許業務法人信友国際特許事務所
		(72) 発明者	水田 恭平
			東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	糸長 総一郎
			東京都港区港南1丁目7番1号 ソニー株式会社内
		審査官	小川 将之

最終頁に続く

(54) 【発明の名称】 固体撮像装置、電子機器及び固体撮像装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板と、

前記基板に形成された複数の画素を有する画素領域と、

前記基板に形成された複数の画素を有し前記画素領域の周囲に配置されたOPB領域と

前記画素領域および前記OPB領域の周囲に配置された周辺回路領域と、

絶縁膜及び該絶縁膜を介して積層された複数の配線膜を有し、前記画素領域上に形成された第1多層配線層と、

絶縁膜並びに該絶縁膜を介して積層された遮光膜及び配線膜を有し、厚さが前記第1多層配線層の厚さより厚く、前記OPB領域上に形成された第2多層配線層と、

絶縁膜及び該絶縁膜を介して積層された複数の配線膜を有し、厚さが前記第2多層配線層の厚さより厚く、前記周辺回路領域上に形成された第3多層配線層と、

前記第1多層配線層上に設けられたオンチップレンズと

を備える固体撮像装置。

【請求項2】

前記第1多層配線層の表面における前記画素の直上領域に凹部が形成されている

請求項1に記載の固体撮像装置。

【請求項3】

前記第1多層配線層の外周付近に形成される前記凹部が溝である

10

20

請求項 2 に記載の固体撮像装置。

【請求項 4】

前記凹部に光導波路材料が充填されている

請求項 2 または 3 に記載の固体撮像装置。

【請求項 5】

前記第 2 多層配線層が、前記絶縁膜を介して積層された複数の遮光膜を有し、前記第 2 多層配線層から前記第 1 多層配線層に向かう方向において、第 1 の遮光膜の前記方向の長さが前記第 1 の遮光膜より光入射側に位置する第 2 の遮光膜の前記方向の長さより長く、且つ、前記第 1 の遮光膜の前記第 1 多層配線層側の端部が、前記第 2 の遮光膜の前記第 1 多層配線層側の端部より、前記第 1 多層配線層に近い位置に位置する

10

請求項 1 ~ 4 の何れかに記載の固体撮像装置。

【請求項 6】

前記第 2 多層配線層の表面の前記第 2 の遮光膜が形成されていない領域に、前記第 2 多層配線層の表面高さを前記第 1 多層配線層側に向かって階段状に低くする段差部が形成されている

請求項 5 に記載の固体撮像装置。

【請求項 7】

前記第 1 及び第 2 多層配線層間の境界、及び、前記第 2 及び第 3 多層配線層間との境界の少なくとも一方に、テーパー形状の段差部が形成されている

請求項 1 ~ 6 の何れかに記載の固体撮像装置。

20

【請求項 8】

前記第 2 多層配線層の表面に、前記第 2 多層配線層の表面高さを前記第 1 多層配線層側に向かって階段状に低くする段差部が形成されている

請求項 1 ~ 7 の何れかに記載の固体撮像装置。

【請求項 9】

前記配線膜上にエッチングストッパー膜が形成されている

請求項 1 ~ 8 の何れかに記載の固体撮像装置。

【請求項 10】

光学レンズ系と、

固体撮像装置と、

30

前記固体撮像装置の出力信号に対して所定の処理を行う信号処理回路とを備え、

前記固体撮像装置が、

基板と、

前記基板に形成された複数の画素を有する画素領域と、

前記基板に形成された複数の画素を有し前記画素領域の周囲に配置された O P B 領域と

、
前記画素領域および前記 O P B 領域の周囲に配置された周辺回路領域と、

絶縁膜及び該絶縁膜を介して積層された複数の配線膜を有し、前記画素領域上に形成された第 1 多層配線層と、

絶縁膜並びに該絶縁膜を介して積層された遮光膜及び配線膜を有し、厚さが前記第 1 多層配線層の厚さより厚く、前記 O P B 領域上に形成された第 2 多層配線層と、

40

絶縁膜及び該絶縁膜を介して積層された複数の配線膜を有し、厚さが前記第 2 多層配線層の厚さより厚く、前記周辺回路領域上に形成された第 3 多層配線層と、

前記第 1 多層配線層上に設けられたオンチップレンズとを有する

電子機器。

【請求項 11】

基板における画素領域および当該画素領域の周囲に配置された O P B 領域の表面に複数の画素を形成する工程と、

絶縁膜を介して複数の配線膜及び遮光膜を積層して多層配線層を形成する工程と、

前記多層配線層の一部を除去して、前記絶縁膜を介して積層された前記複数の配線膜を

50

有する第1多層配線層を前記画素領域に形成し、前記絶縁膜を介して積層された前記遮光膜及び前記配線膜を有し、厚さが前記第1多層配線層の厚さより厚い第2多層配線層を前記OPB領域に形成し、前記絶縁膜を介して積層された前記遮光膜及び前記配線膜を有し、厚さが前記第2多層配線層の厚さより厚い第3多層配線層を前記画素領域および前記OPB領域の周囲に配置された周辺回路領域に形成する工程と、
前記第1多層配線層上にオンチップレンズを形成する工程と
 を含む固体撮像装置の製造方法。

【請求項12】

さらに、前記第1多層配線層の表面における前記画素の直上領域に凹部を形成する工程を含む

請求項11に記載の固体撮像装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えばCMOSイメージセンサ、CCDイメージセンサ等の固体撮像装置、それを備える電子機器、及び、固体撮像装置の製造方法に関する。

【背景技術】

【0002】

従来、固体撮像装置としては、例えば、CMOS (Complementary Metal-Oxide Semiconductor) イメージセンサやCCD (Charge Coupled Device) イメージセンサ等が開発されている。このような固体撮像装置では、半導体基板の表面にフォトダイオード(光電変換素子)が形成され、そのフォトダイオードに光が入射された際に、フォトダイオードで発生した信号電荷によって映像信号を得る構成になっている。そして、このような構成の固体撮像装置において、光学特性を向上させるための様々な構成が従来提案されている(例えば、特許文献1及び2参照)。

【0003】

図26に、特許文献1で提案されている固体撮像装置の概略構成断面図を示す。特許文献1に記載の固体撮像装置100は、半導体基板103の表面に1次元または2次元状に配列された光電変換素子104からなる受光部101と、その周辺に設けられたられた周辺回路部102とで構成される。また、固体撮像装置100は、受光部101上に層間膜111及び配線105からなる配線層を介して形成されたマイクロレンズ108及び/又はカラーフィルタ107を備える。なお、周辺回路部102の半導体基板103上には、層間膜111、エッチングストッパー層112、保護膜113及び配線106からなる配線層が形成される。

【0004】

そして、特許文献1に記載の固体撮像装置100では、受光部101の配線層の厚さ d_i を周辺回路部102の配線層の厚さ d_c より薄くする。これにより、マイクロレンズ108の集光率を向上させ、カラーフィルタ107の混色の問題を回避している。

【0005】

また、図27に、特許文献2で提案されている固体撮像装置の周辺回路部とセンサ部との境界付近の概略断面図を示す。特許文献2の固体撮像装置150では、周辺回路部151の基板160上に、複数の配線層161~163が平坦化膜層165を介して積層され、その積層膜の表面高さが、センサ部152に向かって階段状に低くなるように構成されている。このような構成にすることにより、周辺回路部151とセンサ部152との境界での急激な高さの変化を低減し、センサ部152上に形成される所定の上層膜164の膜厚をセンサ部152の全面に渡ってほぼ均一にして光学特性の向上を図っている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2000-150846号公報

10

20

30

40

50

【特許文献2】特開2004-273791号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

上述のように特許文献1及び2では、センサ部と周辺回路部との境界に段差を形成する技術を提案している。特許文献2では、この技術をアルミニウム（Al）配線プロセスで作製する固体撮像装置に適用しているが、この技術は銅（Cu）配線プロセスで作製される固体撮像装置においても適用可能である。図28に、上記技術を従来のCu配線プロセスで作製される固体撮像装置に適用した際の固体撮像装置の構成断面図を示す。なお、図28には、固体撮像装置200がCMOSイメージセンサである場合の構成例を示す。

10

【0008】

従来の固体撮像装置200は、半導体基板201と、層間絶縁膜203及びキャッピング膜204を介して積層されたメタル膜205及び遮光膜206からなる多層配線層とを備える。また、固体撮像装置200は、パッシベーション膜207と、カラーフィルタ208の層と、オンチップレンズ209の層とを備える。そして、多層配線層、パッシベーション膜207、カラーフィルタ208の層及びオンチップレンズ209の層は、半導体基板201上にこの順で配置される。なお、図28には、多層配線層が5つの配線層1MT~5MTから構成される例を示す。

【0009】

また、従来の固体撮像装置200は、半導体基板201上において、センサ部領域220と、例えば垂直駆動回路、水平駆動回路等を含む周辺回路領域230とで構成される。センサ部領域220内の半導体基板201の表面には、光電変換素子であるフォトダイオード202と、画素トランジスタ（MOSトランジスタ：不図示）とからなる複数の画素240が2次元状に配列される。

20

【0010】

また、センサ部領域220は、実際に映像信号を出力する有効画素領域221と、実際の映像信号を出力しない無効画素領域222とを有する。さらに、センサ部領域220は、黒レベルの基準信号を出力するオプティカルブラック領域223（以下、OPB（Optical Black）領域と記す）を有する。そして、無効画素領域222及びOPB領域223は、有効画素領域221の周辺の所望の位置に配置される。

30

【0011】

そして、固体撮像装置200では、センサ部領域220の多層配線層220aの厚さを、周辺回路領域230の多層配線層230aの厚さより薄くするので、センサ部領域220と周辺回路領域230との境界には段差部210が形成される。

【0012】

しかしながら、上述のような構成の固体撮像装置200では、OPB領域223の遮光膜206を配線層2MTより上の層に形成するので、フォトダイオード202とオンチップレンズ209との距離を十分に小さくすることができない。それゆえ、従来の固体撮像装置200では、フォトダイオード202での光学的感度を十分に向上させることができないという問題が生じる。

40

【0013】

本発明は、上記問題を解決するためになされたものであり、本発明の目的は、感度のより優れた固体撮像装置、それを備える電子機器、及び、固体撮像装置の製造方法を提供することである。

【課題を解決するための手段】

【0014】

上記課題を解決するために、本発明の固体撮像装置は、基板と、基板に形成された複数の画素と、画素上に形成された第1多層配線層と、第1多層配線層の周辺に配置され且つ画素上に形成された第2多層配線層とを備える構成とする。第1多層配線層は、絶縁膜及び該絶縁膜を介して積層された複数の配線膜を有する構成とし、第2多層配線層は、絶縁

50

膜並びに該絶縁膜を介して積層された遮光膜及び配線膜を有する構成とする。そして、第2多層配線層の厚さが第1多層配線層の厚さより厚くなるように構成する。

【0015】

また、本発明の電子機器は、光学レンズ系と、上記本発明の固体撮像装置と、固体撮像装置の出力信号に対して所定の処理を行う信号処理回路とを備える構成とする。

【0016】

さらに、本発明の固体撮像装置の製造方法は、次の手順で行うものとする。まず、基板の表面に複数の画素を形成する。次いで、絶縁膜を介して複数の配線膜及び遮光膜を積層して多層配線層を形成する。そして、多層配線層の一部を除去して、絶縁膜を介して積層された複数の配線膜を有する第1多層配線層と、絶縁膜を介して積層された遮光膜及び配線膜を有し、厚さが第1多層配線層の厚さより厚い第2多層配線層とを形成する。

10

【0017】

上述のように、本発明では、第1多層配線層の厚さを、遮光膜を有する第2多層配線層の厚さより薄くする。これにより、第1多層配線層の領域において、光入射側表面から画素までの距離をより短くすることができる。

【発明の効果】

【0018】

本発明によれば、第1多層配線層の領域における光入射側表面から画素までの距離をより短くすることができるので、感度をより向上させることができる。

【図面の簡単な説明】

20

【0019】

【図1】第1の実施形態に係る固体撮像装置の概略構成図である。

【図2】図1中のA-A断面図である。

【図3】第1の実施形態の固体撮像装置を構成する各領域と、段差部及び凹部との位置関係を示す図である。

【図4】第1の実施形態の固体撮像装置の製造方法を説明するための図である。

【図5】第1の実施形態の固体撮像装置の製造方法を説明するための図である。

【図6】第1の実施形態の固体撮像装置の製造方法を説明するための図である。

【図7】第1の実施形態の固体撮像装置の製造方法を説明するための図である。

【図8】第1の実施形態の固体撮像装置の製造方法を説明するための図である。

30

【図9】第1の実施形態の固体撮像装置の製造方法を説明するための図である。

【図10】第1の実施形態の固体撮像装置の製造方法を説明するための図である。

【図11】第1の実施形態の固体撮像装置の製造方法を説明するための図である。

【図12】第1の実施形態の固体撮像装置の製造方法を説明するための図である。

【図13】第2の実施形態に係る固体撮像装置の概略断面構成図である。

【図14】第2の実施形態の固体撮像装置の製造方法を説明するための図である。

【図15】第2の実施形態の固体撮像装置の製造方法を説明するための図である。

【図16】第2の実施形態の固体撮像装置の無効画素領域近傍における塗布膜の形状を示す概略断面図である。

【図17】無効画素領域に凹部を設けない場合の無効画素領域近傍における塗布膜の形状を示す概略断面図である。

40

【図18】変形例1の固体撮像装置のOPB領域の概略構成図である。

【図19】比較例の固体撮像装置のOPB領域の概略構成図である。

【図20】変形例1の固体撮像装置において、OPB領域内に段差部を設けた場合の概略構成図である。

【図21】変形例2の固体撮像装置において、無効画素領域とOPB領域との境界に形成された段差部の構成図である。

【図22】第1の実施形態の固体撮像装置において、無効画素領域とOPB領域との境界に形成された段差部の構成図である。

【図23】変形例3の固体撮像装置において、周辺回路領域とOPB領域との境界に形成

50

された段差部の構成図である。

【図 2 4】変形例 4 の固体撮像装置における有効画素領域内の凹部の構成図である。

【図 2 5】第 3 の実施形態に係る電子機器の概略構成図である。

【図 2 6】従来の固体撮像装置の概略構成図である。

【図 2 7】従来の固体撮像装置の概略構成図である。

【図 2 8】従来の固体撮像装置の概略構成図である。

【発明を実施するための形態】

【0020】

以下に、本発明の実施形態に係る固体撮像装置及びそれを備える電子機器の構成例を、
図面を参照しながら以下の順で説明する。なお、本発明は以下の例に限定されるものでは
ない。

10

1．固体撮像装置の基本構成例

2．光導波路層を含む固体撮像装置の構成例

3．本発明の固体撮像装置を備える電子機器の一構成例

【0021】

< 1．第 1 の実施形態 >

[固体撮像装置の構成]

図 1 に、第 1 の実施形態に係る固体撮像装置の概略構成を示す。なお、本実施形態では、
固体撮像装置 10 として、CMOS イメージセンサを例に挙げて説明する。固体撮像装
置 10 は、主に、半導体基板 11 に形成されたセンサ部領域 20 (画素アレイ領域) と、
その周辺に配置された周辺回路領域 30 とを有する。

20

【0022】

センサ部領域 20 は、実際に映像信号を出力する有効画素領域 21 と、映像信号を出力
しない無効画素領域 22 と、黒レベルの基準信号を出力する OPB 領域 23 とで構成され
る。そして、無効画素領域 22 及び OPB 領域 23 は、有効画素領域 21 の周辺において
所望の位置に形成される。なお、無効画素領域 22 及び OPB 領域 23 の配置位置は、デ
バイスの特性によって、変更可能である。また、センサ部領域 20 の半導体基板 11 の表
面には、後述する複数の画素 40 が 2 次元状にアレイ配置される。

【0023】

周辺回路領域 30 は、図示しないが、例えば、垂直駆動回路、カラム信号処理回路、水
平駆動回路、出力回路、制御回路等で構成される。

30

【0024】

垂直駆動回路は、例えばシフトレジスタ等で構成され、センサ部領域 20 の各画素を行
単位で順次垂直方向 (例えば図 1 中の y 方向) に選択走査する。そして、各画素のフォ
トダイオードにおいて受光量に応じて生成した信号電荷に基づく画素信号をカラム信号処理
回路に供給する。カラム信号処理回路は、例えば、画素列毎に配置されており、1 行分の
画素から出力される信号に対して、画素列毎に OPB 領域 23 の画素からの信号に基づい
てノイズ除去や信号増幅等の信号処理を行う。水平駆動回路は、例えばシフトレジスタ等
で構成され、水平走査パルスを順次出力することによって、複数のカラム信号処理回路の
中から所定の順番で所定のカラム信号処理回路を選択して画素信号を出力させる。出力回
路は、各カラム信号処理回路から順次供給 (出力) される信号に対し、所定の信号処理を
行って出力する。そして、制御回路は、垂直同期信号、水平同期信号及びマスタクロック
に基づいて、上記各回路を制御する。

40

【0025】

図 2 に、本実施形態の固体撮像装置 10 の概略断面構成を示す。なお、図 2 は、図 1 中
の A - A 線に沿う断面図であり、センサ部領域 20 と周辺回路領域 30 との境界周辺の
断面図である。

【0026】

固体撮像装置 10 は、半導体基板 11 と、多層配線層 21 a, 23 a, 30 a と、パッ
シベーション膜 51 と、カラーフィルタ 52 の層と、オンチップレンズ 53 の層とを備え

50

る。そして、多層配線層 2 1 a , 2 3 a , 3 0 a、パッシベーション膜 5 1、カラーフィルタ 5 2 の層及びオンチップレンズ 5 3 の層は、半導体基板 1 1 上にこの順で積層される。

【 0 0 2 7 】

半導体基板 1 1 (基板)は、例えばシリコン基板等で形成され、その表面には、フォトダイオード 4 1 及び画素トランジスタ (M O S トランジスタ:不図示)からなる複数の画素 4 0 が 2 次元状に配置される。

【 0 0 2 8 】

パッシベーション膜 5 1 は、例えば、後述する層間絶縁膜 4 2 の形成材料である酸化シリコン (S i O₂:屈折率 1.45)等よりも高い屈折率を有する材料、例えば窒化シリコン (S i N:屈折率 2.0)等で形成される。

10

【 0 0 2 9 】

カラーフィルタ 5 2 は、例えば色素を混合した感光型レジスト等で形成される。また、オンチップレンズ 5 3 は、例えば酸化シリコン (S i O₂)等で形成される。なお、本実施形態では、無効画素領域 2 2 にもオンチップレンズ 5 3 を形成する例を示すが、無効画素領域 2 2 にオンチップレンズ 5 3 を設けない構成にしてもよい。また、カラーフィルタ 5 2 に集光機能を持たせた場合には、オンチップレンズ 5 3 の層を設けなくてもよい。

【 0 0 3 0 】

そして、本実施形態では、半導体基板 1 1 上に形成される多層配線層 2 1 a , 2 3 a , 3 0 a の膜構成は、図 3 に示すように、固体撮像装置 1 0 を構成する領域により異なる。ここで、各領域に形成される多層配線層の膜構成について説明する。なお、本実施形態では、後述するように、多層配線層を 5 つの配線層 1 M T ~ 5 M T で構成する例を説明するが、本発明はこれに限定されず、配線層の数は、例えば用途、仕様等により適宜変更可能である。

20

【 0 0 3 1 】

センサ部領域 2 0 の有効画素領域 2 1 及び無効画素領域 2 2 上の多層配線層 2 1 a (第 1 多層配線層)は、メタル膜 4 4 (配線膜)を含む配線層 1 M T と、メタル膜 4 5 を含む配線層 2 M T とで構成される。配線層 2 M T は、キャッピング膜 4 3 及び層間絶縁膜 4 2 (絶縁膜)を介して配線層 1 M T 上に積層される。また、配線層 1 M T は、半導体基板 1 1 上に層間絶縁膜 4 2 を介して形成され、配線層 2 M T とパッシベーション膜 5 1 との間には、配線層 2 M T 側からキャッピング膜 4 3 及び層間絶縁膜 4 2 が形成される。

30

【 0 0 3 2 】

なお、多層配線層 2 1 a 内において、配線層 1 M T 及び 2 M T をそれぞれ構成するメタル膜 4 4 及び 4 5 は、オンチップレンズ 5 3 を介してフォトダイオード 4 1 へ入射される光を遮らない位置に形成される。具体的には、メタル膜 4 4 及び 4 5 を、オンチップレンズ 5 3 とフォトダイオード 4 1 とが対向する領域以外の位置に形成する。

【 0 0 3 3 】

さらに、本実施形態では、有効画素領域 2 1 及び無効画素領域 2 2 の多層配線層 2 1 a の表面に凹部 5 7 を形成する。なお、凹部 5 7 は、隣り合うメタル膜 4 5 の間に形成する。また、本実施形態では、凹部 5 7 の深さが配線層 1 M T 上に形成されたキャッピング膜 4 3 に到達するように凹部 5 7 を形成する。

40

【 0 0 3 4 】

センサ部領域 2 0 の O P B 領域 2 3 上の多層配線層 2 3 a (第 2 多層配線層)は、メタル膜 4 4 を含む配線層 1 M T と、メタル膜 4 5 を含む配線層 2 M T と、遮光膜 4 9 を含む配線層 3 M T と、遮光膜 5 0 を含む配線層 4 M T とで構成される。そして、配線層 1 M T ~ 4 M T は、この順で半導体基板 1 1 上に積層される。

【 0 0 3 5 】

なお、多層配線層 2 3 a において、各配線層間には、下の配線層側からキャッピング膜 4 3 及び層間絶縁膜 4 2 が設けられる。また、配線層 1 M T は、半導体基板 1 1 上に層間絶縁膜 4 2 を介して形成され、配線層 4 M T とパッシベーション膜 5 1 との間には、配線

50

層 4 M T 側からキャッピング膜 4 3 及び層間絶縁膜 4 2 が形成される。なお、多層配線層 2 3 a において、配線層 1 M T 及び 2 M T をそれぞれ構成するメタル膜 4 4 及び 4 5 は、フォトダイオード 4 1 の直上領域以外の位置に形成される。

【 0 0 3 6 】

周辺回路領域 3 0 上の多層配線層 3 0 a (第 3 多層配線層) は、メタル膜 4 4 を含む配線層 1 M T と、メタル膜 4 5 を含む配線層 2 M T と、メタル膜 4 6 を含む配線層 3 M T と、メタル膜 4 7 を含む配線層 4 M T とを備える。さらに、多層配線層 3 0 a は、メタル膜 4 8 を含む配線層 5 M T とで構成される。そして、多層配線層 3 0 a において、配線層 1 M T ~ 5 M T は、この順で、半導体基板 1 1 上に積層される。

【 0 0 3 7 】

なお、多層配線層 3 0 a において、各配線層間には、下の配線層側からキャッピング膜 4 3 及び層間絶縁膜 4 2 が設けられる。また、配線層 1 M T は、半導体基板 1 1 上に層間絶縁膜 4 2 を介して形成され、配線層 5 M T とパッシベーション膜 5 1 との間には、層間絶縁膜 4 2 が形成される。

【 0 0 3 8 】

上述した各領域の多層配線層において、メタル膜 4 4 ~ 4 8 及び遮光膜 4 9 , 5 0 は、例えば銅 (C u) 、アルミニウム (A l) 等で形成することができる。なお、メタル膜 4 4 ~ 4 8 及び遮光膜 4 9 , 5 0 を銅 (C u) で形成する場合、各膜の近傍に、例えば窒化チタン (T i N) 等からなる拡散防止膜 (不図示) を設けることが好ましい。拡散防止膜を設けることにより、銅の層間絶縁膜 4 2 への拡散を抑制することができる。

【 0 0 3 9 】

また、本実施形態では、配線層 3 M T の遮光膜 4 9 及び配線層 4 M T の遮光膜 5 0 の構成 (形状、寸法及び膜厚等) は同じとする。なお、遮光膜 4 9 及び 5 0 の構成としては、O P B 領域 2 3 の全面を覆うようなメタル膜で構成してもよいし、線状のメタル膜を格子状に配置して構成してもよい。また、信号パルスが印加されない配線、すなわち、使用されていない配線を遮光膜として用いてもよい。

【 0 0 4 0 】

層間絶縁膜 4 2 は、例えば酸化シリコン (S i O ₂) 等で形成される。また、キャッピング膜 4 3 は、例えば炭化ケイ素 (S i C) 等で形成される。キャッピング膜 4 3 は、各配線層上に形成し、エッチングストッパー層として用いる。このキャッピング膜 4 3 を設けることにより、多層配線層に段差部及び凹部を設ける際のエッチング工程の制御が容易になる。なお、本実施形態では、センサ部領域 2 0 において、全ての配線層上にキャッピング膜 4 3 を設ける構成例を示すが、本発明はこれに限定されず、キャッピング膜 4 3 を所定の配線層上のみ形成してもよいし、キャッピング膜 4 3 を設けない構成にしてもよい。

【 0 0 4 1 】

上述のように、本実施形態の固体撮像装置 1 0 では、周辺回路領域 3 0 、 O P B 領域 2 3 、並びに、有効画素領域 2 1 及び無効画素領域 2 2 上にそれぞれ形成される多層配線層 3 0 a 、 2 3 a 並びに 2 1 a の膜構成が互いに異なる。そして、多層配線層 3 0 a 、 2 3 a 及び 2 1 a の順で、その膜厚を薄くする。

【 0 0 4 2 】

その結果、周辺回路領域 3 0 及び O P B 領域 2 3 間の境界付近には、両領域間の多層配線層の厚さの違いにより第 1 段差部 5 5 が形成される。また、O P B 領域 2 3 及び無効画素領域 2 2 間の境界付近においても、両領域間の多層配線層の厚さの違いにより第 2 段差部 5 6 が形成される。さらに、本実施形態では、有効画素領域 2 1 及び無効画素領域 2 2 の多層配線層 2 1 a において、その表面に凹部 5 7 を形成する。

【 0 0 4 3 】

すなわち、本実施形態の固体撮像装置 1 0 では、周辺回路領域 3 0 からセンサ部領域 2 0 の有効画素領域 2 1 にかけて、多層配線層の表面高さが徐々に低下するように複数の段差部が形成され、さらに、有効画素領域 2 1 内に凹部 5 7 が形成される。

10

20

30

40

50

【 0 0 4 4 】

ここで、図 3 に、本実施形態の固体撮像装置 1 0 における、各構成領域と、第 1 及び第 2 段差部 5 5 及び 5 6、並びに、凹部 5 7 との位置関係を示す。図 3 は、固体撮像装置 1 0 の概略上面構成図であり、第 1 及び第 2 段差部 5 5 及び 5 6、並びに、凹部 5 7 は破線で示す。

【 0 0 4 5 】

本実施形態では、図 3 に示すように、第 1 段差部 5 5 は、センサ部領域 2 0 の外周部近傍に沿って形成され、第 2 段差部 5 6 は、有効画素領域 2 1 を囲むように形成される。また、第 2 段差部 5 6 で囲まれた有効画素領域 2 1 及び無効画素領域には、複数の凹部 5 7 が所定間隔で 2 次元状に配置される。なお、図 3 には、凹部 5 7 の開口形状が正方形状である例を示すが、本発明はこれに限定されず、凹部 5 7 の開口形状を例えば、円形状、多角形状等にしてもよいし、凹部 5 7 を溝で形成してもよい。

10

【 0 0 4 6 】

[固体撮像装置の製造方法]

次に、本実施形態の固体撮像装置 1 0 の製造方法を、図 4 ~ 1 2 を参照しながら説明する。図 4 ~ 1 2 は、固体撮像装置 1 0 の製造方法における各工程後の成膜状態を示す図である。なお、図 4 ~ 1 2 には、センサ部領域 2 0 と周辺回路領域 3 0 との境界周辺の概略断面図を示す。

【 0 0 4 7 】

まず、半導体基板 1 1 の表面のセンサ部領域 2 0 に、フォトダイオード 4 1 及び画素トランジスタ（不図示）からなる複数の画素 4 0 を 2 次元状に形成する。次いで、半導体基板 1 1 上に、例えばスパッタリング等の手法により、層間絶縁膜 4 2、メタル膜 4 4（配線層 1 M T）及びキャッピング膜 4 3 をこの順で形成する。さらに、配線層 1 M T の表面に形成されたキャッピング膜 4 3 上に、例えばスパッタリング等の手法により、層間絶縁膜 4 2、メタル膜 4 5（配線層 2 M T）及びキャッピング膜 4 3 をこの順で形成する。図 4 に、上記工程後の成膜状態を示す。

20

【 0 0 4 8 】

次いで、配線層 2 M T の表面に形成されたキャッピング膜 4 3 上に、例えばスパッタリング等の手法により、層間絶縁膜 4 2、メタル膜 4 6 及び遮光膜 4 9 を含む配線層 3 M T、並びに、キャッピング膜 4 3 をこの順で形成する。さらに、配線層 3 M T の表面に形成されたキャッピング膜 4 3 上に、例えばスパッタリング等の手法により、層間絶縁膜 4 2、メタル膜 4 7 及び遮光膜 5 0 を含む配線層 4 M T、並びに、キャッピング膜 4 3 をこの順で形成する。図 5 に、上記工程後の成膜状態を示す。

30

【 0 0 4 9 】

次いで、配線層 4 M T の表面に形成されたキャッピング膜 4 3 上に、例えばスパッタリング等の手法により、層間絶縁膜 4 2 及びメタル膜 4 8（配線層 5 M T）をこの順で形成する。さらに、本実施形態では、メタル膜 4 8（配線層 5 M T）上に、例えばスパッタリング等の手法により、層間絶縁膜 4 2 を形成する。図 6 に、上記工程後の成膜状態を示す。本実施形態では、上述した工程により、半導体基板 1 1 上に多層配線層を形成する。

【 0 0 5 0 】

次に、周辺回路領域 3 0 上をレジスト等でマスクし、多層配線層側の表面を、例えば、ドライエッチング、ウェットエッチング等によりエッチングする。これにより、センサ部領域 2 0 上に形成された多層配線層が、その最上に位置する層間絶縁膜 4 2 からエッチングされる。そして、配線層 4 M T の表面に形成されたキャッピング膜 4 3 上に、ある程度の膜厚を有する層間絶縁膜 4 2 を残して、エッチングを終了する。なお、層間絶縁膜 4 2 を残さないように、キャッピング膜 4 3 に到達するまでエッチングを行ってもよい。図 7 に、上記エッチング工程後の成膜状態を示す。この工程により、センサ部領域 2 0（O P B 領域 2 3）と周辺回路領域 3 0 との境界に第 1 段差部 5 5 を形成する。

40

【 0 0 5 1 】

次いで、周辺回路領域 3 0 及び O P B 領域 2 3 上をレジスト等でマスクし、多層配線層

50

側の表面を、例えば、ドライエッチング、ウェットエッチング等によりエッチングする。これにより、無効画素領域 2 2 及び有効画素領域 2 1 上に形成された多層配線層が、その最上に位置する層間絶縁膜 4 2 からエッチングされる。そして、配線層 2 M T の表面に形成されたキャッピング膜 4 3 上に、ある程度の膜厚を有する層間絶縁膜 4 2 を残して、エッチングを終了する。なお、層間絶縁膜 4 2 を残さないように、キャッピング膜 4 3 に到達するまでエッチングを行ってもよい。図 8 に、上記エッチング工程後の成膜状態を示す。この工程により、O P B 領域 2 3 と無効画素領域 2 2 との境界に第 2 段差部 5 6 を形成する。

【 0 0 5 2 】

その後、有効画素領域 2 1 及び無効画素領域 2 2 のフォトダイオード 4 1 の直上領域以外の領域をレジスト等でマスクし、多層配線層側の表面を、例えば、ドライエッチング、ウェットエッチング等によりエッチングする。これにより、マスク開口部の領域（フォトダイオード 4 1 の直上領域）がエッチングされる。そして、エッチングが配線層 1 M T の表面に形成されたキャッピング膜 4 3 に到達すればエッチングを終了する。図 9 に、上記エッチング工程後の成膜状態を示す。この工程により、有効画素領域 2 1 及び無効画素領域 2 2 のフォトダイオード 4 1 の直上領域に凹部 5 7 を形成する。なお、凹部 5 7 を形成する際、配線層 1 M T の表面に形成されたキャッピング膜 4 3 上に、ある程度の膜厚を有する層間絶縁膜 4 2 を残して、エッチングを終了してもよい。本実施形態では、上述のようにして、第 1 段差部 5 5、第 2 段差部 5 6 及び凹部 5 7 を所定位置に形成する。

【 0 0 5 3 】

次に、第 1 段差部 5 5、第 2 段差部 5 6 及び凹部 5 7 が形成された多層配線層上に、例えば C V D (Chemical Vapor Deposition) 法により、パッシベーション膜 5 1 を形成する。この際、パッシベーション膜 5 1 を、センサ部領域 2 0 及び周辺回路領域 3 0 の全面に渡って形成する。また、この際、凹部 5 7 がパッシベーション膜 5 1 で埋まり且つ有効画素領域 2 1 におけるパッシベーション膜 5 1 の表面が平坦になるような厚さで、パッシベーション膜 5 1 を形成する。図 1 0 に、上記工程後の成膜状態を示す。

【 0 0 5 4 】

次いで、パッシベーション膜 5 1 上に、例えば色素を混合した感光型レジストからなるカラーフィルタ材料を塗布して、露光及び現像する。これにより、無効画素領域 2 2 及び有効画素領域 2 1 上の所定位置にカラーフィルタ 5 2 を形成する。図 1 1 に、上記工程後の成膜状態を示す。

【 0 0 5 5 】

なお、上述のように、本実施形態では、周辺回路領域 3 0 から有効画素領域 2 1 にかけて、2 つの段差部を設けて、多層配線層の表面高さが階段状に徐々に低下するような構成にしている。それゆえ、カラーフィルタ 5 2 の生成工程で、カラーフィルタ材料をパッシベーション膜 5 1 上に塗布した際、各段差部付近に滞留するカラーフィルタ材料の量が少なくなる。この結果、有効画素領域 2 1 上に塗布されるカラーフィルタ材料の膜の厚さは均一となり、カラーフィルタ 5 2 の平坦性が確保される。

【 0 0 5 6 】

次いで、カラーフィルタ 5 2 の層上に、オンチップレンズ材料を塗布する。この工程においても、各段差部付近で滞留するオンチップレンズ材料の量が少なくなり、有効画素領域 2 1 上に塗布されるオンチップレンズ材料の膜の厚さは均一となる。

【 0 0 5 7 】

そして、その後、オンチップレンズ材料の膜表面をパターニングして、有効画素領域 2 1 及び無効画素領域 2 2 の各フォトダイオード 4 1 の直上に所定形状のオンチップレンズ 5 3 を形成する。図 1 2 に、上記工程後の成膜状態を示す。本実施形態は、上述のようにして、固体撮像装置 1 0 を作製する。

【 0 0 5 8 】

上述のように、本実施形態の固体撮像装置 1 0 では、有効画素領域 2 1 及び無効画素領域 2 2 に形成する多層配線層 2 1 a の厚さを O P B 領域 2 3 のそれより薄くする。それゆ

10

20

30

40

50

え、本実施形態の固体撮像装置 10 では、従来（図 28）に比べて、さらに、有効画素領域 21 におけるオンチップレンズ 53 とフォトダイオード 41 との間隔を狭くすることができる。すなわち、本実施形態では、有効画素領域 21 において、光入射側表面から画素 40 までの光路の距離をより短くすることができ、光路上での光の散乱界面を少なくすることができる。この結果、本実施形態では、感度等の画素特性をより向上させることができる。

【0059】

また、本実施形態の固体撮像装置 10 では、本実施形態では、周辺回路領域 30 からセンサ部領域 20 の有効画素領域 21 にかけて、多層配線層の表面に複数の段差部（第 1 及び第 2 段差部 55 及び 56）を形成する。このような構成にすることにより、次のような効果が得られる。

10

【0060】

図 28 に示す従来の固体撮像装置 200 において、オンチップレンズ 209 とフォトダイオード 202 との間隔を狭くするために、周辺回路領域 230 とセンサ部領域 220 との境界の段差をより大きくする手法も考えられる。しかしながら、両領域間の段差を大きくすると、カラーフィルタ 208 の層やオンチップレンズ 209 の層を塗布法により形成した際に掃きムラや額縁ムラ等の問題が生じる。そして、この場合、塗布材料の平坦性が悪くなり、光学特性が劣化するという問題が生じる。

【0061】

それに対して、本実施形態の固体撮像装置 10 では、上述のように、周辺回路領域 30 からセンサ部領域 20 の有効画素領域 21 にかけて、複数の段差部を設けて、多層配線層の表面高さが階段状に徐々に低下するような構成にしている。この場合、各段差部の段差をより小さくすることができるので、カラーフィルタ 52 の層やオンチップレンズ 53 の層を塗布で形成する際に生じる上記問題を解消することができる。その結果、光学特性の劣化を抑制することができる。

20

【0062】

さらに、本実施形態のように、有効画素領域 21 及び無効画素領域 22 の多層配線層 21a の表面に凹部 57 を形成した場合、フォトダイオード 41 の直上領域において配線層 2MT 上のキャッピング膜 43 が除去される。それゆえ、本実施形態では、これにより、さらに光学特性の劣化を抑制することができる。

30

【0063】

< 2 . 第 2 の実施形態 >

[固体撮像装置の構成]

図 13 に、第 2 の実施形態に係る固体撮像装置の概略断面構成を示す。なお、図 13 において、上記第 1 の実施形態（図 2 及び 12）と同様の構成には、同じ符号を付して示す。

【0064】

固体撮像装置 60 は、半導体基板 11 と、多層配線層 21a, 23a, 30a と、パッシベーション膜 61 と、光導波路層 62 と、カラーフィルタ 52 の層と、オンチップレンズ 53 の層とを備える。そして、多層配線層 21a, 23a, 30a、パッシベーション膜 61、光導波路層 62、カラーフィルタ 52 の層及びオンチップレンズ 53 の層は、この順で半導体基板 11 上に積層される。なお、本実施形態の固体撮像装置 60 を構成する各領域は、上記第 1 の実施形態の構成（図 1）と同様である。

40

【0065】

本実施形態では、パッシベーション膜 61 及び光導波路層 62 の構成以外の構成は、上記第 1 の実施形態の構成（図 2 及び 12）と同様である。それゆえ、ここでは、パッシベーション膜 61 及び光導波路層 62 についてのみ説明する。

【0066】

パッシベーション膜 61 は、上記第 1 の実施形態で用いるパッシベーション膜 51 と同様の材料で形成することができる。具体的には、パッシベーション膜 61 は、例えば、層

50

間絶縁膜 4 2 の形成材料である酸化シリコン (SiO_2 : 屈折率 1.45) 等よりも高い屈折率を有する窒化シリコン (SiN : 屈折率 2.0) 等で形成される。

【 0 0 6 7 】

ただし、上記第 1 の実施形態では、パッシベーション膜 5 1 の膜厚を厚くして、有効画素領域 2 1 及び無効画素領域 2 2 内の多層配線層 2 1 a の表面に形成された凹部 5 7 をパッシベーション膜 5 1 で埋める構成とした。それに対して、本実施形態では、図 1 3 に示すように、パッシベーション膜 6 1 の膜厚を薄くして、多層配線層 2 1 a , 2 3 a , 3 0 a の表面を被覆するように、パッシベーション膜 6 1 を形成する。それゆえ、本実施形態では、パッシベーション膜 6 1 の表面上にも凹部が形成される。なお、パッシベーション膜 6 1 の膜厚は、例えば 0.5 μm 程度にすることができる。

10

【 0 0 6 8 】

光導波路層 6 2 は、パッシベーション膜 6 1 上に形成され、パッシベーション膜 6 1 の表面に形成された凹部を埋めるような厚さで形成される。光導波路層 6 2 の形成材料には、例えば、層間絶縁膜 4 2 の形成材料である酸化シリコン (SiO_2 : 屈折率 1.45) 等よりも高い屈折率を有する材料が用いられる。例えば、シロキシサン系樹脂やポリイミド系樹脂等を、光導波路層 6 2 の形成材料として用いることができる。また、光導波路層 6 2 の形成材料として、上述した樹脂材料中に、例えば、酸化チタン、酸化タンタル、酸化ニオブ、酸化タングステン、酸化ジルコニウム、酸化亜鉛、酸化インジウム、酸化ハフニウム等の金属酸化物微粒子を含ませてもよい。この場合には、光導波路層 6 2 の屈折率をより高くすることができる。

20

【 0 0 6 9 】

[固体撮像装置の製造方法]

次に、本実施形態の固体撮像装置 6 0 の製造方法を、図 1 4 及び 1 5 を参照しながら簡単に説明する。なお、図 1 4 及び 1 5 には、上述した第 1 の実施形態の固体撮像装置 1 0 の製造方法 (図 4 ~ 1 2) と、異なる工程のみを示す。

【 0 0 7 0 】

まず、第 1 の実施形態において図 4 ~ 9 で説明した工程と同様にして、多層配線層の表面に、第 1 段差部 5 5、第 2 段差部 5 6 及び凹部 5 7 を所定位置に形成する (図 9 参照)。次いで、その多層配線層上に、例えば CVD 法により、パッシベーション膜 6 1 を形成する。この際、パッシベーション膜 6 1 を、センサ部領域 2 0 及び周辺回路領域 3 0 の全面に渡って多層配線層の表面を被覆する程度の膜厚で形成する。図 1 4 に、上記工程後の成膜状態を示す。

30

【 0 0 7 1 】

次に、パッシベーション膜 6 1 上に、光導波路層 6 2 の形成材料を塗布する。これにより、塗布材料が凹部 5 7 に充填され、有効画素領域 2 1 において表面が平坦な光導波路層 6 2 が形成される。図 1 5 に、上記工程後の成膜状態を示す。

【 0 0 7 2 】

その後は、第 1 の実施形態において図 1 1 及び 1 2 で説明した工程と同様にして、光導波路層 6 2 上に、カラーフィルタ 5 2 の層及びオンチップレンズ 5 3 の層を形成する。本実施形態では、上述のようにして固体撮像装置 6 0 を形成する。

40

【 0 0 7 3 】

上述のように、本実施形態では、多層配線層の表面に、第 1 段差部 5 5、第 2 段差部 5 6 及び凹部 5 7 を形成し、さらに、フォトダイオード 4 1 の直上領域に高屈折率を有する光導波路層 6 2 を設ける。それゆえ、本実施形態では、第 1 の実施形態と同様の効果が得られるとともに、さらに光学特性の優れた固体撮像装置 6 0 を提供することができる。

【 0 0 7 4 】

また、本実施形態では、第 1 の実施形態と同様に、無効画素領域 2 2 においても多層配線層 2 1 a の表面に凹部 5 7 を形成する。このような構成にすることにより、本実施形態では、例えば次のような効果も得られる。

【 0 0 7 5 】

50

図16に、本実施形態において、光導波路層62の形成材料を多層配線層21a上に塗布した際の塗布膜の形状を示す。また、図17に、無効画素領域22の多層配線層21aの表面に凹部57を形成しない場合において、光導波路層62の形成材料を塗布した際の塗布膜の形状を示す。図17に示す構成では、無効画素領域22に第2段差部56付近に溜まった塗布材料を吸収する部分がないので、図17に示すように、無効画素領域22と有効画素領域21との境界付近まで塗布膜の表面は平坦にならない。

【0076】

それに対して、本実施形態のように、無効画素領域22の多層配線層21aの表面に凹部57を形成すると、第2段差部56に溜まった塗布材料の一部がその凹部57に吸収(充填)される。その結果、本実施形態の構成では、図16に示すように、塗布膜の表面が平坦になるまでのエリアa1が、図17の場合のエリアa2に比べて小さくなる。それゆえ、本実施形態では、無効画素領域22を小さくすることが可能になる。

10

【0077】

なお、上記効果をより向上させるために、凹部57を溝で形成してもよい。この場合、凹部57での塗布材料の吸収量が増大するので、塗布膜の表面が平坦になるまでのエリアをより小さくすることができる。ただし、この場合、無効画素領域22の凹部57のみを溝で形成してもよいし、無効画素領域22及び有効画素領域21の全面に渡って凹部57を溝で形成してもよい。

【0078】

[変形例1]

上記第1及び第2の実施形態では、配線層3MTの遮光膜49と、配線層4MTの遮光膜50とを同じ構成(形状、寸法及び膜厚等)にする例を説明したが、本発明はこれに限定されない。変形例1では、配線層3MTの遮光膜と、配線層4MTの遮光膜とを異なる構成にする場合の一構成例を説明する。

20

【0079】

図18に、この例の固体撮像装置におけるOPB領域23の概略膜構成を示す。なお、図18では、説明を簡略化するため配線層2MT~4MTの膜構成のみを示す。

【0080】

この例では、OPB領域23から無効画素領域22に向かう方向において、配線層3MTの遮光膜65(第1の遮光膜)の長さを、配線層4MTの遮光膜66(第2の遮光膜)の長さより長くする。すなわち、この例では、光入射側から見て遠い側に位置する遮光膜65の長さを、光入射側に近い側に位置する遮光膜66の長さより長くする。そして、配線層3MTの遮光膜65の無効画素領域22側の端部を、配線層4MTの遮光膜66の無効画素領域22側の端部より、無効画素領域22側に配置する。

30

【0081】

このような構成にすることにより、次のような効果が得られる。ここで、比較のため、OPB領域23から無効画素領域22に向かう方向において、配線層3MTの遮光膜が、配線層4MTの遮光膜より長い場合(比較例)の構成を考える。図19に、比較例におけるOPB領域23の膜構成を示す。また、比較例では、配線層4MTの遮光膜68の無効画素領域22側の端部が、配線層3MTの遮光膜67の無効画素領域22側の端部より、無効画素領域22側に位置する場合を考える。

40

【0082】

比較例の構成では、OPB領域23と無効画素領域22の境界付近において、遮光膜68の表面に対して斜め方向から光が入射された場合、入射光は遮光膜67及び68で反射されず、OPB領域23内の配線層2MTに入射される(図19中の実線矢印参照)。この場合、OPB領域23の境界付近での遮光性が劣化する。

【0083】

それに対して、変形例1の構成では、遮光膜66の表面に対して斜め方向から光が入射されても、その光は配線層3MTの遮光膜65で反射されるため(図18中の実線矢印参照)、入射光はOPB領域23内の配線層2MTに到達しない。それゆえ、OPB領域2

50

3の遮光膜の構成を、変形例1の構成にすることにより、OPB領域23の境界付近での遮光性が向上する。

【0084】

さらに、変形例1の構成では、次のような利点も得られる。変形例1のOPB領域23では、OPB領域23から無効画素領域22に向かう方向において、配線層4MTの遮光膜66の長さは、配線層3MTの遮光膜67のそれより短い。それゆえ、OPB領域23において、配線層3MTの遮光膜65上の層間絶縁膜42の領域には、配線層4MTの遮光膜66が形成されていない領域が存在する。それゆえ、変形例1の構成では、配線層4MTの遮光膜66が形成されていない層間絶縁膜42の領域に、新たに段差部を形成することができる。図20に、その一構成例を示す。

10

【0085】

図20には、配線層3MTの遮光膜65上の領域において、配線層4MTの遮光膜66が形成されていない領域の層間絶縁膜42に、一つの段差部70設ける例を示す。ただし、本発明はこれに限定されず、配線層4MTの遮光膜66が形成されていない領域に複数の段差部を設けてもよい。このような構成にすると、周辺回路領域30から有効画素領域21までの多層配線層の表面により多くの段差部を設けることができ、各段差部の段差をより小さくすることができる。それゆえ、この場合には、各段差部付近に滞留する塗布材料の量をより減らすことができるので、カラーフィルタ52の層やオンチップレンズ53の層を塗布した際の塗布膜の平坦性をより向上させることができる。

20

【0086】

[変形例2]

上記第1及び第2の実施形態では、無効画素領域22とOPB領域23との境界に形成される第2段差部56の段差面と、無効画素領域22の多層配線層21aの表面との間の角度を約90度にする例を説明したが、本発明はこれに限定されない。第2段差部の段差面と、無効画素領域22の多層配線層21aの表面との間の角度を、90度を越えるようにしてもよい。すなわち、第2段差部をテーパ形状で構成してもよい。変形例2では、その一構成例を説明する。

【0087】

図21に、変形例2の固体撮像装置において、無効画素領域22とOPB領域23との境界に形成される第2段差部の概略断面構成を示す。なお、図21では、説明を簡略化するために、多層配線層上には、カラーフィルタ52の層やオンチップレンズ53の層等の塗布膜76だけを示す。

30

【0088】

このようなテーパ形状の第2段差部75は、例えば、エッチング工程時に、多層配線層上に設けるマスクの端部をマスク面に対して所定の角度で傾斜させておくことにより形成することができる。

【0089】

第2段差部75をテーパ形状にすることにより、次のような効果が得られる。ここで、図22に、上記実施形態における無効画素領域22とOPB領域23との境界に形成される第2段差部56の概略断面構成を示す。上記実施形態の構成では、多層配線層上に所定の塗布膜76を塗布すると、第2段差部56付近にある程度の量の塗布材料が滞留する。それゆえ、上記実施形態の無効画素領域22には、塗布膜76を平坦化するためある程度の広さが必要になる。

40

【0090】

それに対して、この例の構成では、第2段差部75がテーパ形状で形成されているので、塗布材料を塗布した際の第2段差部75付近における塗布材料の流れをよりスムーズにすることができる。この結果、図21に示すように、第2段差部75付近での塗布材料の滞留量をより少なくすることができる。これにより、塗布膜76が平坦になるまでのエリアを小さくすることができる。すなわち、この例では、無効画素領域22のエリアをより小さくすることができる。

50

【 0 0 9 1 】

なお、テーパー形状の段差部は、周辺回路領域 3 0 と O P B 領域 2 3 と境界に形成される第 1 段差部 5 5 に適用してもよい。

【 0 0 9 2 】

[変形例 3]

上記第 1 及び第 2 の実施形態では、センサ部領域 2 0 (O P B 領域 2 3) と周辺回路領域 3 0 との境界、及び、O P B 領域 2 3 と無効画素領域 2 2 との境界に段差部を設ける例を説明したが、本発明はこれに限定されない。例えば、O P B 領域 2 3 の多層配線層 2 3 a の表面に、無効画素領域 2 2 に向かって多層配線層 2 3 a の表面高さが階段状に低下する段差部を設けてもよい。変形例 3 では、その一構成例を説明する。

10

【 0 0 9 3 】

図 2 3 に、この例の O P B 領域 2 3 と周辺回路領域 3 0 との境界付近の概略断面図を示す。なお、図 2 3 には、O P B 領域 2 3 と周辺回路領域 3 0 の境界に形成された段差部 8 1 以外に、O P B 領域 2 3 の多層配線層 2 3 a の表面にあらたに一つの段差部 8 2 を設けた例を示す。ただし、本発明はこれに限定されず、O P B 領域 2 3 の多層配線層 2 3 a の表面に 2 つ以上の段差部を形成してもよい。

【 0 0 9 4 】

この例のように O P B 領域 2 3 の多層配線層 2 3 a の表面にあらたに段差部 8 2 を設けることにより、周辺回路領域 3 0 から有効画素領域 2 1 までの多層配線層の表面により多くの段差部を設けることができ、各段差部の段差をより小さくすることができる。それゆえ、この場合には、カラーフィルタ 5 2 の層やオンチップレンズ 5 3 の層を塗布した際の塗布膜の平坦性をより向上させることができる。

20

【 0 0 9 5 】

[変形例 4]

上記第 1 及び第 2 の実施形態では、フォトダイオード 4 1 の直上領域において、配線層 1 M T 上に形成されたキャッピング膜 4 3 を残す構成としたが、本発明はこれに限定されない。有効画素領域 2 1 において凹部 5 7 を形成する際に、配線層 1 M T 上に形成されたキャッピング膜 4 3 をエッチングで除去してもよい。

【 0 0 9 6 】

図 2 4 に、その一構成例 (変形例 4) を示す。なお、図 2 4 には、1 つのフォトダイオード 4 1 上に形成される膜構成の概略断面構成を示す。また、図 2 4 には、上記第 2 の実施形態の固体撮像装置に変形例 4 の構成を適用した例を示すが、第 1 の実施形態の固体撮像装置に対しても同様に変形例 4 の構成を適用することができる。

30

【 0 0 9 7 】

この例では、有効画素領域 2 1 において凹部 8 5 を例えばエッチング等で形成する際に、フォトダイオード 4 1 上に、ある程度の膜厚を有する層間絶縁膜 4 2 を残して、エッチングを終了する。これにより、フォトダイオード 4 1 の直上領域において、配線層 1 M T 上に形成されたキャッピング膜 4 3 を除去することができる。その後は、第 2 の実施形態と同様にして、凹部 8 5 上に、パッシベーション膜 6 1、光導波路層 6 2、カラーフィルタ 5 2 の層及びオンチップレンズ 5 3 の層がこの順で積層される。

40

【 0 0 9 8 】

この例の固体撮像装置では、フォトダイオード 4 1 の直上領域において、キャッピング膜 4 3 が存在しないので、より光学特性を向上させることができる。

【 0 0 9 9 】

なお、上記変形例 1 ~ 4 では、それぞれの構成を別個に上記第 1 及び / または第 2 の実施形態に適用する例を説明したが、本発明はこれに限定されず、上記変形例 1 ~ 4 の構成を適宜組み合わせ用いてもよい。

【 0 1 0 0 】

上記第 1 及び第 2 の実施形態、並びに、変形例 1 ~ 4 では、遮光膜を有する O P B 領域 2 3 がセンサ部領域 2 0 に設けられた固体撮像装置について説明したが、本発明はこれに

50

限定されない。遮光膜を有するOPB領域23が周辺回路領域30に設けられている固体撮像装置に対しても、本発明は同様に適用可能であり、同様の効果が得られる。

【0101】

また、上記第1及び第2の実施形態、並びに、変形例1～4では、キャッピング膜43を備える固体撮像装置について説明したが、本発明はこれに限定されない。キャッピング膜43を備えない固体撮像装置に対しても、本発明は同様に適用可能であり、同様の効果が得られる。この場合、有効画素領域21に凹部57を設けなくてもよい。

【0102】

さらに、上記第2の実施形態では、無効画素領域22に凹部57を設けた固体撮像装置について説明したが、本発明はこれに限定されない。周辺回路領域30から有効画素領域21にかけて形成される複数の段差部により、有効画素領域21の多層配線層21a上に塗布される塗布膜の平坦性を十分に確保できる場合には、無効画素領域22に凹部57を設けなくてもよい。

10

【0103】

< 3. 第3の実施形態 >

上述した本発明に係る固体撮像装置は、固体撮像装置を備えたカメラ、カメラ付き携帯機器、固体撮像装置を備えたその他の機器等の電子機器に適用することができる。第3の実施形態では、そのような電子機器の一例として、本発明の固体撮像装置をカメラに適用した例を挙げて説明する。

【0104】

図25に、本実施形態のカメラの概略構成を示す。本実施形態のカメラ90は、光学系91（光学レンズ）と、固体撮像装置92と、信号処理回路93とを備える。

20

【0105】

光学系91は、被写体からの像光（入射光）を固体撮像装置92の撮像面上に結像させる。これにより、固体撮像装置92のフォトダイオード（光電変換素子）において一定期間、信号電荷が蓄積される。固体撮像装置92には、上述した実施形態及び変形例のいずれか1つの固体撮像装置が適用される。そして、信号処理回路93は、固体撮像装置92の出力信号に対して種々の信号処理を施して出力する。

【0106】

なお、本実施形態のカメラ90は、カメラ単体の形態で用いることができるだけでなく、光学系91、固体撮像装置92及び信号処理回路93をモジュール化したカメラモジュールの形態として用いることもできる。具体的には、カメラモジュールを備えた例えば携帯電話等に代表されるカメラ付き携帯機器などに、モジュール化した本実施形態のカメラ90を適用することができる。

30

【0107】

本実施形態の電子機器によれば、固体撮像装置における画素特性が優れており、感度ムラ、色ムラが低減された電子機器を提供することができる。

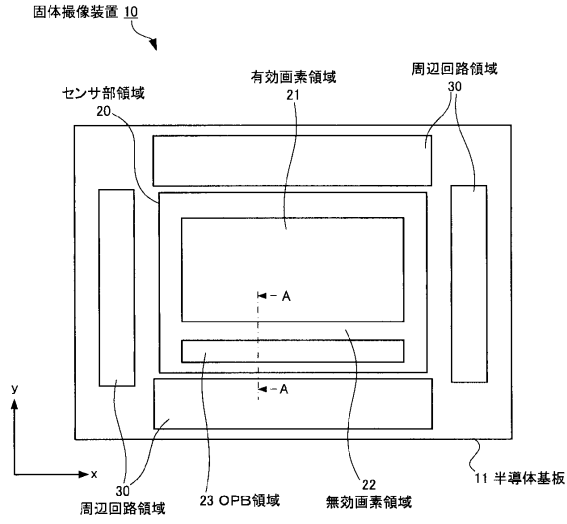
【符号の説明】

【0108】

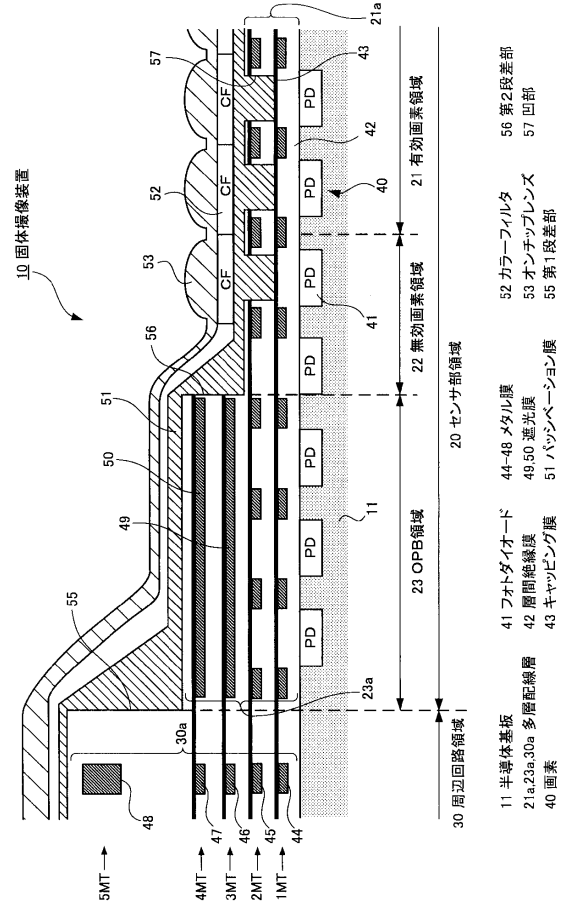
10, 60, 92... 固体撮像装置、11... 半導体基板、20... センサ部領域、21... 有効画素領域、21a, 23a, 30a... 多層配線層、22... 無効画素領域、23... OPB領域、30... 周辺回路領域、40... 画素、41... フォトダイオード、42... 層間絶縁膜、43... キャッピング膜、44～48... メタル膜、49, 50, 66, 65... 遮光膜、51, 61... パッシベーション膜、52... カラーフィルタ、53... オンチップレンズ、55, 56... 段差部、57... 凹部、62... 光導波路層、90... カメラ、91... 光学系、93... 信号処理回路

40

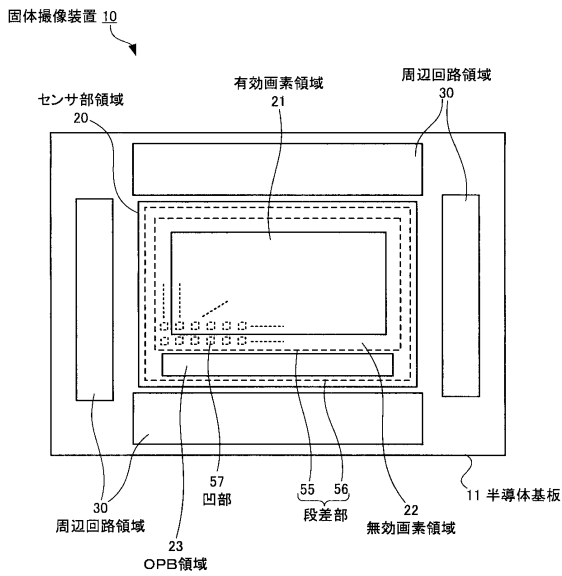
【図1】



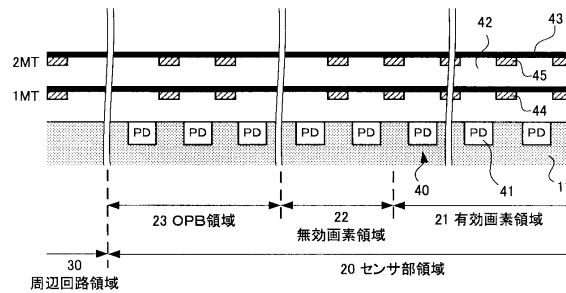
【図2】



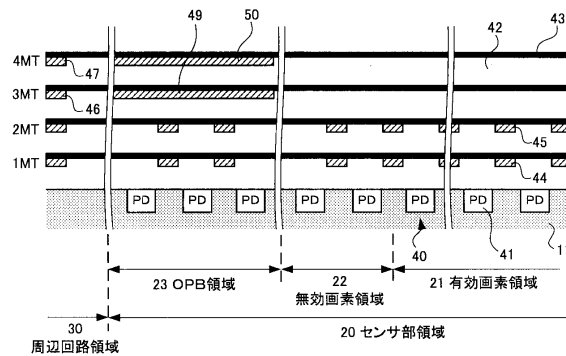
【図3】



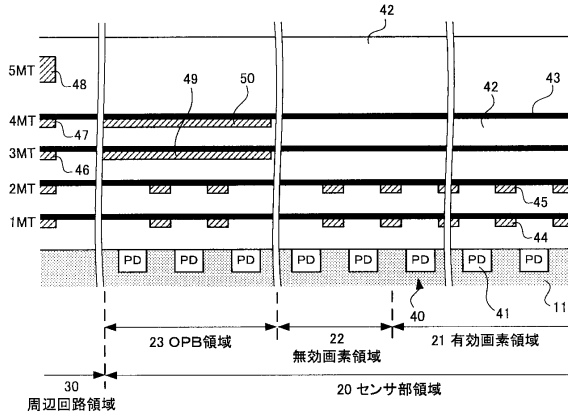
【図4】



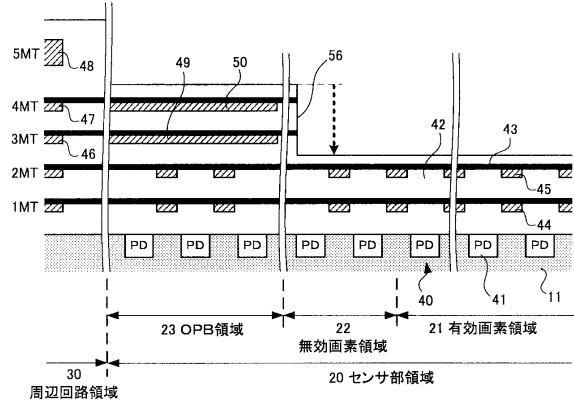
【図5】



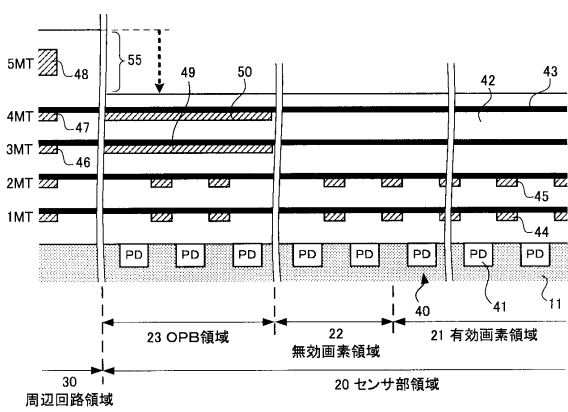
【図 6】



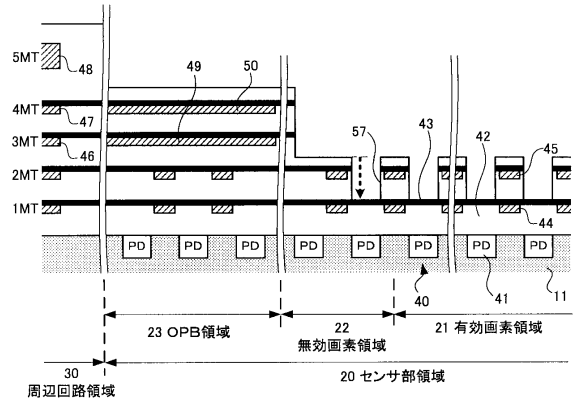
【図 8】



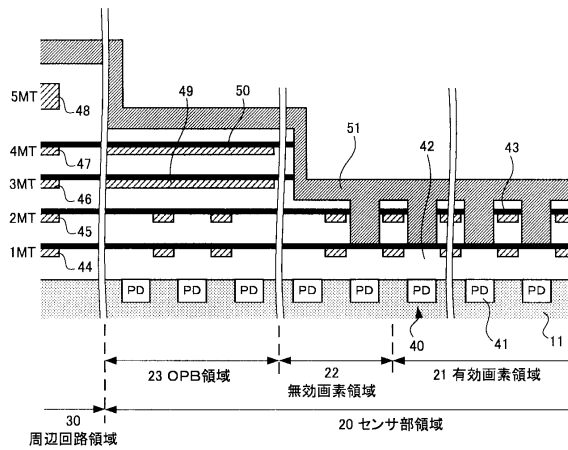
【図 7】



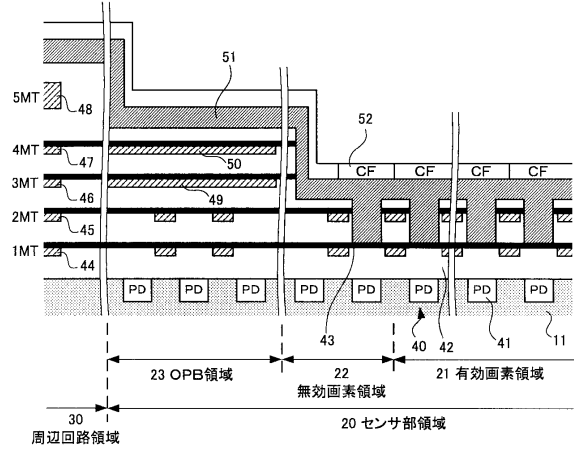
【図 9】



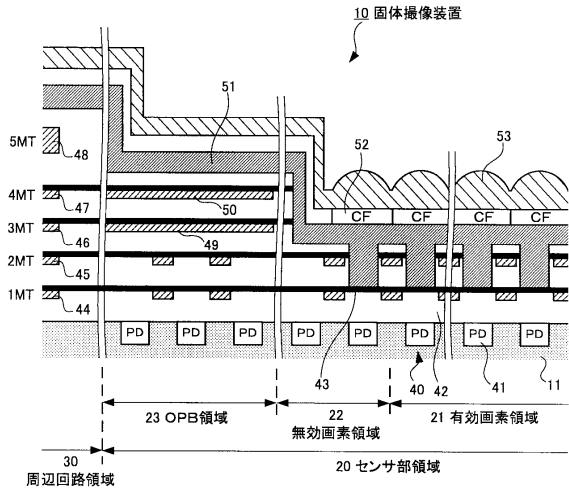
【図 10】



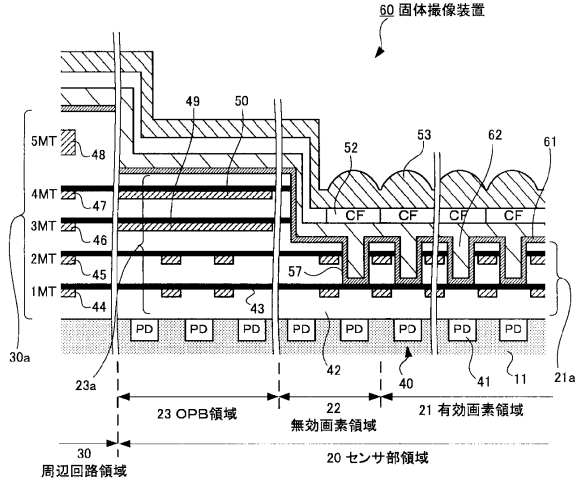
【図 11】



【図12】

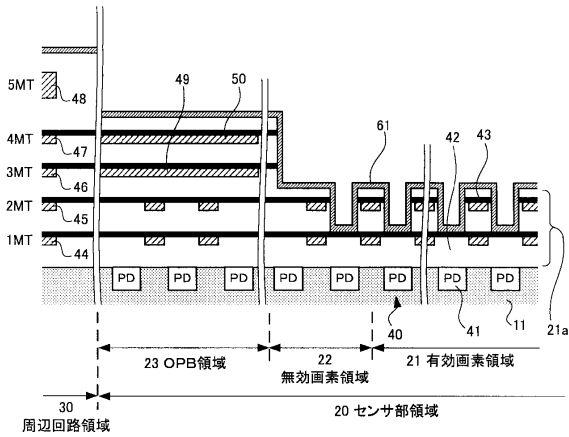


【図13】

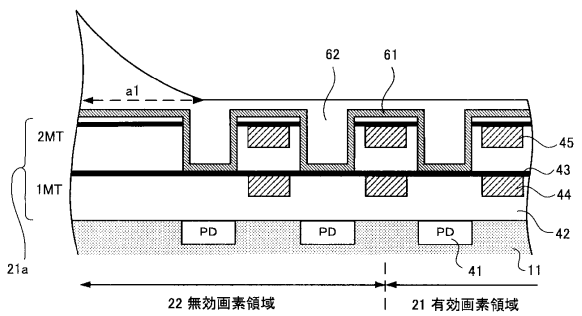


- | | | |
|-------------------|-------------|--------------|
| 11 半導体基板 | 43 キャッピング膜 | 57 凹部 |
| 21a,23a,30a 多層配線層 | 44-48 メタル膜 | 61 パッシベーション膜 |
| 40 画素 | 49,50 遮光膜 | 62 光導波路層 |
| 41 フォトダイオード | 52 カラーフィルタ | |
| 42 層間絶縁膜 | 53 オンチップレンズ | |

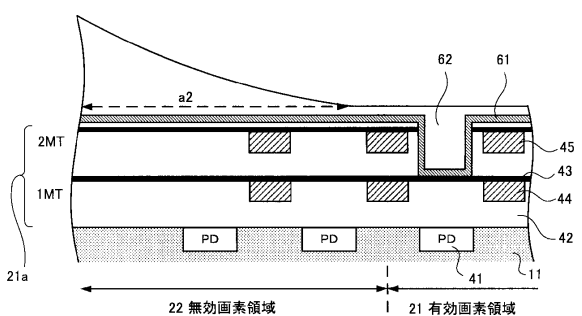
【図14】



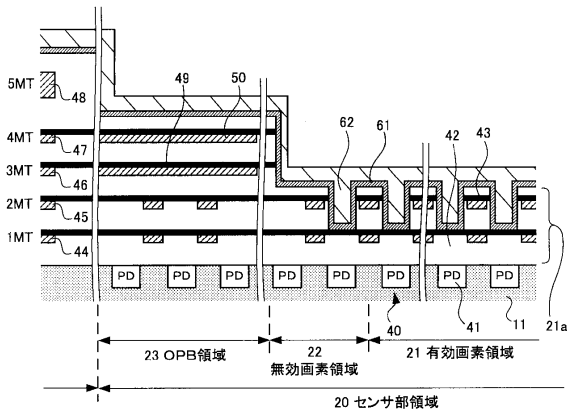
【図16】



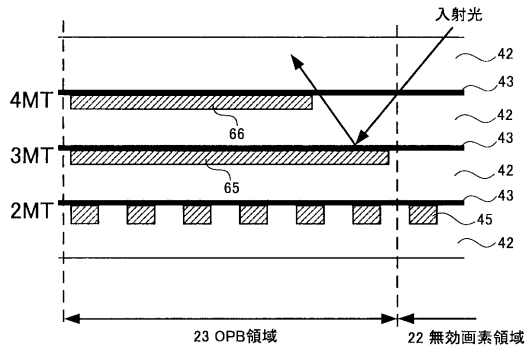
【図17】



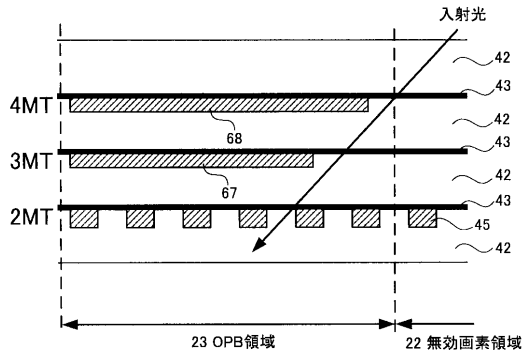
【図15】



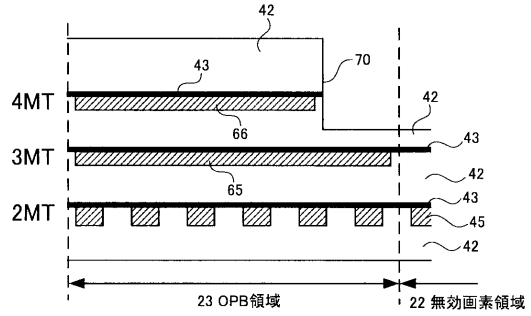
【図18】



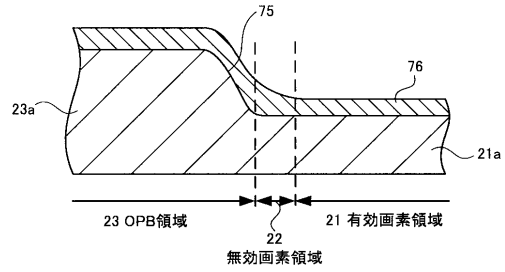
【図19】



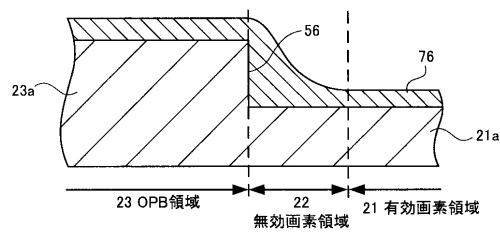
【図20】



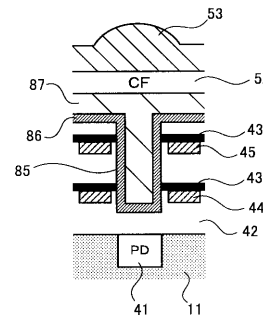
【図21】



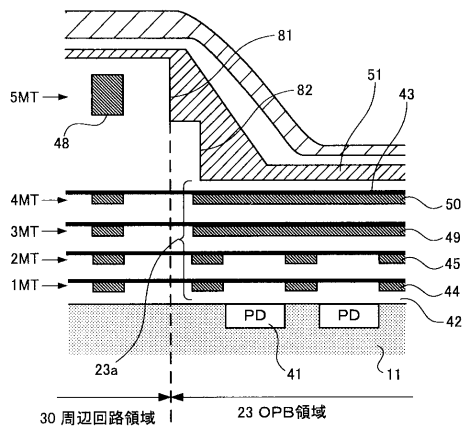
【図22】



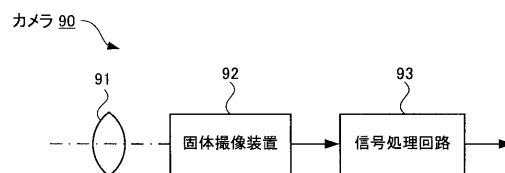
【図24】



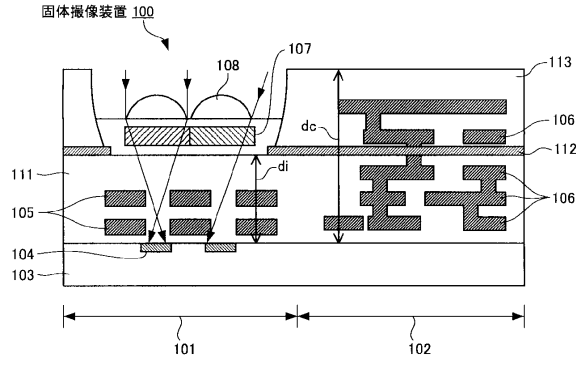
【図23】



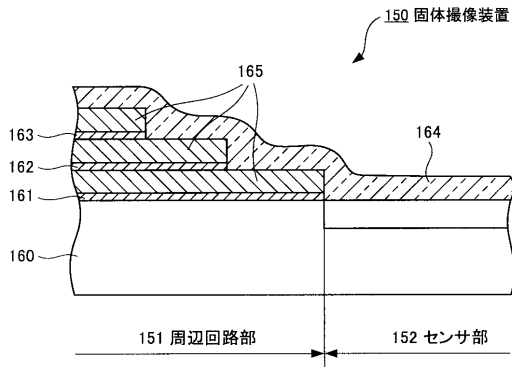
【図25】



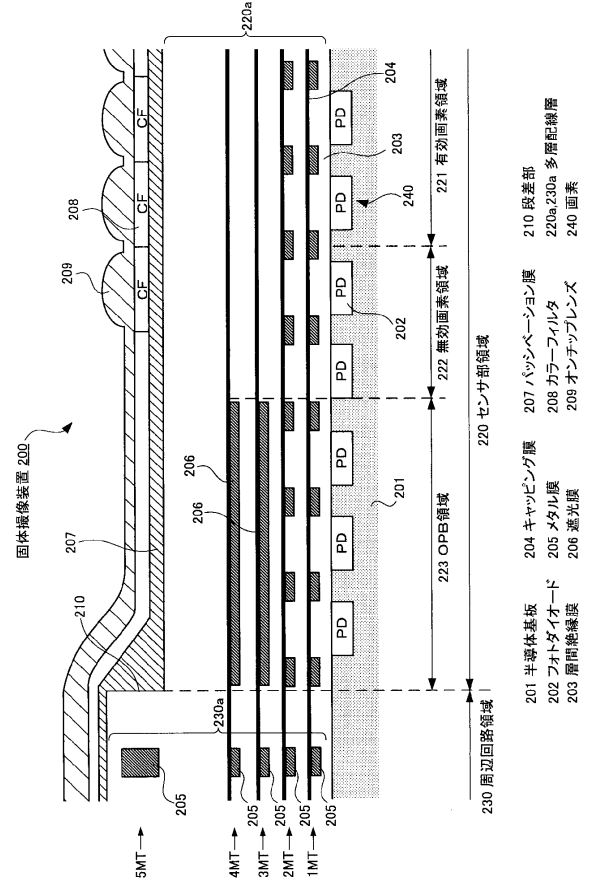
【図26】



【図27】



【図28】



フロントページの続き

- (56)参考文献 特開2009-099626(JP,A)
特開2006-080522(JP,A)
特開2008-270500(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/14
H01L 27/146
H04N 5/374