

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5036966号
(P5036966)

(45) 発行日 平成24年9月26日 (2012.9.26)

(24) 登録日 平成24年7月13日 (2012.7.13)

(51) Int. Cl.		F I			
H03B	5/08	(2006.01)	H03B	5/08	A
H03B	5/12	(2006.01)	H03B	5/12	B
H03L	7/099	(2006.01)	H03L	7/08	F

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2004-512293 (P2004-512293)	(73) 特許権者	503344218
(86) (22) 出願日	平成15年6月5日 (2003.6.5)		ジーシーティー セミコンダクター イン
(65) 公表番号	特表2005-529536 (P2005-529536A)		コーポレイテッド
(43) 公表日	平成17年9月29日 (2005.9.29)		アメリカ合衆国 95131 カリフォル
(86) 国際出願番号	PCT/US2003/015402		ニア州 サン ノゼ リングウッド アベ
(87) 国際公開番号	W02003/105346		ニュー 2121
(87) 国際公開日	平成15年12月18日 (2003.12.18)	(74) 代理人	100077481
審査請求日	平成18年5月30日 (2006.5.30)		弁理士 谷 義一
審判番号	不服2010-11847 (P2010-11847/J1)	(74) 代理人	100088915
審判請求日	平成22年6月2日 (2010.6.2)		弁理士 阿部 和夫
(31) 優先権主張番号	60/386,741	(74) 復代理人	100115624
(32) 優先日	平成14年6月10日 (2002.6.10)		弁理士 濱中 淳宏
(33) 優先権主張国	米国 (US)	(74) 復代理人	100128015
(31) 優先権主張番号	10/443,835		弁理士 堀田 誠
(32) 優先日	平成15年5月23日 (2003.5.23)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 広帯域同調範囲および低位相ノイズをもつLC発振器

(57) 【特許請求の範囲】

【請求項1】

第1の出力ノードおよび第2の出力ノードを有する能動発振器と、
前記第1の出力ノードと前記第2の出力ノードとを直接接続するインダクタと、
前記第1の出力ノードまたは前記第2の出力ノードのいずれかに結合された、少なくとも1つの容量性回路と

を具備、

該少なくとも1つの容量性回路は、

前記キャパシタの一方の端子が前記第1の出力ノード又は前記第2の出力ノードに接続され、該キャパシタの他方の端子が第1のスイッチに直列に接続され、前記キャパシタと前記第1のスイッチとの接続点には前記抵抗の一方の端子が接続され、

前記第1のスイッチがオープンであるときに、前記抵抗は前記キャパシタに前記バイアス電圧を供給し、

前記第1のスイッチは、前記キャパシタと直列になっており、前記能動発振器の前記出力に前記キャパシタを結合および切り離しを行い、

前記第1のスイッチは、前記キャパシタをアース電圧レベルに結合し、

前記第1のスイッチが閉じられるときに、前記バイアス電圧が前記少なくとも1つの容量性回路の動作特性を実質上変化させないようにするために、前記抵抗の大きさが設定されたことを特徴とする装置。

【請求項2】

前記バイアス電圧は、抵抗分割器から生成される電圧、電源電圧、および前記能動発振器の出力のコモンモード電圧のうちの少なくとも1つであることを特徴とする請求項1記載の装置。

【請求項3】

前記バイアス電圧は、前記能動発振器の出力のコモンモード電圧であることを特徴とする請求項1記載の装置。

【請求項4】

前記装置は、PLL、レシーバ、トランスミッタ、トランシーバ、無線通信デバイス、基地局、およびモバイルユニットのうちの少なくとも1つであることを特徴とする請求項1記載の装置。

10

【請求項5】

前記第1のスイッチは、半導体デバイスであることを特徴とする請求項1記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に無線通信の分野に関し、より詳細には位相ロックループ回路の電圧制御発振器に関する。

【背景技術】

【0002】

PLL(Phase Locked Loop位相ロックループ)は、無線通信システムや他の製品などの分野において広い用途を有する。多くの用途において、PLLは、非常に厳しい性能要件を有する。典型的な無線システムにおいては、複数のPLL回路110、120が存在し得る。例えば、スーパーヘテロダインアーキテクチャ100を使用したレシーバの典型的なブロック図が、図1に示されている。様々なブロックおよびそれらの機能、したがってこのブロック図の詳細な列挙については本明細書中でさらに説明しないことが当業者には容易に理解されよう。

20

【0003】

無線通信システムにおいて使用されるPLLは、変調プロセスおよび復調プロセスのための非常に安定した搬送波信号を提供する。この搬送波信号は、十分な(しばしば、このPLL中のVCO(voltage-controlled oscillator電圧制御発振器)の位相ノイズ特性として表される)スペクトル純度を有し、所望の帯域における必要なチャンネル間隔をサポートすべきである。例えば、韓国のセルラ電話規格は、約900MHzおよび1700MHzにおけるCDMA(Code Division Multiple Access符号分割多重アクセス)デジタルサービス用のIS-95規格を含んでいる。ヨーロッパのセルラ電話の規格は、900MHz帯域で動作するGSM(Global System For Mobile Communications欧州移動電話システム)および1800MHz帯におけるDCS(Defense Communication System防衛通信システム)を含んでいる。この占有される周波数帯域は類似しているが、このPLLに必要とされるチャンネル間隔は、個々の規格に従って異なっている。例えば、IS-95規格では、10KHzのチャンネルラスタ(channel raster)を伴う1.25MHzのチャンネル間隔が必要とされる。他方、GSM規格およびDCS規格では、この割り付けられた周波数帯域において200KHzのチャンネル間隔が必要とされる。無線通信トランシーバにおけるPLLは、高精度の適切なVHF(very high frequency超短波)信号を生成するので、このPLLは、非常に安定なVCTXO(Voltage-controlled Temperature Compensated Crystal Oscillator電圧制御温度補償水晶発振器)を基準クロック(reference clock)として使用することができる。

30

40

【0004】

図2は、無線通信装置中で一般に使用されるPLLの一般的なブロック図を示すもので

50

ある。この図に示すように、このPLLは、基準分周器202、フィードバック分周器210、電圧制御発振器(VCO)208、PFD(phase frequency detector位相周波数検出器)204、チャージポンプ回路(図示せず)およびLF(loop filterループフィルタ)206を含んでいる。このPFD204は、この分周された基準クロック信号とVCO208の分周された出力の位相を比較する。この位相エラーの大きさと極性に依存して、このチャージポンプ回路は、その出力にUP信号またはDOWN信号を生成し、ここで、これらのパルス幅は、その検出された位相エラーに比例している。このチャージポンプ回路は、このエラー信号に相当する電荷量を生成する。この正味の電荷は、LF206に蓄積され、これがVCO208の制御信号としての役割を果たす。このLF206の簡単な形式は、抵抗とキャパシタの直列結合(すなわち、1次フィルタ)である。しかし、現代のPLL設計においては、高次ループフィルタを使用して位相ノイズおよびスプリアス応答におけるより良好な性能を得ることができる。LF206からの結果電圧は、VCO208の周波数制御端子に接続される。負のフィードバックループによって、図2のPLLは、安定した出力周波数を実現する。ループフィルタ206のこの正味の変化がゼロになると、この安定した出力周波数状況が存在することになる。このポイントで、このVCO208の周波数および位相は、平均して変化しない。このロック状態においては、VCO208の周波数は、簡単に以下のように表される。

【0005】

【数1】

$$f_{vco} = \frac{L}{N} f_{REF} \quad (1)$$

【0006】

式中、 f_{vco} = VCO周波数、 L = フィードバック分周、 N = 基準分周、および f_{ref} = 基準周波数である。上式(1)において、フィードバック分周器の係数は整数とすることができるが、一部の用途においては、ある小数部を含むこともできる。

【0007】

特定の用途のためのPLL回路を設計する際には、多くのファクタが存在する。一般的なファクタは、回路面積、コスト、および電力消費である。ロック時間や位相ノイズなどの性能特性は、PLLが使用されるシステムに依存する。システム要件に従って、分周ファクタ、ループ帯域幅、回路設計などの設計パラメータは、影響を受ける。例えば、GSM用途においては、13MHzの基準周波数を有する200KHzのチャンネル間隔が数msecのロック時間と共に必要とされる。したがって、整数Nの周波数シンセサイザおよび正規のループ帯域幅を使用してこの要件を満たすことができる。しかし、GPRS(General Packet Radio Service汎用パケット無線サービス)用途においては、150μsより短いロック時間が必要とされるので一般的な整数Nの周波数シンセサイザは、使用することができない。この場合には、小数Nのシンセサイザまたはシグマデルタベースのシンセサイザが一般に使用される。

【0008】

他の用途においては、たとえチャンネル間隔が1.25MHzであるとしてもこのPLLにおける必要な周波数分解能は、10KHzである。これには様々な理由が存在する。第1に、IS-95用途における最も一般的な基準周波数は、19.2MHzであり、これは、1.25MHzの倍数ではない。第2に、このPLLがスーパーヘテロダイントランシーバ中で使用されるときには、この必要な周波数分解能がIF(Intermediate Frequency中間周波数)信号の選択に依存する。共通のIF周波数が、受信モードにおいて85.38MHzである場合には、この周波数分解能を、局部発振器において10KHzとすべきである。第3に、AMPS(Advanced Mobile Phone Service先進移動電話サービス)などの以前の規格との互換性のためには、LO(local oscillator局部発振器)信号を生成する際に1

10

20

30

40

50

0 K H z の周波数分解能が必要とされる。

【 0 0 0 9 】

関連技術の P L L の性能は、V C O 2 0 8 の性能によって制限され、この V C O 2 0 8 の重要な特性には、位相ノイズ性能が含まれる。P F D 2 0 4 や周波数分周器 2 0 2 および 2 1 0 など残りの構成要素はまた、この P L L 出力の全体ノイズ性能にも寄与する。位相ノイズは、通常その搬送波からの特定のオフセット周波数における搬送波電力の 1 H z の側波帯電力に対する比として定義される。位相ノイズは、d B c / H z という単位を有している。この V C O 2 0 8 は、影響を受けやすいデバイスであり、その位相ノイズ性能特性は、電源変動、温度、ノイズなどの環境条件によって非常に影響されることもある。この V C O 2 0 8 の感度を表すファクタは、通常、 K_{vco} (M H z / V) として表されるその利得である。低ノイズの P L L 用途では、V C O 2 0 8 は、比較的低い利得、したがって低い感度を有する可能性がある。この V C O 2 0 8 の低利得は、A M から F M への変調を最小にすることによって外部ノイズの影響を低下させる。

10

【 0 0 1 0 】

移動電話用途における位相ノイズ仕様はそのように厳しいので、この V C O の許容可能なタイプは制限され、L C 発振器が通常使用される。この L C 発振器は、共振タンク回路および数個の能動デバイスから構成されてこのタンク回路中のエネルギー損失が補償される。このタンク回路は、あるタイプの帯域通過フィルタであるので、この L C 発振器の位相ノイズ性能は、他のタイプの発振器よりも良好である。この L C 発振器の公称周波数は、以下のように表される。

20

【 0 0 1 1 】

【 数 2 】

$$f_{vco} = \frac{1}{2\pi\sqrt{LC}} \quad (2)$$

【 0 0 1 2 】

式 2 中で、 f_{vco} = V C O の公称周波数、L = インダクタンス、および C = キャパシタンスである。この V C O の周波数を制御するためには 2 つの可能性がある。しかし、可変インダクタの形成は簡単ではないので、可変キャパシタを使用してこの V C O の周波数を制御することができる。

30

【 0 0 1 3 】

個別のタンク回路、一部の受動構成要素および能動デバイスを用いて V C O を設計することが普通であった。しかし、この手法では、大きな回路面積および高コストがもたらされる。これらの機能ブロックをモノリシック形態にしようとする最近の傾向がある。完全に一体化された L C 発振器の設計における最も困難なファクタは、プロセス変動および環境変化に対して安定な動作を保証することである。シリコン上に成長されるキャパシタまたはインダクタの変動は最悪ケースでは 1 0 % を超過する。式 (2) を参照すると、この動作周波数における変化のパーセンテージが、この場合にもやはり 1 0 % になることが分かる。したがって、この V C O の全体的な動作範囲は、この周波数シフト、ならびに所望の周波数範囲をカバーすべきである。しかし、この広い同調範囲は、低位相ノイズ特性を実現するための小さな利得の設計目標とは競合してしまう。

40

【 0 0 1 4 】

以上説明した低位相ノイズと広い同調範囲の間のトレードオフは、様々な個別の同調方法を用いて解決されてきている。図 3 は、この関連技術による V C O の概略図を示している。この共振 L C 回路 3 1 0 は、この発振器 3 0 0 の周波数を制御する。L C 回路 3 1 0 は、キャパシタ 3 1 2、インダクタ 3 1 4、バラクタダイオード 3 1 6 および 3 2 0、ならびにスイッチ 3 1 8 を含んでいる。動作時に、ロックがこの P L L 中で実現されないときには、このバラクタダイオード 3 1 6 が選択的に切り換えられてこの V C O の周波数が制御される。この V C O の動作周波数が所望の周波数よりも高速であるときには、より多くのスイッチが閉じられて、この V C O の動作周波数が低下され、その逆も同様である。

50

図3の関連技術回路において、バラクタダイオード316および320のキャパシタンスのためにキャパシタ312の値はほとんど重要にはならない。

【0015】

【特許文献1】米国特許第6,137,372号

【特許文献2】米国特許第5,739,730号

【発明の開示】

【発明が解決しようとする課題】

【0016】

関連技術のVCOのLC回路は、様々な欠点を有している。例えば、図3を参照すると、スイッチ318のオフ状態においては、DC電流経路がない。したがって、対応するダイオード316の浮遊端子のバイアスレベルは、不明であり、そのリークの影響を非常によく受ける。かかる浮遊端子の初期バイアス状態があまりにも高い、または低すぎる時には、このバイアス状態がこのデバイスの信頼性に非常に影響を及ぼす可能性がある。

10

【0017】

図4、図5A、および図5Bは、実装形態が異なる点を除いて類似した関連技術VCOの図を示しており、ここでは、各バラクタダイオードの代わりに等価なキャパシタが使用されている。図4に示すように、SW(1)およびSWB(1)以外のすべてのスイッチが閉じられ、したがってその浮遊ノードNSC(1)およびNSCB(1)の振る舞いが焦点になる。浮動端子の初期バイアス電圧がこの発振器のコモンモード電圧(common mode voltage)と同じと仮定される場合には、この浮動端子の波形は、この発振器出力の波形とほとんど同じであり、性能の悪化はほとんどまたは全く示されない。

20

【0018】

しかし、図5Aは、スイッチSW(1)を切断した直後にある量の正電荷がNSC(1)に接続されたキャパシタプレート中に蓄えられる場合を示しており、この場合には、ある量の負電荷がキャパシタSCB(1)の他方のプレートに蓄えられる。オフ状態中には、DC電流経路が存在しないので、NSC(1)ノードおよび出力(OUT)ノードの間には、正のオフセット電圧が存在することになる。ここで、このオフセット電圧は過大であり、このスイッチが損傷を受けることもあり、このVCOの信頼性が悪化することもある。

30

【0019】

図5Bは、別の望ましくない状況を示すものである。NMOSスイッチを使用してこのスイッチ可能キャパシタを制御するとき、このドレイン接合が順方向バイアスされる可能性がある。この種の寄生接合は非常に劣った品質ファクタを有するので、この場合における位相ノイズ性能は、ひどく悪化することになる。

【0020】

当業者には理解されるように、他の問題および欠点も存在する。(特許文献1)および(特許文献2)は、関連技術システムの例である。

【0021】

上述の参考文献は、参照によって本明細書中に組み込まれており、これらは、追加的または代替的な詳細、特徴および/または技術的な背景の適切な教示をするのに適切である。

40

【課題を解決するための手段】

【0022】

本明細書中に実施され、広範に説明しているように、従来技術の以上で指摘した欠点を克服するデバイスおよび方法が提供される。したがって、本発明の実施形態では、発振器に動作可能に結合された少なくとも1つの調整回路を備えたシステムであって、この調整回路は、抵抗、リアクタンス素子(reactive element)、および第1のスイッチを備え、この第1のスイッチは、そのリアクタンス素子と直列になっており、この発振器の出力にそのリアクタンス素子を結合し切り離し、その抵抗は、この第1のスイ

50

ッチがオープンであるときにそのリアクタンス素子がバイアス電圧を有するようにするためにそのリアクタンス素子にバイアス電圧を提供するシステムが提供される。

【0023】

さらに、本発明の実施形態では、第1の出力ノードおよび第2の出力ノードを備える能動発振器と、この第1の出力ノードとこの第2の出力ノードとを結合するインダクタと、この第1の出力ノードまたはこの第2の出力ノードのいずれかに結合され、各容量性回路がキャパシタ、抵抗、および第1のスイッチを備える少なくとも1つの容量性回路とを備え、この第1のスイッチがオープンであるときにその抵抗はそのキャパシタにバイアス電圧を提供し、この第1のスイッチは、そのキャパシタと直列になっており、この発振器のその出力にそのキャパシタを結合し切り離す装置が提供される。

10

【0024】

さらに、本発明の実施形態では、発振器回路を同調させる方法であって、第1のスイッチがオープンであるときにリアクタンス素子がバイアス電圧を有するようにするために抵抗を介してそのリアクタンス素子にバイアス電圧を提供する工程と、この第1のスイッチを使用してそのリアクタンス素子をこの発振器に結合しそこから切り離し、それによってこの発振器の周波数を調整する工程とを含む方法が提供される。

【0025】

本発明のさらなる利点、目的および特徴については、以下の説明中に記述しており、以下の説明を考察することにより当業者には明らかになる。

【0026】

本発明を、添付図面を参照して詳細に説明する。図面中、同様な参照番号は同様な要素を指している。

20

【発明を実施するための最良の形態】

【0027】

図6は、本発明の一実施形態を示すブロック図である。発振器回路600は、発振器610と、この発振器610に動作可能に結合された少なくとも1つの調整回路620を含んでいる。この調整回路は、バイアス抵抗622、リアクタンス素子624（例えば、キャパシタ）、および第1のスイッチ626を含んでいる。この第1のスイッチ626は、このリアクタンス素子624をこの発振器回路600に選択的に結合しそれから切り離す。このバイアス抵抗622は、このリアクタンス素子624にバイアス電圧 V_A を提供し、その結果このリアクタンス素子624は、この第1のスイッチ626がオープンであるときにバイアス電圧を有するようになる。

30

【0028】

以下のセクションで詳細に解説するように、このバイアス電圧 V_A は、様々な構成でこのリアクタンス素子に供給することができる。例えば、バイアススイッチ628は、このバイアス抵抗622とバイアス電圧 V_A の間に配置することができる。このバイアススイッチ628は、この第1のスイッチ626がこのリアクタンス素子624を切り離すときに、このバイアス抵抗622をこのバイアス電圧に選択的に結合する。このバイアススイッチ628は、この第1のスイッチ626がリアクタンス素子624を発振器回路600に結合するときに、このバイアス抵抗622をこのバイアス電圧 V_A から選択的に切り離す。あるいは、バイアス電圧 V_A がこのバイアス抵抗に常に結合され得るようにし、またその結果第1のスイッチ626が閉じられるときにこのバイアス電圧 V_A が、この調整回路の動作特性を実質上変化させないように、バイアス抵抗622の値を（例えば、高抵抗値に）調整することができる。

40

【0029】

このバイアス電圧 V_A は、アース電圧、電源電圧、またはこの発振器出力のコモンモード電圧に接続することができる。さらに、このバイアス電圧 V_A は、可変にすることができる。アース電圧から電源電圧の範囲から選択することもできる。さらに、スイッチ626および628は、トランジスタなどの半導体スイッチングデバイスにすることもできる。

【0030】

50

図6に示すように、この調整回路620は、共振回路630の一部である。共振回路630は、インダクタ、キャパシタ、抵抗などの追加の素子を含むことができることが当業者には理解される。第1のスイッチ626がオープンされ閉じられるときに、リアクタンス素子624は、それぞれ共振回路630から除去されまたはそれに追加される。したがって、この第1のスイッチ626は、この共振回路630の特性を変更し、それによってこのVCOの周波数を変更する可能性がある。さらに、追加の調整回路を共振回路630に追加して制御範囲を増大させることができる。また、この増加された同調範囲および改善された位相ノイズ性能が両方のタイプの発振器にとって利点があるので、図6の調整回路は、シングルエンドの発振器または差動タイプの発振器のどちらでも使用することができることが当業者には理解される。

10

【0031】

図7は、本発明の実施形態による電圧制御発振器を示す概略図である。図7に示すように、この回路は、能動発振器回路702を含むことが好ましい。図7に示す回路は、出力ノードOUT706およびOUTB708を有する差動型の実装形態である。インダクタ704は、これらの出力ノードOUT706とOUTB708とに結合されることが好ましい。スイッチ718と直列に結合されたキャパシタ722を有する2つ以上の回路は、OUT706に結合することもできる。このキャパシタ722は、出力ノード706およびスイッチ718に結合される。スイッチ718は、基準電圧に結合されたトランジスタであることが好ましく、この基準電圧は、図7に示すようにアース電圧とすることも可能である。さらに、この回路は、トランジスタスイッチ714と直列に結合された明示的な抵抗710など、直列結合された抵抗およびスイッチを含むことが好ましい。この明示的な抵抗710は、キャパシタ722とトランジスタスイッチ718の共通ノードに一端で結合され、このトランジスタスイッチ714は、抵抗710の他端とバイアス電圧 V_A との間に結合される。同様な構成要素と接続が出力ノードOUTB708に関しても存在することが好ましい。例えば、キャパシタ722は、トランジスタスイッチ720と直列に結合されることが好ましく、このキャパシタ722の他端が出力ノードOUTB708に結合される。さらに、トランジスタスイッチ720の一端は、アースに接続される。さらに、抵抗712は、キャパシタ722とトランジスタスイッチ720の共通ノードに結合され、トランジスタスイッチ716の一端がバイアス電圧 V_A に結合されるように、明示的な抵抗712がトランジスタスイッチ716と直列に結合されていることが好ましい。キャパシタ722は、同じ値または異なる値を有することができることが当業者には理解される。同様に、これらの関連した抵抗およびスイッチは、各用途の特定の設計要件によって決まるような同じまたは異なる値を有することができる。

20

30

【0032】

次に図7に示す回路の動作について説明する。抵抗710および712の値は、このオフ状態において最良の位相ノイズ性能を得るために決定されまたは最適化される。この抵抗値は、通常高く（例えば、数キロオームを超えるように）されるので、これらのスイッチ714および716のオン抵抗を低くする必要はない。したがって、これらのトランジスタスイッチ714および716のサイズを、非常に小さくすることが可能である。さらに、トランジスタスイッチ714および716の追加の寄生キャパシタンスも小さくなる。さらに、これらの抵抗710および712は、オフ状態におけるこの抵抗のほとんどをカバーするように設計されるので、これらのトランジスタスイッチ714および716の特性変動は重要ではない。このバイアスレベル V_A は、このオフ状態の共通レベルを決定し、アースから電源電圧までの任意の値を有することができる。したがって、このバイアスレベル V_A を抵抗分割器など簡単なバイアスジェネレータから生成することができる。 V_A は、アース電圧または電源電圧それ自体とすることもできる。

40

【0033】

図8は、本発明の実施形態による電圧制御発振器(VCO)を示す概略図である。VCO800は、能動発振器回路802を含むことが好ましい。図8に示すようなVCO800は、出力ノードOUTB806およびOUTB808を有する差動実装形態である。イ

50

インダクタ804は、出力ノードOUT806とOUTB808との間に結合されることが好ましい。キャパシタ822、明示的な抵抗810として示される抵抗、およびスイッチ814など(例えば、トランジスタ)を含む直列回路は、キャパシタ822の一端と、この直列回路の反対端にあるトランジスタスイッチ814の一端で出力ノードOUT806に結合されることが好ましい。さらに、スイッチ818など(例えば、トランジスタ)は、アースされている基準電圧と、キャパシタ822と抵抗810の共通ノードの間に結合されることが好ましい。同様な回路をこの出力ノードOUTB808に結合することができる。例えば、キャパシタ822、抵抗812、およびトランジスタスイッチ816を含む直列回路は、キャパシタ822の一端およびトランジスタスイッチ816の一端を介してその間に配置された直列回路と共に、出力ノードOUTB808に結合することができる。トランジスタスイッチ820は、アースと、このキャパシタ822と抵抗812の共通ノードとの間に結合することが好ましい。これらのキャパシタ822は、同じまたは異なる値を有することが可能なことが当業者には理解される。同様に、これらの関連した抵抗およびスイッチは、各用途の特定の設計要件によって決まるような同じまたは異なる値を有することが可能である。

【0034】

図8に示す実施形態においては、オフ状態中に追加のバイアス回路は必要ではない。その代わりに、このLC発振器中の能動回路のコモンモード電圧は、このLC発振器出力に接続されていないこのキャパシタの他の端子に対する適切なDCバイアスを提供する。VCO800においてもまた、トランジスタスイッチ814および816のサイズは非常に小さくすることができる。したがって、トランジスタスイッチ814および816の追加の寄生キャパシタンスは、重要とはならない。

【0035】

図9は、本発明の実施形態による電圧制御発振器を示す概略図である。VCO900は、図9に示すように、能動発振器回路902を含んでいることが好ましい。図9のVCO900はまた、出力ノードOUT906およびOUTB908を有する異なる構成の形になっている。インダクタ904は、これらの出力ノードOUT906とOUTB908との間に結合されることが好ましい。さらに、キャパシタ922は、スイッチ918(例えば、トランジスタ)と直列に結合されることが好ましく、ここで、キャパシタ922の残りの端子は、この出力ノードOUT906に結合され、トランジスタスイッチ918の残りの端子は、アースに結合される。このキャパシタ922とトランジスタスイッチ918の共通ノードと、バイアス電圧 V_A との間に結合された抵抗910である明示的な抵抗が存在することが好ましい。同様な回路がOUTB908にも結合されていることが好ましい。例えば、キャパシタ922が、トランジスタスイッチ920と直列に結合されることが好ましく、ここでキャパシタ922の残りの端子は、出力ノードOUTB908に結合され、このトランジスタスイッチ920の残りの端子はアースに結合されている。明示的な抵抗912は、バイアス電圧 V_A と、キャパシタ922とトランジスタスイッチ920の共通ノードとの間に結合されることが好ましい。キャパシタ922は同じまたは異なる値を有することが可能であることが当業者には理解されよう。同様に、これらの関連した抵抗およびスイッチは、各用途の特定の設計要件によって決まるような同じまたは異なる値を有することが可能である。

【0036】

図9に示す実施形態においては、ターンオフスイッチ(例えば、図8におけるスイッチ814および816)は、性能の損失を減らしたまたは損失を制限して削除される。これは、スイッチ918および920のオン期間中の動作特性をひどく変化させないように、明示的な抵抗910および912の抵抗が選択されるからである。抵抗910および912についての適切な値は、所与の発振器設計(例えば、キャパシタンス、周波数範囲など)について経験的に決定されることが当業者には理解されよう。スイッチ918および920がオープンにされてこのキャパシタンスが低下されると、この発振器出力に結合されていない他方の端子は、この発振器902のコモンモード電圧と実質的に同じそのDCバイ

10

20

30

40

50

アス電圧を有することが好ましい。

【0037】

以上で説明した実施形態は、関連技術で説明したレシーバ回路およびPLL回路中で使用することができる。さらに、本発明の実施形態は、PLLまたはVCOを使用または使用することができる任意のデバイス中で使用することができる。例えば、本発明の実施形態は、PLL、レシーバ、トランスミッタ、トランシーバ、無線通信デバイス、基地局、またはモバイルユニット（例えば、セルラ電話、PDA、ポケットベルなど）を含むことができる。

【0038】

以上で説明したように、VCO回路および方法の好ましい実施形態には、様々な利点がある。これら好ましい実施形態では、PLLの同調範囲が増大する。さらに、これら好ましい実施形態では、VCO調整回路のターンオン状態およびターンオフ状態に関連する問題が少なくなり、または全くなくなる。さらに、これらのトランジスタスイッチのサイズを小さくすることができる。

10

【0039】

さらに、デバイスの同調についての前述の説明で開示された方法は、発振器回路を有することが当業者には理解されよう。例えば、本方法は、第1のスイッチがオープンであるときにこのリアクタンス素子がバイアス電圧を有するためにリアクタンス素子にバイアス抵抗を介してバイアス電圧を提供する工程と、この第1のスイッチを使用してこの発振器回路にリアクタンス素子を結合し、または切り離す工程と、第2のスイッチを用いてこのバイアス抵抗をそのバイアス電圧に結合する工程とを含む。さらに、本方法は、この第1のスイッチが閉じられる場合、この第2のスイッチをオープンにする工程と、この第1のスイッチがオープンである場合には、この第2のスイッチを閉じる工程とを含むことが可能である。この方法は、PLL、レシーバ、トランスミッタ、トランシーバ、無線通信デバイス、基地局、および/またはモバイルユニットなどの様々なデバイスに適用することが可能である。

20

【0040】

前述の実施形態および利点は単に例示的なものにすぎず、本発明を限定するものとして解釈すべきではない。本発明は、当業者に理解されるように他のタイプの装置にも簡単に適用することができる。多数の代替形態、変更形態および変形形態が、当業者には明らかとなる。

30

【図面の簡単な説明】

【0041】

【図1】関連技術によるスーパーヘテロダインレシーバのブロック図である。

【図2】関連技術の位相ロックループのブロック図である。

【図3】関連技術の電圧制御発振器の概略図である。

【図4】第1の動作モードによる、関連技術の電圧制御発振器の動作説明図である。

【図5A】第2の動作モードによる、関連技術の電圧制御発振器の動作説明図である。

【図5B】第3の動作モードによる、関連技術の電圧制御発振器の動作説明図である。

【図6】本発明の実施形態による電圧制御発振器の説明図である。

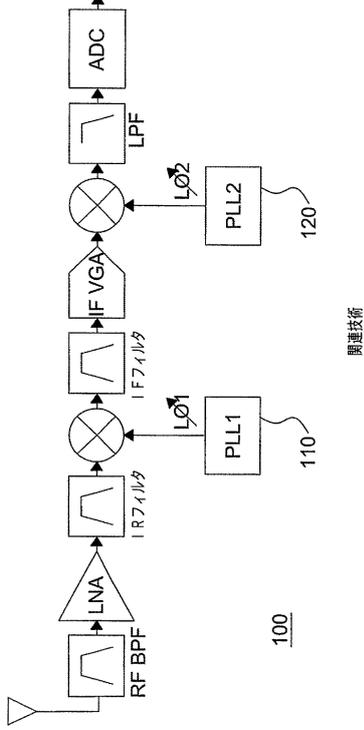
40

【図7】本発明の実施形態による電圧制御発振器の概略図である。

【図8】本発明の実施形態による電圧制御発振器の概略図である。

【図9】本発明の実施形態による電圧制御発振器の概略図である。

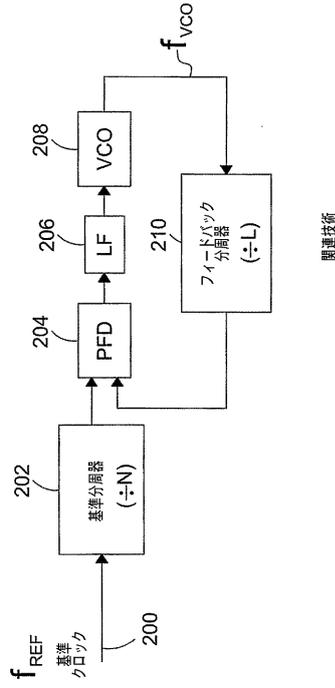
【図1】



関連技術

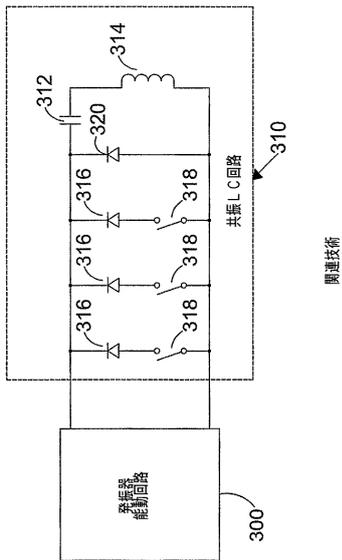
100

【図2】



関連技術

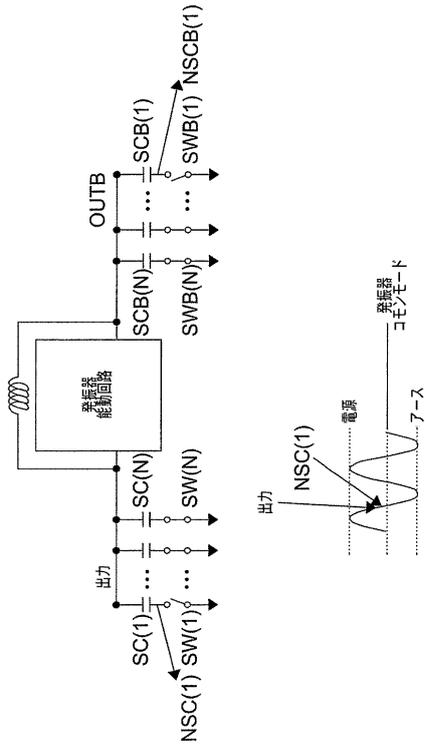
【図3】



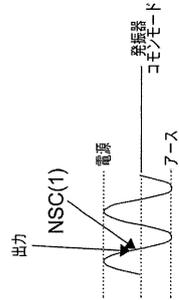
関連技術

300

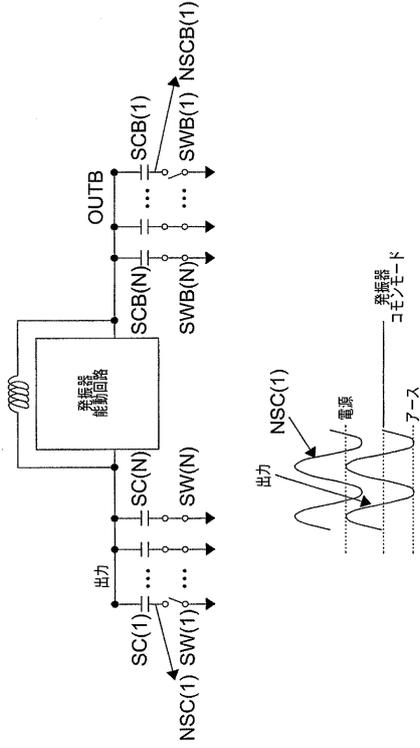
【図4】



関連技術

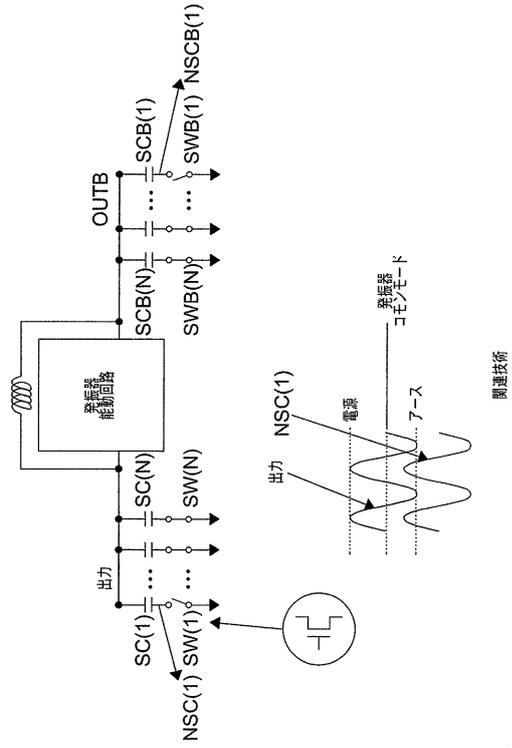


【 図 5 A 】



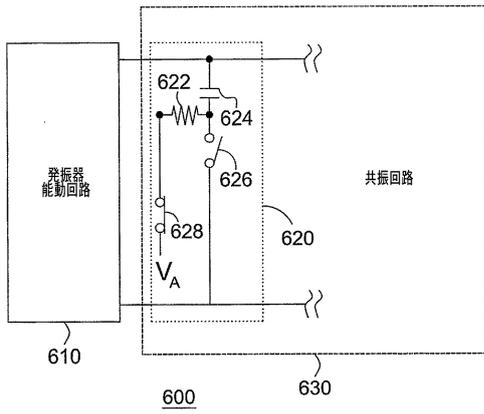
関連技術

【 図 5 B 】

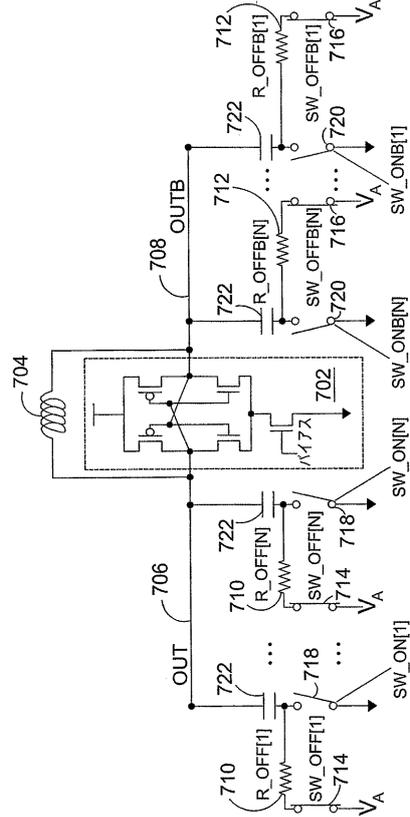


関連技術

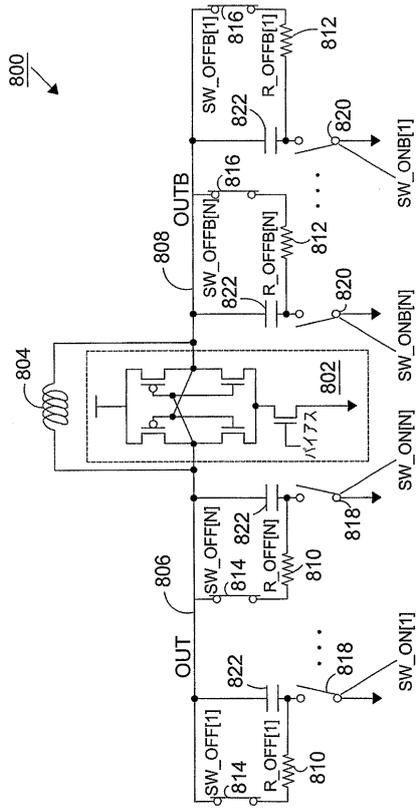
【 図 6 】



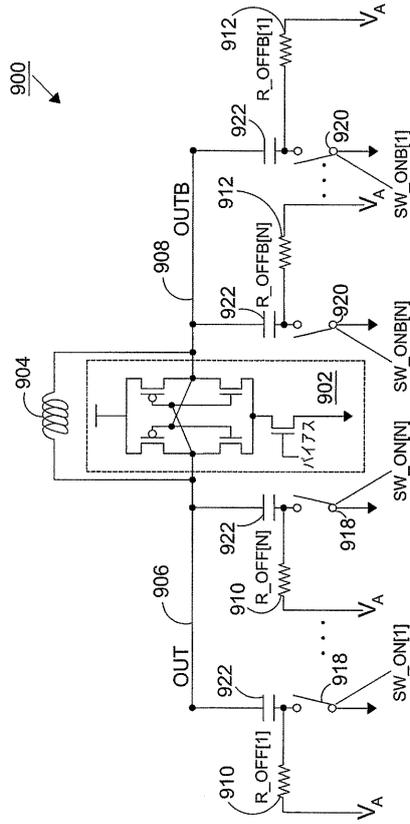
【 図 7 】



【 8 】



【 9 】



フロントページの続き

- (72)発明者 クー イートー
大韓民国 156-019 ソウル カムナム-グ シリム-9ドン 244-129
- (72)発明者 リー ジェオン-ウー
大韓民国 156-050 ソウル ドンジャク-グ ドルヤンジン-2ドン 300-13
- (72)発明者 バク ジョンバエ
大韓民国 ソウル セオチョー-グ セオチョー-ドン サンブーン アパート 2-906
- (72)発明者 リー キョンゲー
大韓民国 ソウル カムナム-グ シリム-10ドン サムサン-サン ヨーコン アパートメン
ト 309-901

合議体

審判長 小曳 満昭

審判官 本郷 彰

審判官 近藤 聡

- (56)参考文献 特開昭62-86907(JP,A)
実開昭60-145720(JP,U)
特開平11-330852(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H03B 5/00-5/42