



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201508877 A

(43) 公開日：中華民國 104 (2015) 年 03 月 01 日

(21) 申請案號：102129976

(22) 申請日：中華民國 102 (2013) 年 08 月 22 日

(51) Int. Cl. :

*H01L23/48 (2006.01)**H01L21/60 (2006.01)*

(71) 申請人：矽品精密工業股份有限公司 (中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路 3 段 123 號

(72) 發明人：蕭承旭 HSIAO, CHENG HSU (TW)；王隆源 WANG, LUNG YUAN (TW)

(74) 代理人：陳昭誠

申請實體審查：有 申請專利範圍項數：15 項 圖式數：2 共 19 頁

(54) 名稱

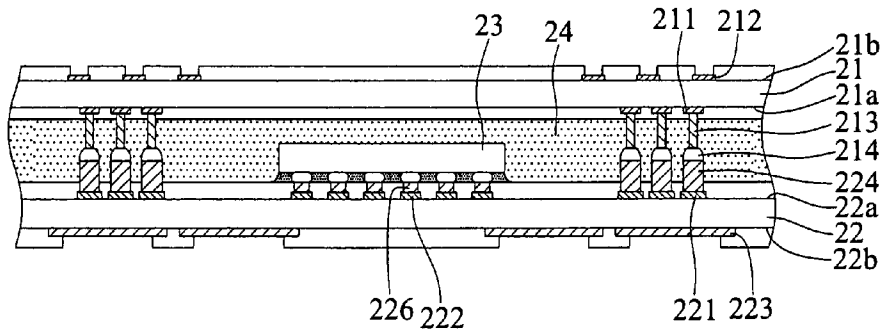
半導體封裝件及其製法

SEMICONDUCTOR PACKAGE AND MANUFACTURING METHOD THEREOF

(57) 摘要

一種半導體封裝件及其製法，該半導體封裝件之製法係包括：提供第一封裝基板及第二封裝基板，該第一封裝基板具有複數第一電性接觸墊及形成其上的第一金屬柱，該第二封裝基板具有複數第二電性接觸墊、形成其上之第二金屬柱及設於該具有第二電性接觸墊之表面上的半導體晶片；接置該第一封裝基板於該第二封裝基板的第二金屬柱上，該第一封裝基板係以其複數第一電性接觸墊上的第一金屬柱對應電性連接該第二金屬柱；以及於該第一封裝基板與第二封裝基板之間形成包覆該第一金屬柱與第二金屬柱的封裝膠體。本發明能有效避免半導體封裝件之錫料橋接現象，進而增進產品良率與可靠度。

The present invention provides a semiconductor package and a manufacturing method thereof, and the manufacturing method of semiconductor package includes: providing a first package substrate and a second package substrate, wherein the first package substrate has a plurality of first electrical contact pads and first metal columns formed thereon, and the second package substrate has a plurality of second electrical contact pads, second metal columns formed thereon, and semiconductor wafers which are disposed on the surface having the second electrical contact pads; connectedly disposing the first package substrate on the second metal column of the second package substrate, wherein the first package substrate electrically connects the second metal columns by corresponding to the first metal columns of the plurality of first electrical contact pads; and forming a package colloid provided in between the first package substrate and the second package substrate for covering the first metal column and the second metal column. The present invention can effectively prevent the solder bridging phenomenon of semiconductor package, so as to improve product yield and reliability.



第2E圖

- 21 . . . 第一封裝基板
- 21a . . . 第一表面
- 21b . . . 第二表面
- 211 . . . 第一電性接觸墊
- 212 . . . 第三電性接觸墊
- 213 . . . 第一金屬柱
- 214 . . . 錫料凸塊
- 22 . . . 第二封裝基板
- 22a . . . 第三表面
- 22b . . . 第四表面
- 221 . . . 第二電性接觸墊
- 222 . . . 第四電性接觸墊
- 223 . . . 第五電性接觸墊
- 224 . . . 第二金屬柱
- 226 . . . 第三金屬柱
- 23 . . . 半導體晶片
- 24 . . . 封裝膠體

201508877

發明摘要

※申請案號 : 102129976

※申請日 : 102.8.22

※IPC 分類 :

H01L23/48 (2006.01)

H01L21/60 (2006.01)

【發明名稱】(中文/英文)

半導體封裝件及其製法

SEMICONDUCTOR PACKAGE AND MANUFACTURING
METHOD THEREOF

【中文】

一種半導體封裝件及其製法，該半導體封裝件之製法係包括：提供第一封裝基板及第二封裝基板，該第一封裝基板具有複數第一電性接觸墊及形成其上的第一金屬柱，該第二封裝基板具有複數第二電性接觸墊、形成其上之第二金屬柱及設於該具有第二電性接觸墊之表面上的半導體晶片；接置該第一封裝基板於該第二封裝基板的第二金屬柱上，該第一封裝基板係以其複數第一電性接觸墊上的第一金屬柱對應電性連接該第二金屬柱；以及於該第一封裝基板與第二封裝基板之間形成包覆該第一金屬柱與第二金屬柱的封裝膠體。本發明能有效避免半導體封裝件之錫料橋接現象，進而增進產品良率與可靠度。

【英文】

The present invention provides a semiconductor package and a manufacturing method thereof, and the manufacturing method of semiconductor package includes: providing a first package substrate and a second package substrate, wherein the first package substrate has a plurality of first electrical contact pads and first metal columns formed thereon, and the second package substrate has a plurality of second electrical contact pads, second metal columns formed thereon, and semiconductors wafers which are disposed on the surface having the second electrical contact pads; connectedly disposing the first package substrate on the second metal column of the second package substrate, wherein the first package substrate electrically connects the second metal columns by corresponding to the first metal columns of the plurality of first electrical contact pads; and forming a package colloid provided in between the first package substrate and the second package substrate for covering the first metal column and the second metal column. The present invention can effectively prevent the solder bridging phenomenon of semiconductor package, so as to improve product yield and reliability.

【代表圖】

【本案指定代表圖】：第（ 2E ）圖。

【本代表圖之符號簡單說明】：

- 21 第一封裝基板
- 21a 第一表面
- 21b 第二表面
- 211 第一電性接觸墊
- 212 第三電性接觸墊
- 213 第一金屬柱
- 214 錫料凸塊
- 22 第二封裝基板
- 22a 第三表面
- 22b 第四表面
- 221 第二電性接觸墊
- 222 第四電性接觸墊
- 223 第五電性接觸墊
- 224 第二金屬柱
- 226 第三金屬柱
- 23 半導體晶片
- 24 封裝膠體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體封裝件及其製法

SEMICONDUCTOR PACKAGE AND MANUFACTURING
METHOD THEREOF

【技術領域】

本發明係有關於一種半導體封裝件及其製法，尤指一種層疊式的半導體封裝件及其製法。

【先前技術】

隨著時代的進步，現今電子產品均朝向微型化、多功能、高電性及高速運作的方向發展，爲了配合此一發展趨勢，半導體業者莫不積極研發能整合有複數個晶片之半導體裝置之堆疊式半導體封裝件 (stacked package)，藉以符合電子產品之需求。

第 1 圖所示者，係習知之堆疊式半導體封裝件的剖面圖。

如圖所示，該堆疊式半導體封裝件係包括一第一半導體封裝件 10、以及一堆疊於該第一半導體封裝件 10 上並與該第一半導體封裝件 10 電性連接之第二半導體封裝件 11。

該第一半導體封裝件 10 係包括：一晶片承載件 101；至少一安置於該晶片承載件 101 上之半導體晶片 102；一提供該半導體晶片 102 電性連接至該晶片承載件 101 之第

一導電元件 103；一位於該半導體晶片 102 上方之電路板 104；一用以支撐並提供該電路板 104 電性連接至該晶片承載件 101 之錫球 105；一形成於該晶片承載件 101 與該電路板 104 間，且用以包覆該半導體晶片 102 與錫球 105，並外露出該電路板 104 上表面之封裝膠體 106；以及一用以提供該半導體晶片 102 電性連接至外界之第二導電元件 107。藉由將該電路板 104 上表面外露出該第一半導體封裝件 10 之外表面，以提供至少一第二半導體封裝件 11 電性連接至該電路板 104，俾整合該第一半導體封裝件 10 與第二半導體封裝件 11，形成一堆疊式半導體封裝件。

惟，由於該晶片承載件 101 與電路板 104 間係以錫球 105 做為支撐與電性連接，隨著電子產品的 I/O 數量愈來愈多，在封裝件的尺寸大小不變的情況下，錫球 105 與錫球 105 間の間距必須縮小，導致容易使得發生錫料橋接的現象，進而造成產品良率過低及可靠度不佳等問題。

因此，如何避免上述習知技術中之種種問題，實已成為目前亟欲解決的課題。

【發明內容】

有鑒於上述習知技術之缺失，本發明提供一種半導體封裝件之製法，係包括：提供第一封裝基板及第二封裝基板，該第一封裝基板具有相對之第一表面與第二表面，該第一表面具有複數第一電性接觸墊及形成於其上的第一金屬柱，該第二封裝基板具有相對之第三表面與第四表面，該第三表面具有複數第二電性接觸墊、形成於該第二電性

接觸墊上之第二金屬柱及設於該第三表面上的半導體晶片；接置該第一封裝基板於該第二封裝基板的第二金屬柱上，使該第一封裝基板之第一金屬柱對應電性連接該第二金屬柱；以及於該第一封裝基板與第二封裝基板之間形成包覆該第一金屬柱與第二金屬柱的封裝膠體。

於一具體實施例中，該第一金屬柱上復形成有鍍料凸塊，以電性連接該第二金屬柱；或者，該第二金屬柱上復形成有鍍料凸塊，以電性連接該第一金屬柱。

於前述之半導體封裝件之製法中，於形成該封裝膠體後，復包括於該第二封裝基板之第四表面上形成複數導電元件，且於形成該封裝膠體後，復包括進行切單步驟。

依上所述之半導體封裝件之製法，於形成該封裝膠體後，復包括於該第一封裝基板之第二表面上接置電子元件，該電子元件係為晶片或封裝件，該第一金屬柱與第二金屬柱之粗細不同，且該第二金屬柱較該第一金屬柱粗。

本發明復提供一種半導體封裝件，係包括：第二封裝基板，係具有相對之第三表面與第四表面，該第三表面具有複數第二電性接觸墊及形成於該第二電性接觸墊上之第二金屬柱；半導體晶片，係接置於該第二封裝基板之第三表面上；鍍料凸塊，係形成於該第二金屬柱上；第一封裝基板，係具有相對之第一表面與第二表面，該第一表面具有複數第一電性接觸墊及形成於該第一電性接觸墊上的第一金屬柱，且該第一封裝基板係以該第一金屬柱對應電性連接該鍍料凸塊之方式接置於該第二封裝基板上；以及封

裝膠體，係形成於該第一封裝基板與第二封裝基板之間，以包覆該第一金屬柱與第二金屬柱。

於本發明之半導體封裝件中，復包括複數導電元件，係形成於該第二封裝基板之第四表面上，且復包括電子元件，係接置於該第一封裝基板之第二表面上。

所述之半導體封裝件中，該電子元件係為晶片或封裝件，該第一金屬柱與第二金屬柱之粗細不同，且該第二金屬柱較該第一金屬柱粗。

由上可知，本發明係二封裝基板上均形成有金屬柱，並藉由二金屬柱相互對應並電性連接以完成一半導體封裝件，由於該金屬柱所需的空間遠較習知之錫球小，因而可避免錫料橋接現象，並能有效增進產品良率與可靠度。

【圖式簡單說明】

第 1 圖所示者係習知之堆疊式半導體封裝件的剖面圖；以及

第 2A 至 2G 圖所示者係本發明之半導體封裝件及其製法的剖視圖，其中，第 2A'圖係第 2A 圖之另一實施態樣，第 2B'圖係第 2B 圖之另一實施態樣，第 2C'圖係第 2C 圖之另一實施態樣。

【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

須知，本說明書所附圖式所繪示之結構、比例、大小

等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如「上」及「一」等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

第 2A 至 2G 圖所示者，係本發明之半導體封裝件及其製法的剖視圖，其中，第 2A' 圖係第 2A 圖之另一實施態樣，第 2B' 圖係第 2B 圖之另一實施態樣，第 2C' 圖係第 2C 圖之另一實施態樣。

如第 2A 圖所示，提供一第一封裝基板 21，其具有相對之第一表面 21a 與第二表面 21b，該第一表面 21a 與第二表面 21b 分別具有複數第一電性接觸墊 211 與複數第三電性接觸墊 212，並於各該第一電性接觸墊 211 上依序形成第一金屬柱 213 與錫料凸塊 214，形成該第一金屬柱 213 之材質可為銅。或者，如第 2A' 圖所示，僅形成該第一金屬柱 213，而未形成該錫料凸塊 214。

如第 2B 圖所示，提供一第二封裝基板 22，其具有相對之第三表面 22a 與第四表面 22b，該第三表面 22a 具有複數第二電性接觸墊 221 與複數第四電性接觸墊 222，該第四表面 22b 具有複數第五電性接觸墊 223，並於各該第二

電性接觸墊 221 上形成第二金屬柱 224，且於各該第四電性接觸墊 222 上形成第三金屬柱 226，形成該第二金屬柱 224 之材質可為銅。或者，如第 2B'圖所示，於各該第二電性接觸墊 221 上依序形成該第二金屬柱 224 與錫料凸塊 225。

如第 2C 圖所示，於該第三金屬柱 226 上覆晶接置半導體晶片 23；於其他實施例中，亦可無需該第三金屬柱 226，而直接以錫料凸塊（未圖示）進行覆晶電性連接。

或者，如第 2C'圖所示，該半導體晶片 23 上先形成有第四金屬柱 231，且該第四電性接觸墊 222 上未形成有該第三金屬柱 226，該半導體晶片 23 係以該第四金屬柱 231 覆晶接置於該第四電性接觸墊 222 上。

如第 2D 圖所示，於該第二封裝基板 22 的第二金屬柱 224 上接置該第一封裝基板 21，該第一封裝基板 21 係藉由該錫料凸塊 214 以該第一電性接觸墊 211 上的第一金屬柱 213 對應電性連接該第二金屬柱 224，其中，接置該第一封裝基板 21 之方式可以小單元（unit）或大區塊（block）為單位，該大區塊例如包括有 3x3 陣列之單位。

如第 2E 圖所示，於該第一封裝基板 21 與第二封裝基板 22 之間形成包覆該第一金屬柱 213、第二金屬柱 224 與半導體晶片 23 的封裝膠體 24。

如第 2F 圖所示，於該第二封裝基板 22 之第五電性接觸墊 223 上形成複數導電元件 25。

如第 2G 圖所示，進行切單步驟，並於該第一封裝基

板 21 之第三電性接觸墊 212 上接置電子元件 26，該電子元件 26 係為封裝件；於其他實施例中，該電子元件 26 可為晶片。

要補充說明的是，該第一金屬柱 213 與第二金屬柱 224 之粗細可不同，或者，該第一金屬柱 213 係可與該第二金屬柱 224 同等粗細，但較佳實施例係該第二金屬柱 224 較該第一金屬柱 213 粗，以避免該第一金屬柱 213 與第二金屬柱 224 間的銲料向外溢流。

本發明復揭露一種半導體封裝件，係包括：第二封裝基板 22，其具有相對之第三表面 22a 與第四表面 22b，該第三表面 22a 具有複數第二電性接觸墊 221，且該第二電性接觸墊 221 上形成有第二金屬柱 224；半導體晶片 23，係覆晶接置於該第二封裝基板 22 之第三表面 22a 上；銲料凸塊 214，係形成於該第二金屬柱 224 上；第一封裝基板 21，係具有相對之第一表面 21a 與第二表面 21b，並接置於該第二封裝基板 22 的銲料凸塊 214 上，且係以其複數第一電性接觸墊 211 上的第一金屬柱 213 對應電性連接該銲料凸塊 214；以及封裝膠體 24，係形成於該第一封裝基板 21 與第二封裝基板 22 之間，以包覆該第一金屬柱 213 與第二金屬柱 224。

於本實施例之半導體封裝件中，復包括複數導電元件 25，係形成於該第二封裝基板 22 之第四表面 22b 上。

於前述之半導體封裝件中，復包括電子元件 26，係接置於該第一封裝基板 21 之第二表面 21b 上，且該電子元件

26 係為晶片或封裝件。

所述之半導體封裝件的第一金屬柱 213 與第二金屬柱 224 之粗細不同，且該第二金屬柱 224 較該第一金屬柱 213 粗。

綜上所述，相較於習知技術，本發明係於第一封裝基板與第二封裝基板上分別形成有第一金屬柱與第二金屬柱，並藉由該第一金屬柱對應並電性連接該第二金屬柱以完成一半導體封裝件，由於該第一金屬柱與第二金屬柱所需的空間遠較習知之錫球小，因此符合現今封裝件之細間距的趨勢，俾可避免錫料橋接現象，進而能有效增進產品良率與可靠度。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【符號說明】

10	第一半導體封裝件
101	晶片承載件
102、23	半導體晶片
103	第一導電元件
104	電路板
105	錫球
106、24	封裝膠體

107	第二導電元件
11	第二半導體封裝件
21	第一封裝基板
21a	第一表面
21b	第二表面
211	第一電性接觸墊
212	第三電性接觸墊
213	第一金屬柱
214、225	錫料凸塊
22	第二封裝基板
22a	第三表面
22b	第四表面
221	第二電性接觸墊
222	第四電性接觸墊
223	第五電性接觸墊
224	第二金屬柱
226	第三金屬柱
231	第四金屬柱
25	導電元件
26	電子元件

申請專利範圍

1. 一種半導體封裝件之製法，係包括：

提供第一封裝基板及第二封裝基板，該第一封裝基板具有相對之第一表面與第二表面，該第一表面具有複數第一電性接觸墊及形成於其上的第一金屬柱，該第二封裝基板具有相對之第三表面與第四表面，該第三表面具有複數第二電性接觸墊、形成於該第二電性接觸墊上之第二金屬柱及設於該第三表面上的半導體晶片；

接置該第一封裝基板於該第二封裝基板的第二金屬柱上，使該第一封裝基板之第一金屬柱對應電性連接該第二金屬柱；以及

於該第一封裝基板與第二封裝基板之間形成包覆該第一金屬柱與第二金屬柱的封裝膠體。

2. 如申請專利範圍第 1 項所述之半導體封裝件之製法，其中，該第一金屬柱上復形成有錫料凸塊，以電性連接該第二金屬柱。
3. 如申請專利範圍第 1 項所述之半導體封裝件之製法，其中，該第二金屬柱上復形成有錫料凸塊，以電性連接該第一金屬柱。
4. 如申請專利範圍第 1 項所述之半導體封裝件之製法，於形成該封裝膠體後，復包括於該第二封裝基板之第四表面上形成複數導電元件。
5. 如申請專利範圍第 1 項所述之半導體封裝件之製法，

於形成該封裝膠體後，復包括進行切單步驟。

6. 如申請專利範圍第 1 項所述之半導體封裝件之製法，於形成該封裝膠體後，復包括於該第一封裝基板之第二表面上接置電子元件。
7. 如申請專利範圍第 6 項所述之半導體封裝件之製法，其中，該電子元件係為晶片或封裝件。
8. 如申請專利範圍第 1 項所述之半導體封裝件之製法，其中，該第一金屬柱與第二金屬柱之粗細不同。
9. 如申請專利範圍第 8 項所述之半導體封裝件之製法，其中，該第二金屬柱較該第一金屬柱粗。
10. 一種半導體封裝件，係包括：

第二封裝基板，係具有相對之第三表面與第四表面，該第三表面具有複數第二電性接觸墊及形成於該第二電性接觸墊上之第二金屬柱；

半導體晶片，係接置於該第二封裝基板之第三表面上；

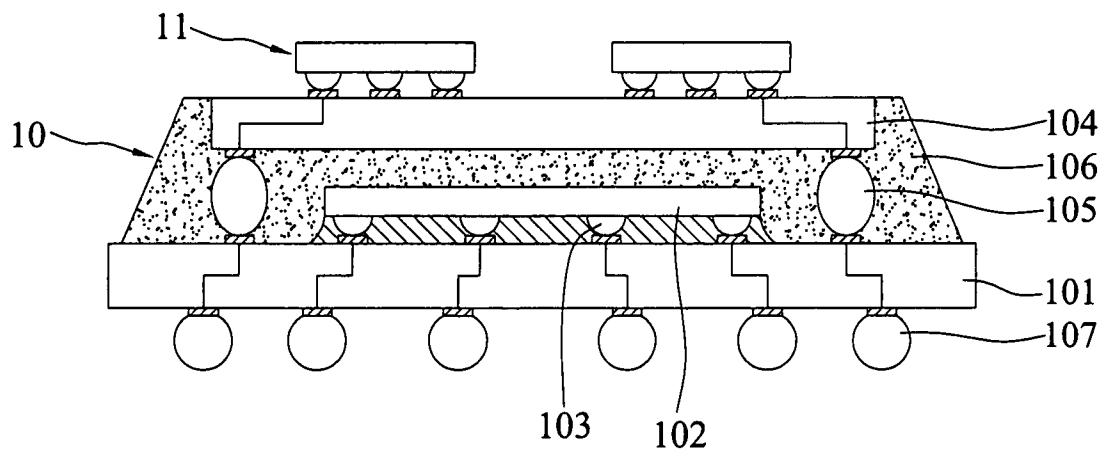
錫料凸塊，係形成於該第二金屬柱上；

第一封裝基板，係具有相對之第一表面與第二表面，該第一表面具有複數第一電性接觸墊及形成於該第一電性接觸墊上的第一金屬柱，且該第一封裝基板係以該第一金屬柱對應電性連接該錫料凸塊之方式接置於該第二封裝基板上；以及

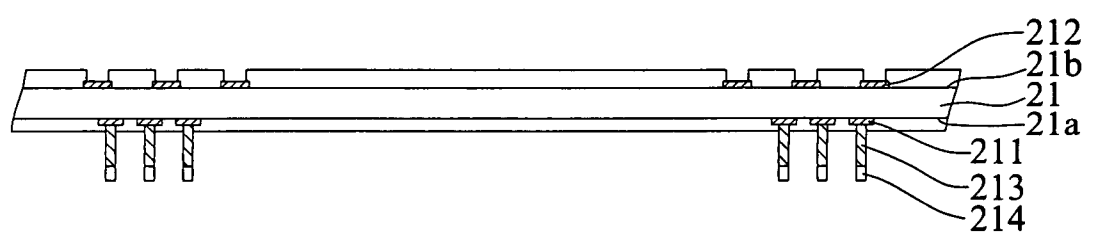
封裝膠體，係形成於該第一封裝基板與第二封裝基板之間，以包覆該第一金屬柱與第二金屬柱。

11. 如申請專利範圍第 10 項所述之半導體封裝件，復包括複數導電元件，係形成於該第二封裝基板之第四表面上。
12. 如申請專利範圍第 10 項所述之半導體封裝件，復包括電子元件，係接置於該第一封裝基板之第二表面上。
13. 如申請專利範圍第 12 項所述之半導體封裝件，其中，該電子元件係為晶片或封裝件。
14. 如申請專利範圍第 10 項所述之半導體封裝件，其中，該第一金屬柱與第二金屬柱之粗細不同。
15. 如申請專利範圍第 14 項所述之半導體封裝件，其中，該第二金屬柱較該第一金屬柱粗。

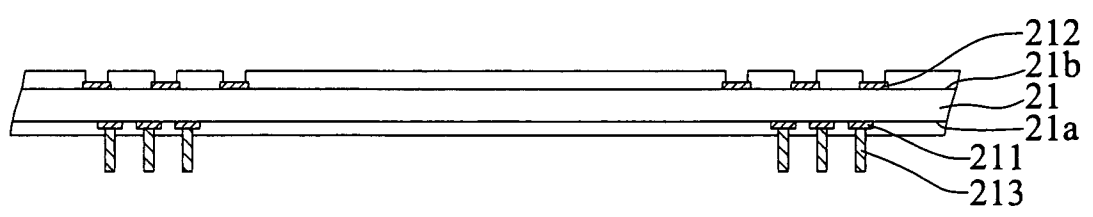
圖式



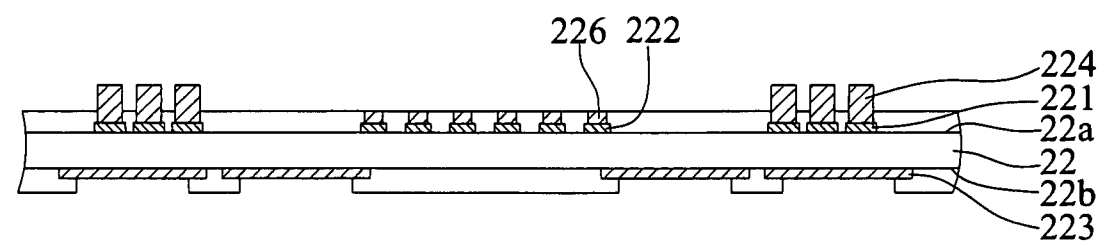
第1圖



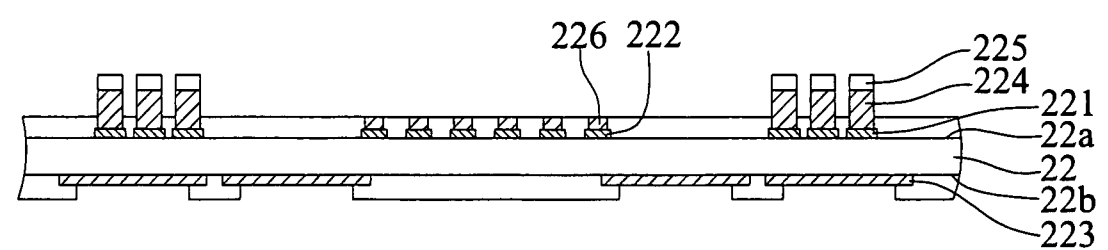
第2A圖



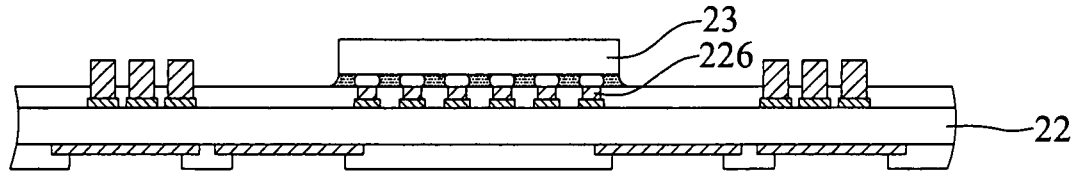
第2A'圖



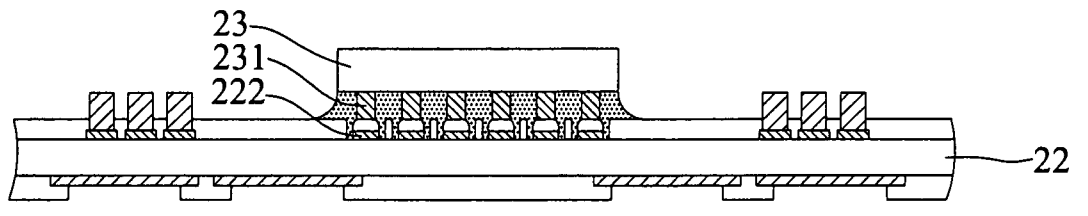
第2B圖



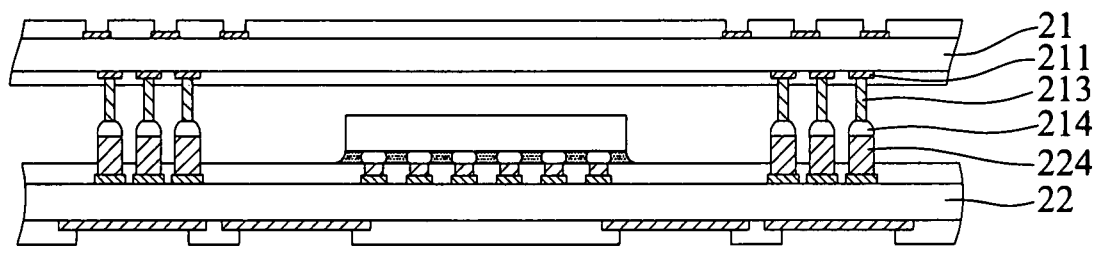
第2B'圖



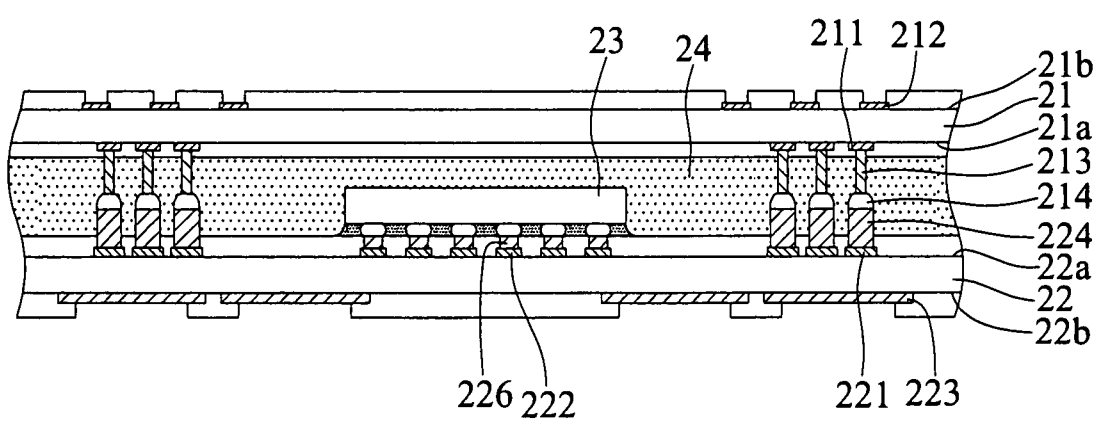
第2C圖



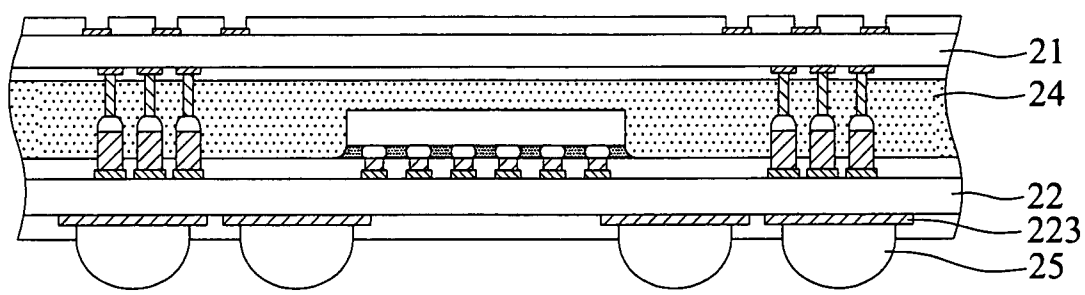
第2C'圖



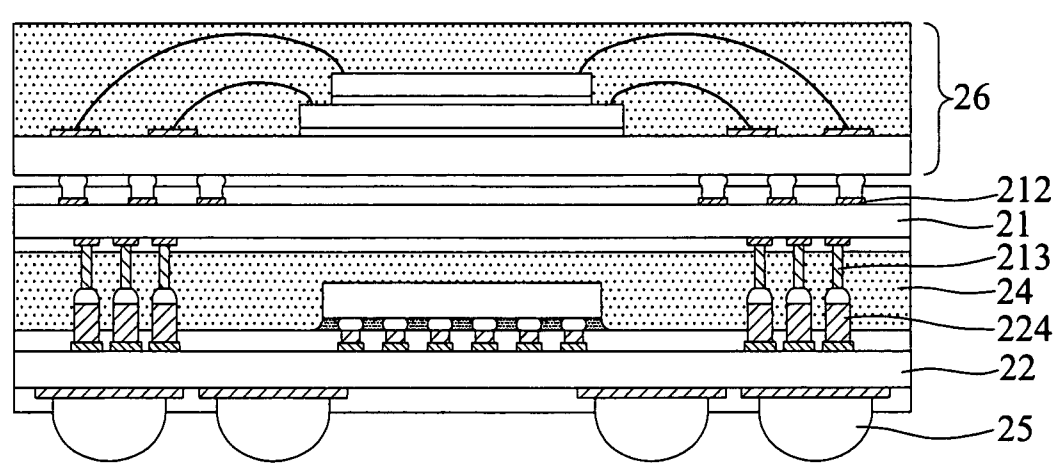
第2D圖



第2E圖



第2F圖



第2G圖