

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 21/32 H01L 21/28	(45) 공고일자 2000년 12월 15일 (11) 등록번호 10-0277086 (24) 등록일자 2000년 10월 06일
(21) 출원번호 10-1999-0000001 (22) 출원일자 1999년 01월 02일	(65) 공개번호 특2000-0050273 (43) 공개일자 2000년 08월 05일
(73) 특허권자 삼성전자주식회사 윤종용 경기도 수원시 팔달구 매탄3동 416	
(72) 발명자 김태훈 경기도 수원시 팔달구 지동 232번지 장안연립에이-202호 심명섭 경기도 수원시 팔달구 우만동 우만주공아파트 205동 504호	
(74) 대리인 이건주	

심사관 : 정경덕

(54) 반도체 장치 및 그 제조 방법

요약

반도체 기판의 상부에 형성된 제1 도전라인, 제1 도전라인 및 반도체 기판의 상부에 형성되며 제1 도전라인을 노출시키는 제1 콘택홀을 갖는 절연층, 및 제1 콘택홀을 포함한 절연층의 상부에 다결정실리콘층과 실리사이드층이 적층되어 형성된 제2 도전라인을 구비하며, 제2 도전라인의 다결정실리콘층은 제1 도전라인을 노출시키도록 제1 콘택홀의 측벽으로부터 절연층의 상부로 신장되어 형성되고 제2 도전라인의 실리사이드층은 제1 콘택홀의 내부에서 노출된 제1 도전라인에 직접 접촉되어 형성되는 반도체 장치 및 그 제조 방법이 개시되어 있다. 워드라인 실리사이드층과 비트라인 실리사이드층을 직접 접촉시킴으로써 비트라인과 워드라인 간의 콘택 저항을 감소시킬 수 있다.

대표도

도 7a

색인어

도전라인, 콘택저항, 실리사이드층, 콘택홀

명세서

도면의 간단한 설명

도 1 및 도 2는 종래 방법에 의한 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 3 내지 도 7은 본 발명의 제1 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 8 내지 도 10은 본 발명의 제2 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

100 : 반도체 기판 101 : 필드 산화막

102 : 게이트 산화막 104 : 제1 다결정실리콘층

106 : 제1 실리사이드층 108 : 워드라인

110 : 절연층 112a, 112b : 콘택홀

114 : 제2 다결정실리콘층 116 : 제2 실리사이드층

118 : 비트라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 보다 상세하게는 비트라인과 워드라인 간의 콘택 저항을 감소시킬 수 있는 반도체 장치 및 그 제조 방법에 관한 것이다.

반도체 장치가 고집적화 및 고속화됨에 따라, 미세 패턴의 형성이 요구되고 있으며 배선의 폭(width) 뿐만 아니라 배선과 배선 사이의 간격(space)도 현저하게 감소하고 있다. 특히, 다이내믹 랜덤 액세스 메모리(dynamic random access memory; DRAM) 장치에 있어서, 비트라인과 워드라인의 폭이 감소하고 콘택 크기가 감소함에 따라 비트라인 및 워드라인의 저항(R)이 점차 증가하고 있으며, 이에 따른 신호 전달 지연(RC 지연), 잡음으로 작용하는 크로스 토크(cross talk), 및 전력 소모와 같은 문제들이 발생하고 있다.

따라서, 배선 저항을 감소시키기 위하여 구조적 개선, 새로운 물질 개발, 및 그에 따른 양산화에 대한 많은 연구가 진행중이며, 현재는 다결정실리콘층 상에 금속 실리사이드층을 적층한 폴리사이드(polycide) 구조로 비트라인이나 워드라인을 형성하는 공정이 가장 양산화되어 있다. 이러한 실리사이드는 ① 금속과 같은 낮은 저항을 갖고, ② 높은 온도에서 안정된 특성을 보이며, ③ 실리콘층 또는 다결정실리콘층에서의 패턴 형성이 용이하고, ④ 우수한 부착성(good adherence)과 낮은 스트레스와 같은 양호한 물리적 안정성(mechanical stability)을 가지며, ⑤ 최종 금속층과의 반응이 없고, ⑥ 낮은 콘택 저항과 적은 저항 침투성을 가지며, ⑦ 웨이퍼 사용 장비 간의 오염이 없기 때문에 새로운 금속화 물질로서 각광받고 있다.

DRAM 장치에서는 이러한 폴리사이드 공정을 비트라인에 가장 먼저 적용하였으며, 하프-서브마이크론(half-submicron)급 이상에서는 다결정실리콘으로 형성되는 워드라인의 저항을 감소시키기 위하여 워드라인 하나에 금속 라인 하나를 일대일로 콘택시키는 스트래핑 라인(strapping line)을 형성하였다. 그러나, 하프-서브마이크론급 이하의 DRAM 장치에서는 스트래핑 라인을 형성할 만큼 금속 배선을 작게 형성할 수 없기 때문에, 서브 워드라인 드라이브(sub wordline drive) 구조를 적용하여 워드라인의 저항 증가를 방지하고 있으며, 최근에는 워드라인 자체의 저항을 감소시키기 위하여 워드라인에도 폴리사이드 공정을 적용하고 있다.

그러나, 고집적 DRAM 장치에 폴리사이드 워드라인을 적용할 경우, 워드라인의 면저항(sheet resistance)은 감소하지만 주변 회로 영역에 형성되는 비트라인과 워드라인 간의 콘택은 그 저항이 오히려 증가하는 문제가 발생한다.

도 1 및 도 2는 종래 방법에 의한 폴리사이드 워드라인과 폴리사이드 비트라인 구조를 갖는 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 1을 참조하면, 필드 산화막(11)에 의해 활성 영역과 소자분리 영역으로 구분되어진 반도체 기판(10)의 상부에 열산화 공정을 실시하여 게이트 산화막(12)을 형성한 후, 그 상부에 불순물, 예컨대 인(P)이 도핑된 제1 다결정실리콘층(14)과 제1 실리사이드층(16)을 순차적으로 적층한다. 이어서, 사진식각 공정을 통해 제1 실리사이드층(16) 및 제1 다결정실리콘층(14)을 패터닝하여 폴리사이드 워드라인(18)을 형성한다. 결과물의 전면에 산화물을 증착하여 절연층(20)을 형성한 후, 사진식각 공정을 통해 절연층(20)을 식각하여 워드라인(18)의 제1 실리사이드층(16)을 노출시키는 콘택홀(22)을 형성한다.

도 2를 참조하면, 콘택홀(22)이 형성된 결과물의 상부에 불순물, 예컨대 인(P)이 도핑된 제2 다결정실리콘층(24)과 제2 실리사이드층(26)을 순차적으로 적층한다. 이어서, 사진식각 공정으로 제2 실리사이드층(26) 및 제2 다결정실리콘층(24)을 패터닝하여 콘택홀(22)을 통해 워드라인(18)에 전기적으로 접속되는 폴리사이드 비트라인(28)을 형성한다.

상술한 종래 방법에 의하면, 비트라인의 제2 실리사이드층(26)과 워드라인의 제1 실리사이드층(16) 사이에 존재하는 비트라인의 제2 다결정실리콘층(24)에 도핑되어 있는 불순물, 즉 인(P)들이 후속 열처리 공정(예컨대, 800~1000°C, 질소(N₂) 분위기, 30분)에 의해 외확산(out-diffusion)됨으로써 이웃하는 실리사이드층, 즉 워드라인의 제1 실리사이드층(16)으로 확산될 뿐만 아니라, 심할 경우 워드라인의 제1 다결정실리콘층(14)까지 확산된다. 따라서, 이러한 불순물 재분포 현상으로 인하여 비트라인의 제2 다결정실리콘층(24) 내의 불순물 농도가 급격히 감소하게 됨으로써 비트라인(28)과 워드라인(18) 간의 콘택 저항이 증가하는 문제가 발생한다.

이러한 문제를 개선하기 위하여 비트라인과 워드라인 간의 콘택을 형성한 후 추가로 이온주입을 실시하는 방법이 사용되기도 하지만, 이 방법에 의하면 메모리 셀 어레이 영역에도 이온주입이 되어 셀의 소자분리 특성이 취약해지는 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 제1폴리사이드층과 제2폴리사이드층간의 콘택저항을 감소시킬 수 있는 반도체 장치를 제공하는데 있다.

본 발명의 다른 목적은, 비트라인과 워드라인 간의 콘택 저항을 감소시킬 수 있는 반도체 장치를 제공하는데 있다.

본 발명의 또 다른 목적은, 비트라인과 워드라인 간의 콘택 저항을 감소시킬 수 있는 반도체 장치의 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 일 목적을 달성하기 위하여 본 발명은, 반도체 기판의 상부에 형성된 제1 도전라인; 제1 도전라인 및 반도체 기판의 상부에 형성되며 제1 도전라인을 노출시키는 제1 콘택홀을 갖는 절연층; 및 제1 콘택홀을 포함한 절연층의 상부에 다결정실리콘층과 실리사이드층이 적층되어 형성된 제2 도전라인을 구비하며, 제2 도전라인의 다결정실리콘층은 제1 도전라인을 노출시키도록 제1 콘택홀의 측벽으로부터 절연층의 상

부로 신장되어 형성되고 제2 도전라인의 실리사이드층은 제1 콘택홀의 내부에서 노출된 제1 도전라인에 직접 접촉되어 형성된 것을 특징으로 하는 반도체 장치를 제공한다.

바람직하게는, 제1 도전라인은 다결정실리콘층과 실리사이드층이 적층되어 형성된다. 바람직하게는, 제2 도전라인의 다결정실리콘층은 제1 도전라인의 실리사이드층을 노출시키도록 제1 콘택홀의 측벽으로부터 절연층의 상부로 신장되어 형성되고 제2 도전라인의 실리사이드층은 제1 콘택홀의 내부에서 노출된 제1 도전라인의 실리사이드층에 직접 접촉되어 형성된다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

도 3 내지 도 7은 본 발명의 제1 실시예에 의한 폴리사이드 워드라인과 폴리사이드 비트라인 구조를 갖는 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 3은 워드라인(108) 및 절연층(110)을 형성하는 단계를 도시한다. 먼저, 반도체 기판(100)의 상부에 통상의 소자분리 공정에 의해 필드 산화막(101)을 형성함으로써, 상기 기판(100)을 활성 영역과 소자분리 영역으로 구분한다. 열산화 공정을 통해 기판(100)의 상부에 게이트 산화막(102)을 성장시킨 후, 그 상부에 불순물, 예컨대 인(P)이 도핑된 제1 다결정실리콘층(104)을 저압 화학 기상 증착(low pressure chemical vapor deposition; LPCVD) 방법에 의해 1000~1500Å의 두께로 형성한다. 제1 다결정실리콘층(104)의 상부에 텅스텐 실리사이드와 같은 제1 실리사이드층(106)을 저압 화학 기상 증착 방법에 의해 약 1000Å의 두께로 형성한다. 이어서, 사진식각 공정을 통해 제1 실리사이드층(106) 및 제1 다결정실리콘층(104)을 패터닝하여 워드라인(108)을 형성한 후, 결과물의 상부에 절연층(110)을 형성한다.

바람직하게는, 절연층(110)은 고온 산화막(high temperature oxide)을 약 700Å의 두께로 증착하고 그 상부에 BPSG(borophosphosilicate glass)막을 약 3000Å의 두께로 적층하여 형성한다. 또한, 약 850°C의 온도에서 질소(N₂) 분위기로 30분 동안 리플로우(reflow) 공정을 수행하여 절연층(110)의 표면을 평탄화시킨다.

이어서, 사진 공정을 통해 절연층(110)의 상부에 콘택홀 형성을 위한 감광막 패턴(111)을 형성한다.

도 4는 제1 콘택홀(112a)을 형성하는 단계를 도시한다. 감광막 패턴(111)을 식각 마스크로 이용하여 절연층(110)을 식각함으로써 주변 회로 영역에서는 워드라인(108)의 제1 실리사이드층(106)을 노출시키는 제1 콘택홀(112a)을 형성하고, 메모리 셀 영역에서는 기판(100)의 활성 영역, 즉 트랜지스터의 드레인 영역(도시하지 않음)을 노출시키는 제2 콘택홀(도 7b의 참조 부호 112b)을 형성한다. 이어서, 감광막 패턴(111)을 제거한다.

도 5는 제1 콘택홀(112a) 및 제2 콘택홀을 포함한 절연층(110)의 상부에 불순물, 예컨대 인(P)이 도핑된 제2 다결정실리콘층(114)을 형성하는 단계를 도시한다. 바람직하게는, 제2 다결정실리콘층(114)은 저압 화학 기상 증착 방법에 의해 약 2000Å의 두께로 형성한다.

도 6은 제2 다결정실리콘층(114)을 전면 에치백하여 결과물을 평탄화시키는 단계를 도시한다. 상기한 공정의 결과로, 제1 콘택홀(112a) 영역에서는 제2 다결정실리콘층(114)이 제거되어 그 하부의 제1 실리사이드층(106)이 노출되며 나머지 영역에서는 제2 다결정실리콘층(114)이 소정 두께, 예컨대 약 700Å의 두께로 잔류된다.

바람직하게는, 상기 에치백 공정은 플라즈마를 이용하여 실시한다. 즉, 식각 물질이 형성된 기판을 받치고 있는 척을 음극(cathode)으로 이용하고 맞은 편의 척을 양극(anode)으로 이용하여 음극의 척에는 교류 전압을 인가하고 양극의 척은 접지시키거나, 또는 교류 전압과 마그네틱 코일을 이용하여 플라즈마에 자기장을 걸어주는 방식으로 식각한다. 이와 같이 식각을 수행할 경우, 단차진 부위의 식각 물질이 평탄한 부위보다 상대적으로 많이 식각된다. 따라서, 워드라인의 제1 실리사이드층(106)과 비트라인의 제2 다결정실리콘층(114)이 접촉되고 있는 제1 콘택홀(112a)의 하부 영역에서는 제2 다결정실리콘층(114)이 완전히 제거되는 반면, 나머지 영역에서는 제2 다결정실리콘층(114)이 소정 두께로 남아있게 된다. 이때, 기판(100)의 활성 영역과 비트라인의 제2 다결정실리콘층(114)이 접촉되고 있는 제2 콘택홀(도 7b의 참조 부호 112b)은 제1 콘택홀(112a)에 비해 그 깊이가 깊기 때문에 도 7b에 도시한 바와 같이 제2 다결정실리콘층(114)이 잔류하게 된다. 그러나, 여기서 상기 제1 콘택홀(112a) 측벽과 상기 제2 콘택홀(112b) 이외의 상기 제2절연층 상부에 형성된 제2 다결정실리콘층(114b)은 완전히 제거될 수도 있다.

도 7a 및 도 7b는 비트라인(118)을 형성하는 단계를 도시한 것으로, 도 7a는 주변 회로 영역을 도시하고 도 7b는 메모리 셀 영역을 도시한다. 상기와 같이 제2 다결정실리콘층(114)을 전면 에치백한 후, 제1 콘택홀(112a)의 노출된 제1 실리사이드층(106) 위에 제2 다결정실리콘층(114)의 잔류물(residue)을 제거하는 공정을 수행한다. 바람직하게는, 상기 잔류물 제거 공정은 건식 식각을 이용한다. 이어서, 웨이퍼 상의 미립자를 비롯한 금속 불순물, 유기 오염물 등을 제거하기 위하여 SC-1 (Standard Cleaning; NH₄OH와 H₂O₂ 및 H₂O가 1:4:20의 비로 혼합된 유기물)을 이용한 세정 공정을 실시한 후, 제2 다결정실리콘층(114)의 표면에 생성된 자연 산화막(native oxide)을 제거하기 위하여 HF와 초순수가 1:200의 비로 혼합된 약액을 이용한 세정 공정을 실시한다.

이어서, 결과물의 상부에 텅스텐 실리사이드와 같은 제2 실리사이드층(116)을 저압 화학 기상 증착 방법에 의해 약 1500Å의 두께로 형성한 후, 사진식각 공정을 통해 제2 실리사이드층(116) 및 제2 다결정실리콘층(114)을 패터닝함으로써 비트라인(118)을 형성한다. 여기서, 주변 회로 영역에서 비트라인의 제2 실리사이드층(116)은 제1 콘택홀(112a) 영역에서 노출된 워드라인의 제1 실리사이드층(106)에 직접 접촉하게 된다. 반면에, 메모리 셀 영역에서는 기판(100)의 활성 영역을 노출시키는 제2 콘택홀(112b)이 비트라인의 제2 다결정실리콘층(114)으로 매립되어 있으므로 비트라인의 제2 실리사이드층(116)이 기판(100)의 활성 영역에 직접 접촉되지 않는다.

도 8 내지 도 10은 본 발명의 제2 실시예에 의한 폴리사이드 워드라인과 폴리사이드 비트라인 구조를 갖는 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 8을 참조하면, 상술한 본 발명의 제1 실시예와 동일한 방법에 의해, 필드 산화막(201)에 의해 활성 영

역과 소자 분리 영역이 구분되어진 반도체 기판(200)의 상부에 게이트 산화막(202), 제1 다결정실리콘층(204)과 제1 실리사이드층(206)이 적층된 워드라인(208), 및 절연층(210)을 형성한다.

이어서, 절연층(210)의 상부에 불순물, 예컨대 인(P)이 도핑된 제2 다결정실리콘층(211)을 저압 화학 기상 증착 방법에 의해 약 100~2000Å의 두께로 형성한다. 바람직하게는 1000Å의 두께로 형성한다. 이어서, 사진 및 식각 공정을 통해 제2 다결정실리콘층(211) 및 절연층(210)을 식각하여 주변 회로 영역에서는 워드라인(208)의 제1 실리사이드층(206)을 노출시키는 제1 콘택홀(212)을 형성하고, 메모리 셀 영역에서는 기판(200)의 활성 영역, 즉 트랜지스터의 드레인 영역(도시하지 않음)을 노출시키는 제2 콘택홀(도시하지 않음)을 형성한다.

도 9를 참조하면, 제1 콘택홀(212) 및 제2 콘택홀을 포함한 제2 다결정실리콘층(211)의 상부에 불순물, 예컨대 인(P)이 도핑된 제3 다결정실리콘층(214)을 형성하는 단계를 도시한다. 바람직하게는, 제3 다결정실리콘층(214)은 저압 화학 기상 증착 방법에 의해 약 2000Å의 두께로 형성한다. 바람직하게는, 제2 다결정실리콘층(211)과 제3 다결정실리콘층(214)의 도핑 농도를 동일하게 한다.

도 10을 참조하면, 제3 다결정실리콘층(214)을 전면 에치백하여 결과물을 평탄화시킨다. 상기한 공정의 결과로, 제1 콘택홀(212) 영역의 하부에서 제3 다결정실리콘층(214)이 제거되어 그 하부의 제1 실리사이드층(206)이 노출되며 나머지 영역에서는 제3 다결정실리콘층(214)이 완전히 제거된다. 그러나, 상기 제3 다결정실리콘층(214)이 에치백 조건에 따라 소정 두께로 제2 다결정실리콘(211) 상에 남아 있을 수도 있다. 또한, 기판(200)의 활성 영역과 비트라인의 제3 다결정실리콘층(214)이 접촉되고 있는 제2 콘택홀은 제1 콘택홀(212)에 비해 그 깊이가 깊기 때문에 제3 다결정실리콘층(214)이 잔류하게 된다.

이때, 제1 콘택홀(212) 이외의 영역에서 제3 다결정실리콘층(214)이 과도하게 식각되어 제거되더라도 그 하부의 제2 다결정실리콘층(211)에 의해 저항 측면에서 요구되는 두께를 얻을 수 있다.

이어서, 제1 콘택홀(212)의 노출된 제1 실리사이드층(206) 위에 제3 다결정실리콘층(214)의 잔류물을 제거한다. 바람직하게는, 상기 제거공정은 건식 식각을 이용한다. 이어서, 웨이퍼 상의 미립자를 비롯한 금속 불순물, 유기 오염물 등을 제거하기 위하여 SC-1을 이용한 세정 공정을 실시한 후, 제3 다결정실리콘층(214)의 표면에 생성된 자연 산화막을 제거하기 위하여 HF와 초순수가 1:200의 비로 혼합된 약액을 이용한 세정 공정을 실시한다.

이어서, 결과물의 상부에 텅스텐 실리사이드와 같은 제2 실리사이드층(216)을 저압 화학 기상 증착 방법에 의해 약 1500Å의 두께로 형성한 후, 사진식각 공정을 통해 제2 실리사이드층(216), 제3 다결정실리콘층(214) 및 제2 다결정실리콘층(211)을 패터닝함으로써 비트라인(218)을 형성한다. 여기서, 주변 회로 영역에서 비트라인의 제2 실리사이드층(216)은 제1 콘택홀(212) 영역에서 노출된 워드라인의 제1 실리사이드층(206)에 직접 접촉하게 된다. 반면에, 메모리 셀 영역에서는 기판(200)의 활성 영역을 노출시키는 제2 콘택홀이 비트라인의 제3 다결정실리콘층(214)으로 매립되어 있으므로 비트라인의 제2 실리사이드층(216)이 기판(200)의 활성 영역에 직접 접촉되지 않는다.

발명의 효과

상술한 바와 같이 본 발명에 의하면, 워드라인 실리사이드층과 비트라인 실리사이드층을 직접 접촉시킴으로써 후속하는 열처리 공정시 비트라인 다결정실리콘층에 도핑되어 있는 불순물들이 외확산되어 비트라인과 워드라인 간의 콘택 저항이 증가하는 것을 방지할 수 있다.

상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1

반도체 기판의 상부에 형성된 제1 도전라인;

상기 제1 도전라인 및 상기 반도체 기판의 상부에 형성되며 상기 제1 도전라인을 노출시키는 제1 콘택홀을 갖는 절연층; 및

상기 제1 콘택홀을 포함한 상기 절연층의 상부에 다결정실리콘층과 실리사이드층이 적층되어 형성된 제2 도전라인을 구비하며,

상기 제2 도전라인의 다결정실리콘층은 상기 제1 도전라인을 노출시키도록 상기 제1 콘택홀의 측벽으로부터 상기 절연층의 상부로 신장되어 형성되고 상기 제2 도전라인의 실리사이드층은 상기 제1 콘택홀의 내부에서 상기 노출된 제1 도전라인에 직접 접촉되어 형성된 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 제1 도전라인은 다결정실리콘층과 실리사이드층이 적층되어 형성된 것을 특징으로 하는 반도체 장치.

청구항 3

제2항에 있어서, 상기 제2 도전라인의 다결정실리콘층은 상기 제1 도전라인의 실리사이드층을 노출시키도록 상기 제1 콘택홀의 측벽으로부터 상기 절연층의 상부로 신장되어 형성되고 상기 제2 도전라인의 실리사이드층은 상기 제1 콘택홀의 내부에서 상기 노출된 제1 도전라인의 실리사이드층에 직접 접촉되어 형성된 것을 특징으로 하는 반도체 장치.

청구항 4

제2항에 있어서, 상기 제2 도전라인의 다결정실리콘은 상기 절연층 상부에 일정 두께로 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 5

제1항에 있어서, 상기 제2 도전라인과 상기 반도체 기판의 활성 영역을 접촉시키기 위해 상기 절연층에 형성된 제2 콘택홀을 더 구비하며, 상기 제2 콘택홀은 상기 제2 도전라인의 다결정실리콘층으로 매립된 것을 특징으로 하는 반도체 장치.

청구항 6

제1항에 있어서, 상기 제1 도전라인은 워드라인인 것을 특징으로 하는 반도체 장치.

청구항 7

제1항에 있어서, 상기 제2 도전라인은 비트라인인 것을 특징으로 하는 반도체 장치.

청구항 8

반도체 기판의 상부에 제1 도전라인을 형성하는 단계;

상기 제1 도전라인이 형성된 결과물의 상부에 절연층을 형성하는 단계;

상기 절연층을 식각하여 상기 제1 도전라인을 노출시키는 제1 콘택홀을 형성하는 단계;

상기 제1 콘택홀을 포함한 상기 절연층의 상부에 제2 도전라인의 제1 다결정실리콘층을 형성하는 단계;

상기 제2 도전라인의 제1 다결정실리콘층을 에치백하여 상기 제1 콘택홀의 하부에 형성된 상기 제2 도전라인의 제1 다결정실리콘층을 제거함으로써 상기 제1 도전라인을 노출시키는 단계; 및

상기 결과물의 상부에 제2 도전라인의 제1 실리사이드층을 형성함으로써, 상기 노출된 제1 도전라인과 상기 제2 도전라인의 제1 실리사이드층을 직접 접촉시키는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 9

제8항에 있어서, 상기 제1 도전라인은 제1 다결정실리콘층과 제2 실리사이드층을 적층하여 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10

제8항에 있어서, 상기 절연층을 식각하여 상기 제1 도전라인을 노출시키는 제1 콘택홀을 형성하는 단계에서 상기 반도체 기판의 활성 영역을 노출시키는 제2 콘택홀을 함께 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 11

제10항에 있어서, 상기 제2 도전라인의 다결정실리콘층을 에치백하는 단계에서 상기 제2 콘택홀에서는 상기 제2 도전라인의 다결정실리콘층이 잔류하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 12

제8항에 있어서, 상기 제1 콘택홀을 형성하는 단계 전에, 상기 절연층의 상부에 제3 다결정실리콘층을 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 13

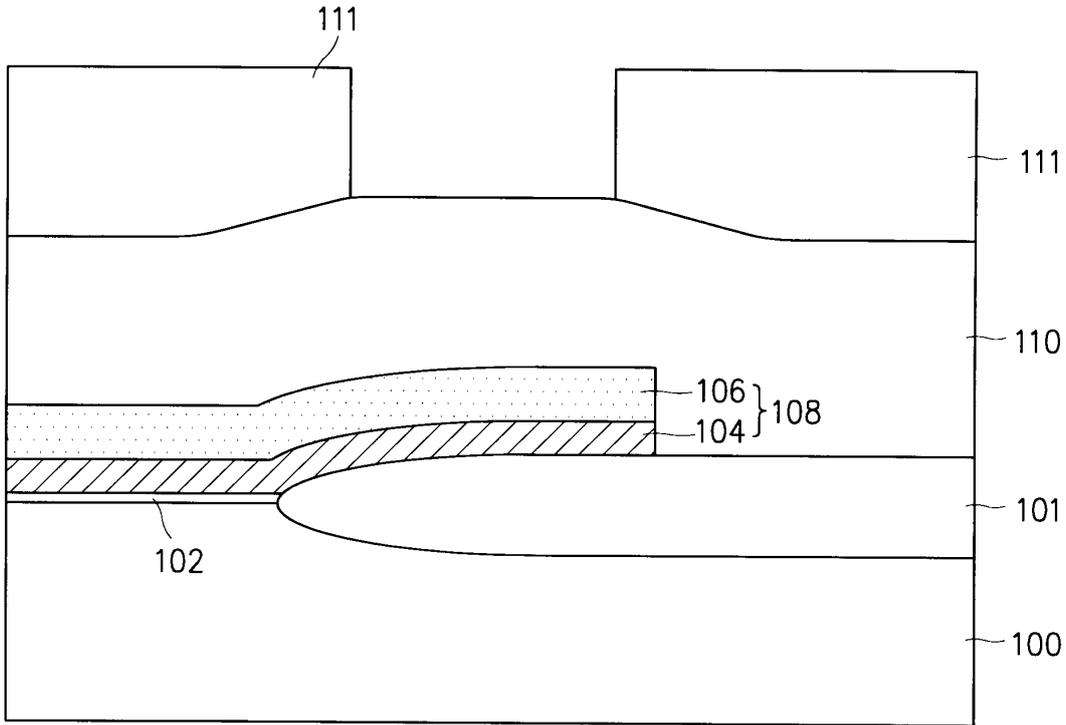
제12항에 있어서, 상기 다결정실리콘층 및 상기 절연층을 식각하여 상기 제1 콘택홀을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 14

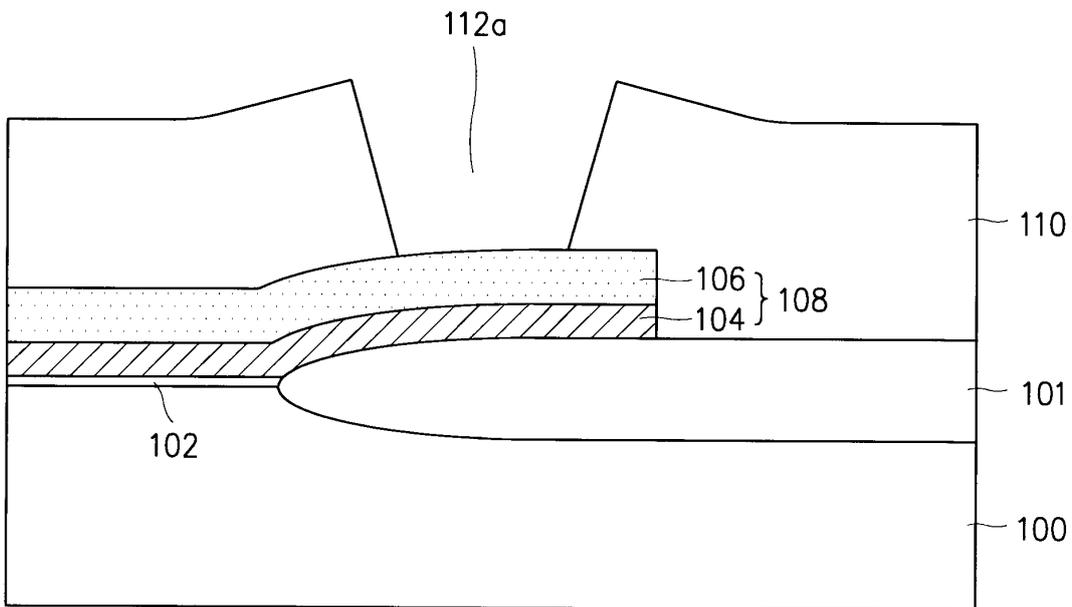
상기 제8항에 있어서, 상기 제2 도전라인의 제1 다결정실리콘층 에치백시 상기 절연층 상에 소정 두께로 제1 다결정실리콘층이 남아있는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

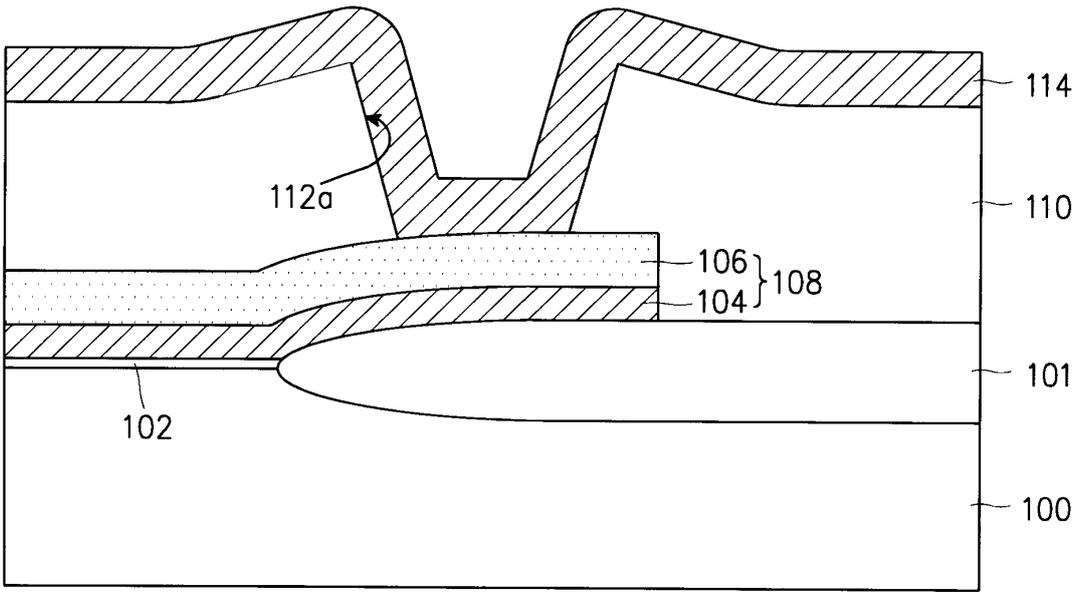
도면3



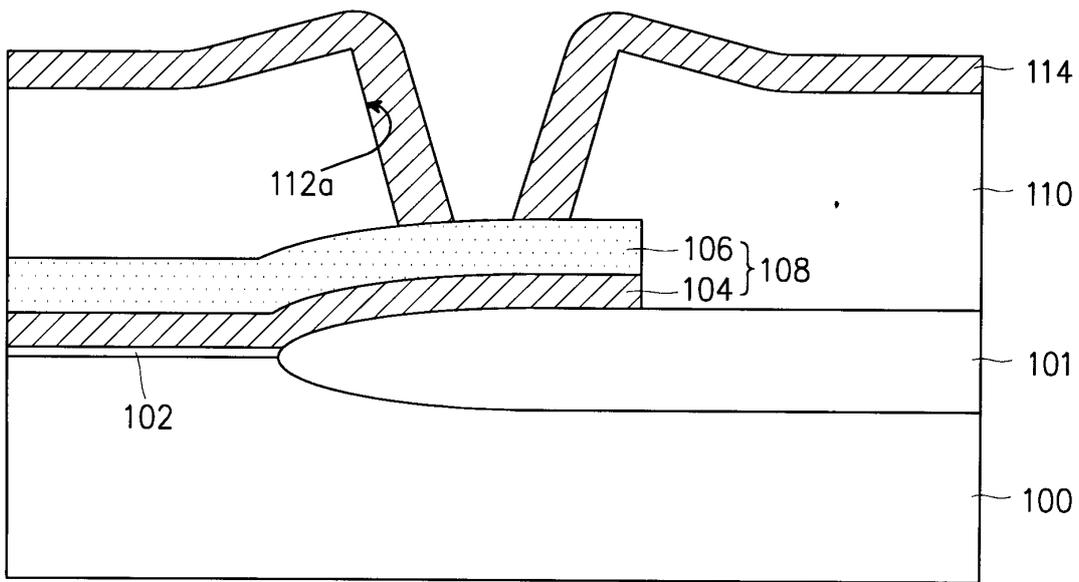
도면4



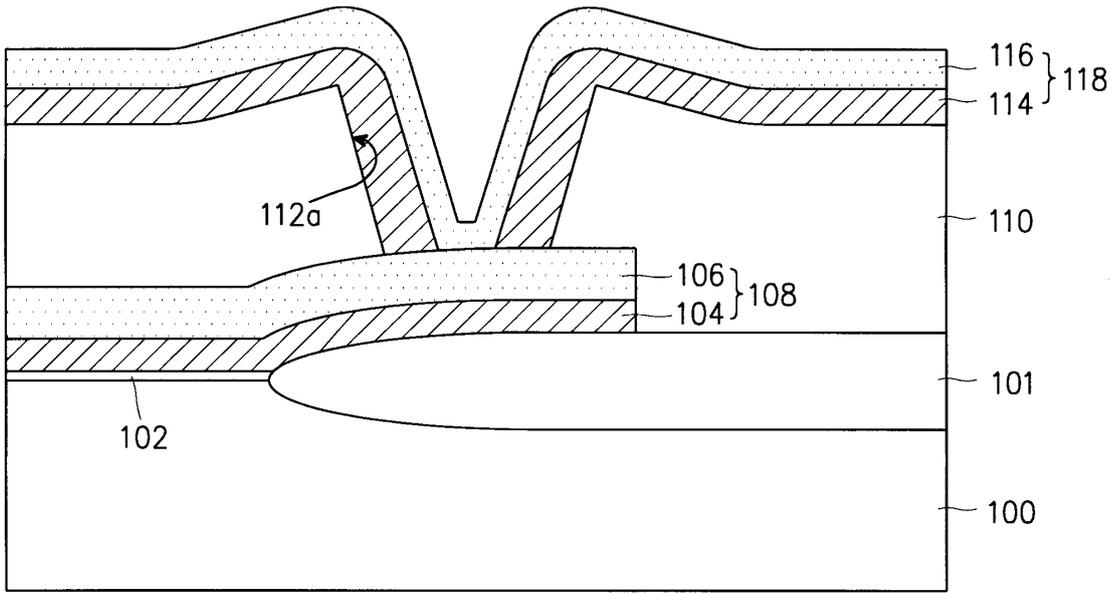
도면5



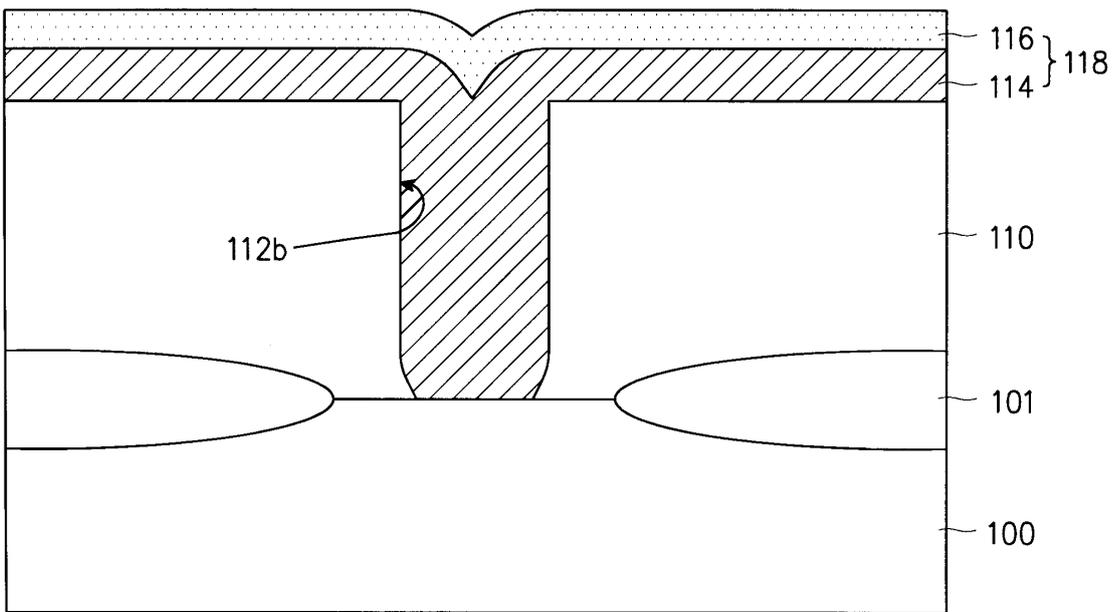
도면6



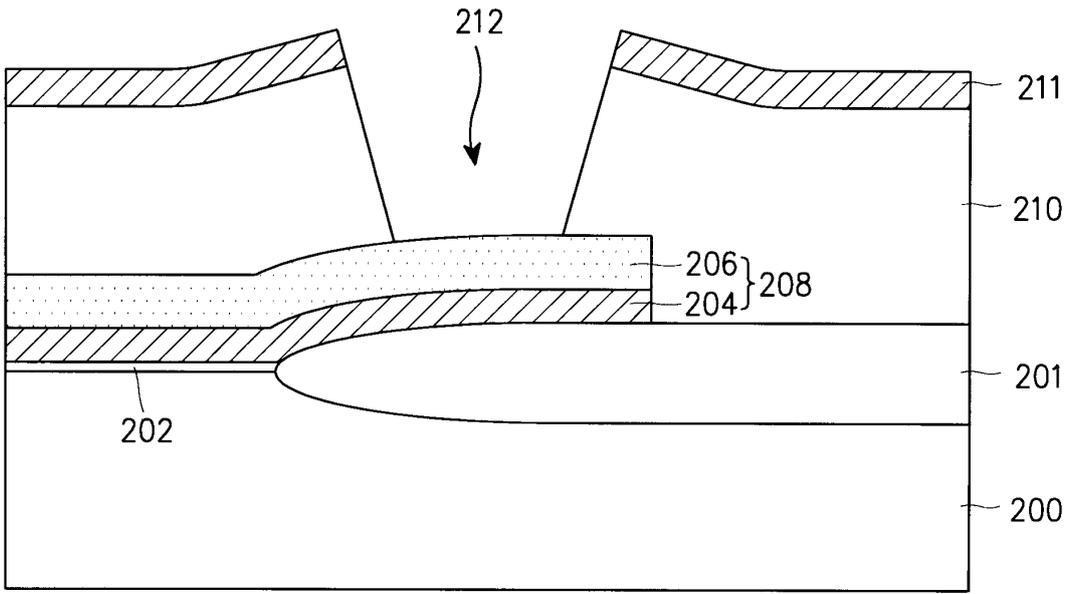
도면7a



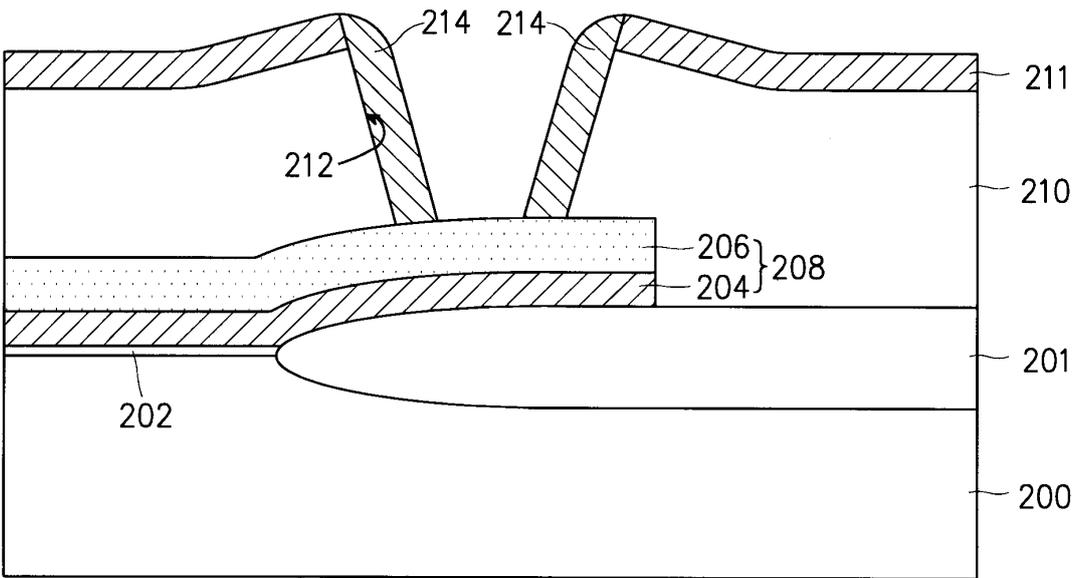
도면7b



도면8



도면9



도면10

