



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I509806 B

(45)公告日：中華民國 104 (2015) 年 11 月 21 日

(21)申請案號：102108630 (22)申請日：中華民國 102 (2013) 年 03 月 12 日

(51)Int. Cl. : *H01L29/78 (2006.01)* *H01L21/28 (2006.01)*

(30)優先權：2012/04/30 世界智慧財產權組織 PCT/US12/35892

(71)申請人：惠普發展公司有限責任合夥企業(美國) HEWLETT-PACKARD DEVELOPMENT COMPANY, L. P. (US)
美國

(72)發明人：葛寧 GE, NING (SG)；葛哈茲爾 亞當 L GHOZEIL, ADAM L (US)；侯朝鑫 HO, CHAW SING (SG)；班傑明 楚迪 BENJAMIN, TRUDY (US)

(74)代理人：惲軼群；陳文郎

(56)參考文獻：
US 5510639

審查人員：董柏昌

申請專利範圍項數：14 項 圖式數：16 共 85 頁

(54)名稱

包括小於通道面積之作用浮動閘區域面積的裝置

DEVICE INCLUDING ACTIVE FLOATING GATE REGION AREA THAT IS SMALLER THAN CHANNEL AREA

(57)摘要

一裝置包括一汲極、一通道、一浮動閘及一控制閘。該通道環繞該汲極且具有一通道面積。該浮包括具有一作用浮動閘區域面積的一作用浮動閘區域。該控制閘係透過一控制電容而耦合至該作用浮動閘區域，其中該作用浮動閘區域面積係小於該通道面積。

A device including a drain, a channel, a floating gate, and a control gate. The channel surrounds the drain and has a channel area. The floating gate includes an active floating gate region that has an active floating gate region area. The control gate is coupled to the active floating gate region via a control capacitance, wherein the active floating gate region area is smaller than the channel area.

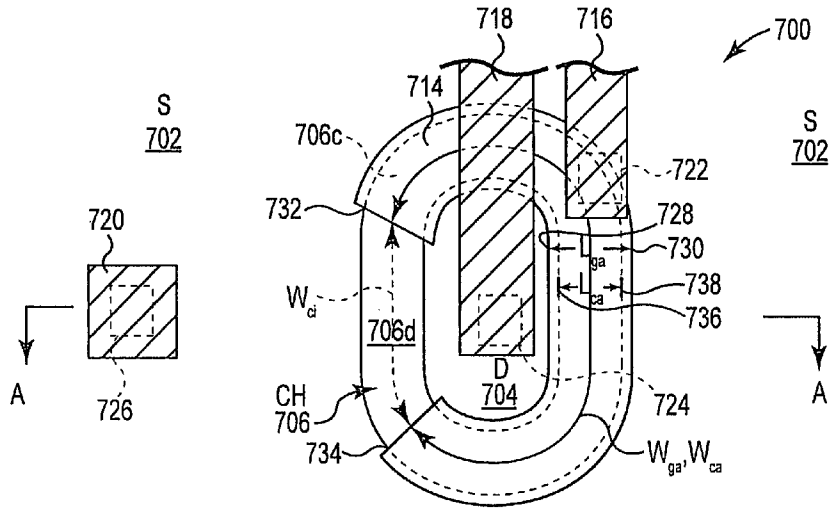
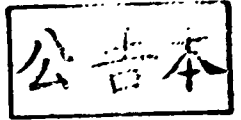


圖12B

- 700 . . . EPROM 胞元
- 702 . . . S 源極區域
- 704 . . . D 汲極區域
- 706 . . . CH 通道
- 706c、706d . . . 通道區域
- 714 . . . 浮動閘
- 716 . . . 浮動閘引線
- 718 . . . 汲極引線
- 720 . . . 源極引線
- 722、724、726 . . . 接觸孔
- 728、730、736、738 . . . 側
- 732、734 . . . 端
- L_{ca} . . . 作用通道長度
- L_{ga} . . . 作用閘長度
- W_{ci} . . . 不作用通道寬度
- W_{ga}, W_{ca} . . . 作用閘寬度，作用通道寬度

發明摘要



※ 申請案號：102108630

※ 申請日：102.3.12

※IPC 分類：

H01L28/178

(2006.01)

【發明名稱】(中文/英文)

H01L28/178

(2006.01)

包括小於通道面積之作用浮動閘區域面積的裝置

DEVICE INCLUDING ACTIVE FLOATING GATE REGION AREA
THAT IS SMALLER THAN CHANNEL AREA

【中文】

一裝置包括一汲極、一通道、一浮動閘及一控制閘。該通道環繞該汲極且具有一通道面積。該浮包括具有一作用浮動閘區域面積的一作用浮動閘區域。該控制閘係透過一控制電容而耦合至該作用浮動閘區域，其中該作用浮動閘區域面積係小於該通道面積。

【英文】

A device including a drain, a channel, a floating gate, and a control gate. The channel surrounds the drain and has a channel area. The floating gate includes an active floating gate region that has an active floating gate region area. The control gate is coupled to the active floating gate region via a control capacitance, wherein the active floating gate region area is smaller than the channel area.



【代表圖】

【本案指定代表圖】：第（ 12B ）圖。

【本代表圖之符號簡單說明】：

| | |
|------------------|----------------------------------|
| 700...EPROM胞元 | 720...源極引線 |
| 702...S源極區域 | 722、724、726...接觸孔 |
| 704...D汲極區域 | 728、730、736、738...側 |
| 706...CH通道 | 732、734...端 |
| 706c、706d...通道區域 | L_{ca} ...作用通道長度 |
| 714...浮動閘 | L_{ga} ...作用閘長度 |
| 716...浮動閘引線 | W_{ci} ...不作用通道寬度 |
| 718...汲極引線 | W_{ga}, W_{ca} ...作用閘寬度，作用通道寬度 |

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

包括小於通道面積之作用浮動閘區域面積的裝置
DEVICE INCLUDING ACTIVE FLOATING GATE REGION
AREA THAT IS SMALLER THAN CHANNEL AREA

【技術領域】

[0001]本發明係有關於包括小於通道面積之作用浮動閘區域面積的裝置。

【先前技術】

發明背景

[0002]於噴墨列印頭中，熔絲技術已經被用在N-通道金氧半導體(NMOS)晶片。於此等晶片中，熔絲被選擇性地燒製以規劃一位元。但熔絲技術及藉此方式規劃熔絲有缺點。熔絲相當大且可能不可靠。又，在規劃期間燒製熔絲可能毀損噴墨的孔口層，及在一熔絲被燒掉後，來自該熔絲的金屬碎屑可能被抽取入墨水內且可能阻斷該噴墨筆，結果導致列印品質不良。

[0003]近年來，已經發展出可電氣規劃唯讀記憶體(EPROM)裝置。此等EPROM裝置成列及成行的一傳導性格柵而不含熔絲。取而代之，一記憶體胞元係位在各列/行交叉。各個記憶體胞元包括一電晶體結構及藉一薄電介質層而彼此分開的二閘。該等閘中之一者為浮動閘而另一者為控制閘或輸入閘。於一未經規劃的記憶體胞元中，該浮動閘不含電荷，使得臨界電壓為低。於一經規劃的記憶體胞

元中，該浮動閘係以電子充電，使得臨界電壓為較高。為了規劃一記憶體胞元，一規劃電壓(例如10至16伏特)係施加至該控制閘及汲極。該規劃電壓抽取經激勵的電子至該浮動閘，藉此提高臨界電壓。具有較低臨界電壓的一記憶體胞元為一個邏輯值，而具有較高臨界電壓的一記憶體胞元為另一個邏輯值。

[0004] 為了讀取一EPROM胞元的狀態，列及行選擇電晶體係經施加偏壓而在該EPROM胞元的一串聯路徑導通。指示該EPROM胞元的邏輯值之EPROM胞元的電阻係透過該等列及行選擇電晶體而予讀取。較高EPROM電阻減低信號對雜訊比，及改進可信度。

[0005] 由於此等及其它理由故，存在有本發明的需要。

【發明內容】

[0006] 依據本發明之一實施例，係特地提出一種裝置包含一汲極；環繞該汲極且具有一通道面積的一通道；包括一作用浮動閘區域其具有一作用浮動閘區域面積的一浮動閘；及透過一控制電容而耦合至該作用浮動閘區域之一控制閘，其中該作用浮動閘區域面積係小於該通道面積。

【圖式簡單說明】

[0007]

圖1為略圖例示說明EPROM胞元的一個實例。

圖2為略圖例示說明於一EPROM晶片中之該等層的一個實例。

圖3為略圖例示說明使用圖2的該EPROM晶片之該等層

之一EPROM胞元的一個實例。

圖4為略圖例示說明EPROM陣列的一個實例。

圖5為略圖例示說明使用圖2的該EPROM晶片之該等層之一閘極耦合EPROM胞元的一個實例。

圖6為略圖例示說明使用圖2的該EPROM晶片之該等層之一閘極耦合EPROM胞元之另一個實例。

圖7為略圖例示說明包括閘極耦合EPROM胞元之一EPROM陣列的一個實例。

圖8為略圖例示說明包括EPROM胞元的個別及並聯定址之一系統的一個實例。

圖9為略圖例示說明一EPROM位元的一個實例。

圖10為頂視圖例示說明使用圖2的該EPROM晶片之該等層之一EPROM胞元的一個實例。

圖11A為略圖例示說明一EPROM胞元中之該等層及該EPROM胞元中之電容的一個實例。

圖11B為略圖例示說明圖11A之該EPROM胞元的電容。

圖12A為沿圖12B之線A-A所取的一EPROM胞元之剖面圖。

圖12B為頂視圖例示說明一EPROM胞元的一個實例。

圖13為頂視圖例示說明具有一作用浮動閘寬度及一作用通道寬度其各自係小於該通道寬度之一EPROM胞元的一個實例。

圖14A為略圖例示說明具有一源極區域、一汲極區域、及一通道的一基體的一個實例。

圖14B為略圖例示說明配置於該通道上方之一浮動閘的一個實例。

圖14C為略圖例示說明配置於該浮動閘、該汲極區域、及該源極區域上之一第二電介質層的一個實例。

圖14D為略圖例示說明一經蝕刻的第二電介質層的一個實例。

圖14E為略圖例示說明配置於該第二電介質層、該浮動閘、該汲極區域、及該源極區域上之一金屬1層的一個實例。

圖14F為略圖例示說明該EPROM胞元在蝕刻該金屬1層以形成一浮動閘引線、一汲極引線、及一源極引線後的一個實例。

圖15A為略圖例示說明未經規劃的EPROM胞元之導通電阻。

圖15B為略圖例示說明經規劃的EPROM胞元之導通電阻。

圖16為略圖例示說明一噴墨列印系統的一個實例。

【實施方式】

較佳實施例之詳細說明

[0008]於後文詳細說明部分中，參考附圖構成本發明的一部分，其中以舉例說明顯示可實施本發明之特定實施例。就此方面而言，方向術語諸如「頂」、「底」、「前」、「後」、「首」、「尾」等係參考附圖方向使用。由於實施例的組件可定位在多個不同的方向，方向術語係用於例示說明目的而非限制性。須瞭解可利用其它實施例且可不悖離本發明

之範圍而做出結構或邏輯變化。因此後文詳細說明部分絕非為限制性意義，本發明之範圍係由隨附之申請專利範圍界定。須瞭解除非另行特別註明否則此處描述各個實施例之特徵可彼此組合。

[0009]圖1為略圖例示說明EPROM胞元20的一個實例，提供更高的可調諧的導通電阻 R_{on} 及增高的控制閘電容對浮動閘電容比，於經規劃的導通電阻 R_{on} 獲得改良EPROM效能及較小的標準差。EPROM胞元諸如EPROM胞元20可用於系統，諸如噴墨列印頭系統。

[0010]EPROM胞元20包括一半導體基體22具有一源極24、一汲極26、及一通道28，於該處通道28係位在源極24與汲極26間。一浮動閘30係位在通道28上方，及一輸入閘32又稱控制閘32係位在浮動閘30上方。源極24包括一N+摻雜區域，及汲極26包括一N+摻雜區域。通道28乃位在源極24與汲極26的N+摻雜區域間之一p摻雜區域。

[0011]控制閘32係透過控制閘電容而電容耦合至浮動閘30，又稱控制電容，其包括位在控制閘32與浮動閘30間的電介質材料34。於控制閘32的電壓係透過控制電容而耦合至浮動閘30。另一層電介質材料36係位在浮動閘30與通道28上方的基體22間。

[0012]通道28環繞汲極26，具有一通道面積及通道長度對寬度比。浮動閘30包括一作用浮動閘區域，其具有一作用浮動閘區域面積及一作用浮動閘區域長度對寬度比。於一個實例中，作用浮動閘區域面積係小於通道面積。於一

個實例中，作用浮動閘區域長度對寬度比係大於通道長度對寬度比。

[0013]爲了規劃EPROM胞元20，施加高電壓偏壓至汲極26。在汲極26上的此高電壓偏壓產生高能「熱」載子或電子。在控制閘32與汲極26間的一正電壓偏壓將若干此等熱電子挽至浮動閘30上。當電子被挽至浮動閘30上時，EPROM胞元20的臨界電壓亦即造成通道28導通電流所需電壓增高。若足量電子被挽至浮動閘30上，則臨界電壓增高至高於特定臨界電壓位準，及EPROM胞元20實質上阻擋於特定臨界電壓位準的電流，其將EPROM胞元20的邏輯態從一個邏輯值改變成另一個邏輯值。EPROM胞元20係透過熱載子注入至浮動閘30上而被規劃。於正常操作中，感測器(圖中未顯示)係用以檢測EPROM胞元20的狀態。

[0014]圖2爲略圖例示說明於EPROM晶片70中之各層的一個實例。於一個實例中，EPROM晶片70包括EPROM胞元，諸如圖1的EPROM胞元20。於一個實例中，EPROM晶片70係用於噴墨列印頭。於一個實例中，EPROM晶片70爲含EPROM的噴墨控制晶片。於一個實例中，EPROM晶片70爲含EPROM的噴墨列印頭晶粒。

[0015]EPROM晶片70包括一半導體基體72、一氧化物層74、一多晶矽層76、一第一電介質層78、一金屬1層80、一第二電介質層82、及一金屬2層84。氧化物層74係配置於基體72上位在基體72與多晶矽層76間。第一電介質層78係配置於多晶矽層76上介於多晶矽層76與金屬1層80間。第二

電介質層82係配置於金屬1層80上且分隔金屬1層80與金屬2層84。金屬1層80及金屬2層84提供定址線，諸如列線及行線，及EPROM晶片70中的其它連結。於一個實例中，氧化物層74為二氧化矽(SiO₂)。於一個實例中，第二電介質層82包括氮化矽。於一個實例中，第二電介質層82包括碳化矽。於一個實例中，第二電介質層82包括氮化矽及碳化矽。

[0016]圖3為略圖例示說明使用圖2的EPROM晶片70層之一EPROM胞元90的一個實例。於一個實例中，圖1的EPROM胞元20係類似EPROM胞元90。於一個實例中，EPROM胞元90係用於噴墨列印頭系統。於一個實例中，EPROM胞元90係用於噴墨控制晶片。於一個實例中，EPROM胞元90係用於噴墨列印頭晶粒。於其它實例中，EPROM胞元90係使用不同製程的多層產生。

[0017]EPROM胞元90包括基體72，其具有N⁺源極區域92及94、一N⁺汲極區域96、及一p通道98其包括p通道區域98a及98b。汲極區域96包括一頂面100、一底部102、及在頂面100與底部102間的側部104。含括通道區域98a及98b的通道98環繞汲極區域96在汲極區域96的側部104周圍。通道98係位在源極區域92與汲極區域96間及位在源極區域94與汲極區域96間。於一個實例中，源極區域92及94為連結，一個連續源極區域的一部分環繞通道98。

[0018]通道98包括環繞汲極區域96的一個閉合曲線結構，於該處一曲線係定義為類似一條線的一物體，但不要求為筆直，表示一條線乃一曲線的一個特例，亦即具有零

曲率的一曲線。又，閉合曲線係定義為接合在一起而無端點的一曲線。於一個實例中，通道98包括環繞汲極區域96的一圓化閉合曲線結構，於該處一圓化閉合曲線為具有至少一個圓化或拱形角隅或無角隅的一閉合曲線，使其不具有銳角或彎角。於一個實例中，包括通道區域98a及98b的通道98乃環繞汲極區域96的矩形通道。於一個實例中，包括通道區域98a及98b的通道98乃環繞汲極區域96的橢圓形通道。於一個實例中，包括通道區域98a及98b的通道98乃環繞汲極區域96的圓形通道。於一個實例中，包括通道區域98a及98b的通道98具有多個筆直側部及至少一個圓化角隅以形成環繞汲極區域96的圓化閉合曲線通道。於一個實例中，包括通道區域98a及98b的通道98具有至少一個圓化外角以形成環繞汲極區域96的圓化閉合曲線通道。於一個實例中，包括通道區域98a及98b的通道98具有至少一個圓化外角及至少一個矩形內角以形成環繞汲極區域96的圓化閉合曲線通道。

[0019] EPROM胞元90包括在金屬1層80與金屬2層84間的電容耦合，於該處金屬1層80與金屬2層84形成平行相對的電容器板106及108。一個電容器板106係形成於金屬1層80，而另一個電容器板108係形成於金屬2層84。形成於金屬2層84的電容器板108乃EPROM胞元90的控制閘108。輸入電壓 V_{in} 係施加至控制閘108且電容耦接至電容器板106。於一個實例中，控制閘108係類似控制閘32(顯示於圖1)。

[0020] 並聯浮動閘110係形成於多晶矽層76，於該處浮

動閘110係包括分別地位在通道區域98a及98b上方的多晶矽浮動閘區域76a及76b。於電介質層78中的一個裂口或孔口許可於金屬1層80內的電容器板106電氣耦接至包括浮動閘區域76a及76b的浮動閘110。浮動閘110係藉氧化物層74而與基體72分開。

[0021]通道98環繞汲極區域96，具有一通道面積及一通道長度對寬度比。浮動閘110包括一作用浮動閘區域，其具有一作用浮動閘區域面積及一作用浮動閘區域長度對寬度比。於一個實例中，作用浮動閘區域面積係小於通道面積。於一個實例中，作用浮動閘區域長度對寬度比係大於通道長度對寬度比。

[0022]爲了規劃EPROM胞元90，施加高輸入電壓脈衝至控制閘108及汲極區域96，橫跨汲極區域96至源極區域92及94。如此產生高能「熱」載子或電子。在控制閘108與汲極96間的一正電壓偏壓將若干此等熱電子挽至浮動閘110上。當電子被挽至浮動閘110上時，EPROM胞元90的臨界電壓亦即造成通道98導通電流所需電壓增高。若足量電子被挽至浮動閘110上，則臨界電壓增高至高於特定臨界電壓位準，及EPROM胞元90實質上阻擋於特定臨界電壓位準的電流，其將EPROM胞元90的邏輯態從一個邏輯值改變成另一個邏輯值。如此，EPROM胞元90係透過熱載子注入至浮動閘110上而被規劃。

[0023]爲了讀取或感測EPROM胞元90的狀態，臨界電壓經檢測及/或使用感測器(圖中未顯示)量測導通電阻。

EPROM胞元90狀態的讀取或感測係藉設定閘極/汲極電壓及量測相對應電流完成，或藉設定電流與量測電壓完成。EPROM胞元90之導通電阻測量值係以約2之因數而從未經規劃態改變成規劃態。

[0024]圖4為略圖例示說包括排列成列與行的EPROM胞元122之一EPROM陣列120的一個實例。於一個實例中，EPROM胞元122各自係與圖1的EPROM胞元20相似。

[0025]EPROM胞元122各自包括一控制閘124、一汲極126、及一源極128。控制閘124係於130電氣耦接至輸入電壓 V_{in} 。汲極126係透過包括汲極線134a及134b的汲極線134而電氣耦接在一起及耦接至串聯電阻器132。串聯電阻器132的另一側係於130電氣耦接至輸入電壓 V_{in} 。源極128係電氣耦接至列電晶體136的汲極，於該處列電晶體136的源極係透過行線140a及140b而電氣耦接至行電晶體138a及138b的汲極。行電晶體138a及138b之源極係於142a及142b電氣耦接至參考電位，諸如接地。列電晶體136及行電晶體138a及138b給EPROM胞元122提供規劃與讀取的選擇。

[0026]列線144a及144b係電氣耦接至列電晶體136的閘極。列線144a提供於144a的列信號ROW1給在一列中之列電晶體136的閘極，列線144b提供於144b的列信號ROW2給在另一列中之列電晶體136的閘極。於一給定行中的列電晶體136之源極係電氣耦接在一起及耦接至行電晶體138a及138b中相對應於該給定行之一者的汲極。

[0027]EPROM胞元122各自係藉施加一電壓脈衝至

EPROM胞元122的控制閘124及汲極126，橫跨汲極126施加至EPROM胞元122的源極128。如此提供熱載子或電子給浮動閘146。規劃需要的時間乃至至少該浮動閘電壓、汲取至該浮動閘的熱電子數量、需要的臨界電壓、及該基體與該浮動閘間之閘極氧化物厚度之函數。針對各個EPROM胞元122，控制閘124係透過電阻器132耦接至汲極126以限制崩潰電流。於一個實例中，電阻器132具有100歐姆之電阻。

[0028]於一個實例中，橫跨汲極126至源極128的規劃電壓係接近EPROM胞元122的崩潰電壓，於該處崩潰電壓乃低於臨界電壓EPROM胞元122開始與其控制閘124導通的電壓，諸如零伏特。於一個實例中，EPROM胞元122已經被規劃於約16伏特電壓，於該處該電流具有15V的崩潰電壓。於一個實例中，該浮動閘電壓係在5V至12V之範圍。於一個實例中，該浮動閘電壓係在3V至7V之範圍。

[0029]爲了讀取EPROM胞元122中之一者，臨界電壓係使用感測器(圖中未顯示)檢測。檢測臨界電壓可藉設定閘極/汲極電壓及量測相對應電流完成，或藉設定電流與量測電壓完成。EPROM胞元122之導通電阻 R_{on} 係以約2之因數而從未經規劃態改變成規劃態。

[0030]爲了規劃EPROM胞元122中之一者，EPROM胞元122係藉提供一系列選擇電壓給列線144a及144b中之一者，及一行選擇電壓給行電晶體138a及138b中之一者的閘極而予選擇。其次，於130提供相對高輸入電壓 V_{in} ，諸如16V。唯有經擇定的EPROM胞元122才具有橫跨汲極126至

源極128的完整輸入電壓 V_{in} 。全部其它EPROM胞元122係具作用極128對其它端子上的電壓為浮動。爲了感測經擇定的EPROM胞元122之狀態，電流諸如1毫安培電流係經由該經擇定的EPROM胞元122提供，及監視於130的電壓 V_{in} 。於另一個實例中，爲了感測經擇定的EPROM胞元122之狀態，相對低輸入電壓 V_{in} 諸如5V係提供於130且監控通過該經擇定的EPROM胞元122的電流。於其它實例中，各個EPROM胞元122具有不同的控制電晶體耦接其上，於該處各個EPROM胞元122係透過耦接至該相對應控制電晶體的一條控制線擇定。

[0031] 圖5爲略圖例示說明使用圖2的EPROM晶片70該等層之一閘極耦合EPROM胞元160的一個實例。於一個實例中，圖1的EPROM胞元20係類似EPROM胞元160。於一個實例中，EPROM胞元160係用於噴墨列印頭系統。於一個實例中，EPROM胞元160係用於噴墨控制晶片。於一個實例中，EPROM胞元160係用於噴墨列印頭晶粒。於其它實例中，EPROM胞元160係使用不同製程的多層產生。

[0032] EPROM胞元160包括兩個裝置162及164具有其浮動閘166及168電氣耦接在一起。第一裝置162包括浮動閘166及第二裝置164包括浮動閘168。浮動閘166係透過浮動閘連結170而電氣耦接至浮動閘168。第一裝置162係操作爲一控制閘及第二裝置164經由EPROM胞元160而提供導通電阻 R_{on} 。於一個實例中，浮動閘166及168係從多晶矽層76(顯示於圖2)製成。於一個實例中，浮動閘連結170係從金

屬1層80(顯示於圖2)製成。

[0033]第一裝置162包括半導體基體172具作用極174、汲極176、及通道178，於該處通道178係位在源極174與汲極176間。浮動閘166係位在通道178上方。源極174包括一N+摻雜區域及汲極176包括一N+摻雜區域。通道178為位在源極174與汲極176的N+摻雜區域間之一p摻雜區域。一層電介質材料180係位在浮動閘166與通道178上方的基體172間。於一個實例中，半導體基體172包括源極174、汲極176、及通道178為基體72(顯示於圖2)。於一個實例中，該層電介質材料180係由氧化物層74(顯示於圖2)製成。

[0034]第一裝置162包括於汲極176的第一控制端子Control1及於源極174的第二控制端子Control2。此等控制端子係透過控制閘電容而電容耦接至浮動閘166，該控制閘電容又稱控制電容，包括位在浮動閘166與通道178上方的基體172間的電介質材料180。於控制端子Control1及Control2的電壓係透過控制電容而耦接至浮動閘166。

[0035]於浮動閘166的電壓係取決於源極174與汲極176的重疊電容。重疊電容及第一裝置166的閘電容耦合於第一控制端子Control1及第二控制端子Control2的電壓至浮動閘166。標準EPROM使用於電介質層在控制閘與浮動閘間的電容以耦合該電壓至該浮動閘。相反地，於閘耦合EPROM胞元160，於第一控制端子Control1的閘極對汲極重疊電容耦合於第一控制端子Control1的電壓至浮動閘166，及於第二控制端子Control2的閘極對源極重疊電容耦合於第二控

制端子Control2的電壓至浮動閘166。電介質材料180係於相反方向使用以提供控制電容。

[0036]第二裝置164包括半導體基體172具作用極182、汲極184、及通道186，於該處通道186係位在源極182與汲極184間。浮動閘168係位在通道186上方。源極182包括一N+摻雜區域及汲極184包括一N+摻雜區域。通道186為位在源極182與汲極184的N+摻雜區域間之一p摻雜區域。一層電介質材料188係位在浮動閘168與通道186上方的基體172間。於一個實例中，半導體基體172包括源極182、汲極184、及通道186為基體72(顯示於圖2)。於一個實例中，該層電介質材料188係由氧化物層74(顯示於圖2)製成。

[0037]通道186環繞汲極184，具有一通道面積及通道長度對寬度比。浮動閘168包括一作用浮動閘區域，其具有一作用浮動閘區域面積及一作用浮動閘區域長度對寬度比。於一個實例中，作用浮動閘區域面積係小於通道面積。於一個實例中，作用浮動閘區域長度對寬度比係大於通道長度對寬度比。

[0038]於一個實例中，第一裝置164的源極174及汲極176係電氣耦接在一起。於一個實例中，第一裝置164的源極174係電氣耦接至第二裝置166的汲極184。於一個實例中，若一電阻器係不需限制汲極電流，例如藉透過控制脈衝寬度而限制過熱，或藉仰賴於一陣列中的擇定電晶體的電阻達成，則第一控制端子Control1、第二控制端子Control2、及汲極184全部電氣耦接在一起，在一小面積提

供高度耦合。

[0039]另外，爲了限制汲極電流，汲極184係電氣耦接至第二控制端子Control2，電阻器190(以虛線顯示)係電氣耦接於第一控制端子Control1與第二控制端子Control2間。於另一辦法中，爲了限制汲極電流，源極174係電氣耦接至汲極176，電阻器192(以虛線顯示)係電氣耦接於汲極184與源極174或汲極176間。於其它實例中，第一控制端子Control1與第二控制端子Control2與汲極184係電氣耦接至分開的電壓。

[0040]爲了規劃EPROM胞元160，高電壓偏壓係施加至第一裝置162的汲極176及源極174。在汲極176及源極174上的此種高電壓偏壓產生高能「熱」載子或電子，提供定量熱電子給浮動閘166及168。當電子被挽至浮動閘166及168上時，第二裝置164的臨界電壓亦即造成通道186導通電流所需電壓增高。若足量電子被挽至浮動閘166及168上，則臨界電壓增高至高於特定臨界電壓位準，及EPROM胞元160實質上阻擋於特定臨界電壓位準的電流，其將EPROM胞元160的邏輯態從一個邏輯值改變成另一個邏輯值。EPROM胞元160係透過熱載子注入至浮動閘166及168上而被規劃。

[0041]規劃所需時間爲浮動閘166及168上的電壓、汲取至浮動閘166及168的熱電子量、期望的臨界電壓改變、總閘極結構電容、及電介質層180之厚度之函數，於該處電介質層180之厚度決定至達浮動閘166及168的高能熱電子百

分比。浮動閘166及168上的電壓取決於汲極176及源極174上的電壓及基體172對浮動閘166及168的耦合比。於一個實例中，浮動閘166及168上的電壓係在5至12伏特範圍。於一個實例中，電介質層180之厚度係約為700埃。

[0042]當規劃係以汲極184上的電壓接近第二裝置164的崩潰電壓完成且使用較高電流完成時，規劃期間提供的熱電子量為較高。崩潰電壓乃低於臨界電壓第二裝置164開始與該閘導通的電壓(閘係於零伏特)。於一個實例中，EPROM胞元160已經被規劃於約16伏特電壓，於該處該第二裝置164具有15伏特的崩潰電壓。於一個實例中，EPROM胞元160係以25毫安培電流規劃。

[0043]爲了讀取或感測EPROM胞元160的狀態，橫跨EPROM胞元160的臨界電壓經檢測及/或使用感測器(圖中未顯示)量測導通電阻 R_{on} 。EPROM胞元160狀態的讀取或感測係藉設定閘極/汲極電壓及量測相對應電流完成，或藉設定電流與量測電壓完成。EPROM胞元160之導通電阻 R_{on} 測量值係以約2之因數而從未經規劃態改變成規劃態。

[0044]圖6爲略圖例示說明使用圖2之EPROM晶片70各層的一閘耦合EPROM胞元200的一個實例。EPROM胞元200係類似圖5的EPROM胞元160。於一個實例中，圖1的EPROM胞元20係類似EPROM胞元200。於一個實例中，EPROM胞元200係用於噴墨列印頭系統。於一個實例中，EPROM胞元200係用於噴墨控制晶片。於一個實例中，EPROM胞元200係用於噴墨列印頭晶粒。於其它實例中，EPROM胞元

200係使用不同製程的多層產生。

[0045] EPROM胞元200包括兩個裝置202及204具有其浮動閘206及208電氣耦接在一起。第一裝置202包括浮動閘206，其包括浮動閘區域206a及206b；及第二裝置204包括浮動閘208，其包括浮動閘區域208a及208b。浮動閘206係透過浮動閘連結210而電氣耦接至浮動閘208。第一裝置202係操作為一控制閘；及第二裝置204經由EPROM胞元200而提供導通電阻 R_{on} 。於一個實例中，浮動閘206及208係從多晶矽層76(顯示於圖2)製成。於一個實例中，浮動閘連結210係從金屬1層80(顯示於圖2)製成。

[0046] 第一裝置202包括基體212具有N+源極區域214及216、N+汲極區域218，及一p通道220包括p通道區域220a及220b。汲極區域218包括一頂面222、一底部224、及在頂面222與底部224間的側部226。含括通道區域220a及220b的通道220環繞汲極區域218在汲極區域218的側部226周圍。通道220係位在源極區域214與汲極區域218間及位在源極區域216與汲極區域218間。半導體基體212為基體72(顯示於圖2)。於一個實例中，源極區域214及216為連結，一個連續源極區域的一部分環繞通道220。

[0047] 通道220包括環繞汲極區域218的一個閉合曲線結構，於該處一曲線係定義為類似一條線的一物體，但不要求為筆直，表示一條線乃一曲線的一個特例，亦即具有零曲率的一曲線。又，閉合曲線係定義為接合在一起而無端點的一曲線。於一個實例中，通道220包括環繞汲極區域

218的一圓化閉合曲線結構，於該處一圓化閉合曲線為具有至少一個圓化或拱形角隅或無角隅的一閉合曲線，使其不具有銳角或彎角。於一個實例中，包括通道區域220a及220b的通道220乃環繞汲極區域218的矩形通道。於一個實例中，包括通道區域220a及220b的通道220乃環繞汲極區域218的橢圓形通道。於一個實例中，包括通道區域220a及220b的通道220乃環繞汲極區域218的圓形通道。於一個實例中，包括通道區域220a及220b的通道220具有多個筆直側部及至少一個圓化角隅以形成環繞汲極區域218的圓化閉合曲線通道。於一個實例中，包括通道區域220a及220b的通道220具有至少一個圓化外角以形成環繞汲極區域218的圓化閉合曲線通道。於一個實例中，包括通道區域220a及220b的通道220具有至少一個圓化外角及至少一個矩形內角以形成環繞汲極區域218的圓化閉合曲線通道。

[0048]浮動閘206係形成於多晶矽層76，於該處浮動閘206係包括分別地位在通道區域220a及220b上方的多晶矽浮動閘區域206a及206b。於電介質層228亦即第一電介質層78中的一個裂口或孔口許可浮動閘連結210電氣耦接至包括浮動閘區域206a及206b的浮動閘206。浮動閘206係藉電介質層230亦即氧化物層74而與基體212分開。

[0049]第一裝置202包括於汲極218的第一控制端子Control1及於源極214及216中之一或多者的第二控制端子Control2。此等控制端子係透過控制閘電容而電容耦接至浮動閘206，該控制閘電容又稱控制電容，包括位在浮動閘206

與通道220上方的基體212間的電介質層230。於控制端子Control1及Control2的電壓係透過控制電容而耦接至浮動閘206。第一裝置202及控制端子Control1及Control2係類似控制閘32(顯示於圖1)。

[0050]於浮動閘206的電壓係取決於源極214及216與汲極218的重疊電容。重疊電容及第一裝置202的閘電容耦合於第一控制端子Control1及第二控制端子Control2的電壓至浮動閘206。於閘耦合EPROM胞元200，於第一控制端子Control1的閘極對汲極重疊電容耦合於第一控制端子Control1的電壓至浮動閘206，及於第二控制端子Control2的閘極對源極重疊電容耦合於第二控制端子Control2的電壓至浮動閘206。電介質材料230係於相反方向使用以提供控制電容。

[0051]第二裝置204包括半導體基體212具有N⁺源極區域234及236、N⁺汲極區域238，及一p通道240包括p通道區域240a及240b。汲極區域238包括一頂面242、一底部244、及在頂面242與底部244間的側部246。含括通道區域240a及240b的通道240環繞汲極區域238在汲極區域238的側部246周圍。通道240係位在源極區域234與汲極區域238間及位在源極區域236與汲極區域238間。半導體基體212為基體72(顯示於圖2)。於一個實例中，源極區域234及236為連結，一個連續源極區域的一部分環繞通道240。

[0052]通道240包括環繞汲極區域238的一個閉合曲線結構，於該處一曲線係定義為類似一條線的一物體，但不

要求為筆直，表示一條線乃一曲線的一個特例，亦即具有零曲率的一曲線。又，閉合曲線係定義為接合在一起而無端點的一曲線。於一個實例中，通道240包括環繞汲極區域238的一圓化閉合曲線結構，於該處一圓化閉合曲線為具有至少一個圓化或拱形角隅或無角隅的一閉合曲線，使其不具有銳角或彎角。於一個實例中，含括通道區域240a及240b的通道240乃環繞汲極區域238的矩形通道。於一個實例中，含括通道區域240a及240b的通道240乃環繞汲極區域238的橢圓形通道。於一個實例中，含括通道區域240a及240b的通道240乃環繞汲極區域238的圓形通道。於一個實例中，含括通道區域240a及240b的通道240具有多個筆直側部及至少一個圓化角隅以形成環繞汲極區域238的圓化閉合曲線通道。於一個實例中，含括通道區域240a及240b的通道240具有至少一個圓化外角以形成環繞汲極區域238的圓化閉合曲線通道。於一個實例中，含括通道區域240a及240b的通道240具有至少一個圓化外角及至少一個矩形內角以形成環繞汲極區域238的圓化閉合曲線通道。

[0053] 浮動閘208係形成於多晶矽層76，於該處浮動閘208係包括分別地位在通道區域240a及240b上方的多晶矽浮動閘區域208a及208b。電介質層228係位在浮動閘208包括浮動閘區域208a及208b上方。於電介質層228亦即第一電介質層78中的一個裂口或孔口許可浮動閘連結210電氣耦接至含括浮動閘區域208a及208b的浮動閘208。浮動閘208係藉電介質層230亦即氧化物層74而與基體212分開。

[0054] 通道240環繞汲極238，具有一通道面積及通道長度對寬度比。浮動閘208包括一作用浮動閘區域，其具有一作用浮動閘區域面積及一作用浮動閘區域長度對寬度比。於一個實例中，作用浮動閘區域面積係小於通道面積。於一個實例中，作用浮動閘區域長度對寬度比係大於通道長度對寬度比。

[0055] 第一裝置202的源極區域214及216及汲極區域218與第二裝置204的汲極區域238可彼此電氣耦接及耦接至電阻器，如針對圖5的EPROM胞元160中之第一裝置164的源極174及汲極區域176與第二裝置166的汲極184所述。

[0056] 爲了規劃EPROM胞元200，高電壓偏壓係施加至第一裝置202的汲極區域218及源極區域214及216。在汲極區域218及源極區域214及216上的此種高電壓偏壓產生高能「熱」載子或電子，提供定量熱電子給浮動閘206及208。當電子被挽至浮動閘206及208上時，第二裝置204的臨界電壓亦即造成通道186導通電流所需電壓增高。若足量電子被挽至浮動閘206及208上，則臨界電壓增高至高於特定臨界電壓位準，及EPROM胞元200實質上阻擋於特定臨界電壓位準的電流，其將EPROM胞元200的邏輯態從一個邏輯值改變成另一個邏輯值。EPROM胞元200係透過熱載子注入至浮動閘206及208上而被規劃。

[0057] 規劃所需時間爲浮動閘206及208上的電壓、汲取至浮動閘206及208的熱電子量、期望的臨界電壓改變、總閘極結構電容、及電介質層230之厚度之函數，於該處電介

質層230之厚度決定至達浮動閘206及208的高能熱電子百分比。浮動閘206及208上的電壓取決於汲極區域218及源極區域214及216上的電壓及基體172對浮動閘206及208的耦合比。於一個實例中，浮動閘206及208上的電壓係在5至12伏特範圍。於一個實例中，電介質層230之厚度係約為700埃。

[0058] 當規劃係以汲極區域218上的電壓接近第二裝置204的崩潰電壓完成且使用較高電流完成時，規劃期間提供的熱電子量為較高。崩潰電壓乃低於臨界電壓第二裝置204開始與該閘導通的電壓(閘係於零伏特)。於一個實例中，EPROM胞元200已經被規劃於約16伏特電壓，於該處該第二裝置204具有15伏特的崩潰電壓。於一個實例中，EPROM胞元200係以25毫安培電流規劃。

[0059] 爲了讀取或感測EPROM胞元200的狀態，橫跨EPROM胞元200的臨界電壓經檢測及/或使用感測器(圖中未顯示)量測導通電阻 R_{on} 。EPROM胞元200狀態的讀取或感測係藉設定閘極/汲極電壓及量測相對應電流完成，或藉設定電流與量測電壓完成。EPROM胞元200之導通電阻 R_{on} 測量值係以約2之因數而從未經規劃態改變成規劃態。

[0060] 圖7爲略圖例示說包括排列成列與行的閘極耦合EPROM胞元302之一EPROM陣列300的一個實例。於一個實例中，EPROM胞元302各自係與圖1的EPROM胞元20相似。於一個實例中，EPROM胞元302各自係與圖5的EPROM胞元160相似。於一個實例中，EPROM胞元302各自係與圖6的EPROM胞元200相似。

[0061] EPROM胞元302各自包括操作為控制閘的第一裝置304，及提供導通電阻 R_{on} 給EPROM胞元302的第二裝置306。第一裝置304包括一浮動閘308，其係透過浮動閘連結312而電氣耦接至第二裝置306的浮動閘310。第一裝置304的汲極及源極係彼此電氣耦接且耦接至第二裝置306的汲極，及於314電氣耦接至輸入電壓 V_{in} 。第二裝置306的源極係電氣耦接至列電晶體316的汲極，於該處列電晶體316的源極係透過行線320a及320b而電氣耦接至行電晶體318a及318b的汲極。行電晶體318a及318b之源極係於322a及322b電氣耦接至參考電位，諸如接地。列電晶體316及行電晶體318a及318b給EPROM胞元302提供規劃與讀取的選擇。

[0062] 列線324a及324b係電氣耦接至列電晶體316的閘極。列線324a提供於324a的列信號ROW1給在一列中之列電晶體316的閘極，列線324b提供於324b的列信號ROW2給在另一列中之列電晶體316的閘極。於一給定行中的列電晶體316之源極係電氣耦接在一起及耦接至行電晶體318a及318b中相對應於該給定行之一者的汲極。各個行電晶體318a及318b的閘極係透過行選擇線(圖中未顯示)而電氣耦接至電壓源。

[0063] 選擇性地，汲極限流電阻器(圖中未顯示)可加至EPROM胞元302各自，如就圖5所述。又，並非針對各個EPROM胞元302各自的個別電阻器，一單一電阻器326(以虛線顯示)可設置以並聯饋電EPROM胞元302。電阻器326可連結於314的電壓 V_{in} 與於EPROM胞元302各自的第二裝置

306的汲極，有單一線於314從Vin至電阻器326，及有分開線328(以虛線顯示)從電阻器326延伸至陣列中於EPROM胞元302各自的第二裝置306的汲極，於該處然後去除在各個EPROM胞元302中第一裝置304的源極與汲極間的連結，及在各個EPROM胞元302中第一裝置304的汲極係在314而電氣耦接至Vin。

[0064]EPROM胞元302各自係透過施加至第一裝置304的汲極及源極的高電壓偏壓而規劃。此種高電壓偏壓產生高能「熱」載子或電子且提供定量熱電子給浮動閘308及310。當電子被挽至浮動閘308及310上時，第二裝置306的臨界電壓增高。若有足量電子被挽至浮動閘308及310，則臨界電壓升高至高於特定臨界電壓之位準，及EPROM胞元302改變邏輯態。

[0065]規劃所需時間乃浮動閘308及310上的電壓、汲取至浮動閘308及310的熱電子量、期望之臨界電壓變化、總閘極結構電容、及電介質層之厚度之函數，於該處電介質層之厚度決定到達浮動閘308及310的高能熱電子百分比。

[0066]當規劃係以第二裝置306之汲極上的電壓接近第二裝置306的崩潰電壓且以較高電流完成時，規劃期間所提供的熱電子量為較高。於一個實例中，EPROM胞元302各自係於約16伏特的電壓規劃，於該處第二裝置306具有15伏特的崩潰電壓。於一個實例中，EPROM胞元302各自係以25毫安培電流規劃。爲了讀取或感測EPROM胞元302各自的狀態，橫跨EPROM胞元302的臨界電壓經檢測及/或使用

感測器(圖中未顯示)量測導通電阻 R_{on} 。EPROM胞元302狀態的讀取或感測係藉設定閘極/汲極電壓及量測相對應電流完成，或藉設定電流與量測電壓完成。EPROM胞元302之導通電阻 R_{on} 測量值係以約2之因數而從未經規劃態改變成規劃態。

[0067]爲了規劃EPROM胞元302中之一者，EPROM胞元302係藉提供一系列選擇電壓給列線324a及324b中之一者，及一行選擇電壓給行電晶體318a及318b中之一者的閘極而予選擇。其次，於314提供相對高輸入電壓 V_{in} ，諸如16V。唯有經擇定的EPROM胞元302才具有橫跨EPROM胞元302的完整輸入電壓 V_{in} 。全部其它EPROM胞元302係具有第二裝置306的源極對其它端子上的電壓爲浮動。爲了感測經擇定的EPROM胞元302之狀態，相對低輸入電壓 V_{in} 諸如5V係提供於314且監控通過該經擇定的EPROM胞元302的電流。於其它實例中，各個EPROM胞元302具有不同的控制電晶體耦接其上，於該處各個EPROM胞元302係透過耦接至該相對應控制電晶體的一條控制線擇定。

[0068]圖1、3、5及6爲略圖例示說明EPROM胞元20、90、160及200分別的實例，該等EPROM胞元可用以提供較高的且可調諧的導通電阻 R_{on} ，及增高的控制閘電容對浮動閘電容比以獲得改良的EPROM效能，及於該經規劃的導通電阻 R_{on} 提供較小標準差。EPROM胞元諸如EPROM胞元20、90、160及200可用於系統中，諸如噴墨列印頭系統。

[0069]於噴墨列印頭系統中，EPROM胞元諸如EPROM

胞元20、90、160及200可用於儲存識別(ID)資訊。隨著智慧型結構的增加至列印機及隨著安全度要求的增高，需要更多EPROM胞元儲存相關的資訊。此種ID資訊可包括產品型別、序號、墨滴重量、及客戶忠誠度/認證資訊。但增加列印頭積體電路晶粒上的EPROM胞元數目，或為減少在列印頭晶粒上可供其它功能運用的面積量，或為導致列印頭晶粒或二者的大小增加，造成列印頭成本的增高。為了達成較高資訊或位元密度，EPROM胞元可透過個別及並列定址編碼以獲得針對各個EPROM胞元的多於二態的相等。

[0070]圖8為略圖例示說明包括針對各個EPROM胞元個別與並列定址以獲得多於二態的系統400的一個實例。系統400包括一EPROM記憶體402及一相聯結的電路404。EPROM記憶體402係透過記憶體路徑406而通訊耦接至電路404。於一個實例中，EPROM記憶體402係透過記憶體路徑406而電氣耦接至電路404。於一個實例中，系統400乃噴墨列印頭系統的一部分。於一個實例中，系統400乃噴墨控制晶片的一部分。於一個實例中，系統400乃噴墨列印頭晶粒的一部分。

[0071]EPROM記憶體402包括可被擇定及個別地規劃及個別地及組合EPROM胞元並列地選擇與讀取的EPROM胞元。於一個實例中，EPROM胞元各自儲存未經規劃態及規劃態中之一者。於一個實例中，EPROM記憶體402包括類似圖1之EPROM胞元20的EPROM胞元。於一個實例中，EPROM記憶體402包括類似圖3之EPROM胞元90的EPROM

胞元。於一個實例中，EPROM記憶體402包括類似圖5之EPROM胞元160的EPROM胞元。於一個實例中，EPROM記憶體402包括類似圖6之EPROM胞元200的EPROM胞元。

[0072] 電路404選擇EPROM記憶體402中的EPROM胞元個別地或組合EPROM胞元並列地以透過記憶體路徑406規劃與讀取EPROM胞元。電路404包括一規劃電路408、一量測電路410、及一電壓供應源412。爲了規劃於EPROM記憶體402中的EPROM胞元，電路404擇定EPROM胞元中之一者，及規劃電路408控制電壓供應源412以提供規劃電壓給經擇定的EPROM胞元。爲了讀取EPROM記憶體402，電路404個別地或組合EPROM胞元並列地擇定EPROM胞元中之一者，及量測電路410控制電壓供應源412以測量經擇定的EPROM胞元或經擇定的EPROM胞元之並聯組合之導通電阻 R_{on} 。電路404指派一相對應態給電阻測量值。

[0073] 圖9爲略圖例示說明於EPROM記憶體402中的一EPROM位元420的一個實例。EPROM位元420包括第一EPROM胞元422及第二EPROM胞元424。第一EPROM胞元422及第二EPROM胞元424各自具有一未經規劃態及一規劃態，於該處第一EPROM胞元422及第二EPROM胞元424之各態具有與另外三個態不同的導通電阻值。電路404(顯示於圖8)個別地或並列地選擇第一EPROM胞元422及第二EPROM胞元424以從EPROM位元420規劃及讀取高達八個不同態。於一個面向中，EPROM位元420爲多重層級(多層級)EPROM位元420。於另一個實例中，該第一EPROM胞元

422及該第二EPROM胞元424各自具有多於二態，於該處第一EPROM胞元422及第二EPROM胞元424之各態具有與第一EPROM胞元422及第二EPROM胞元424的其它態不同的導通電阻值，及電路404個別地或並列地選擇第一EPROM胞元422及第二EPROM胞元424以從EPROM位元420規劃及讀取高達八個不同態。於其它實例中，EPROM位元420包括多於兩個EPROM胞元，於該處多於兩個EPROM胞元之各態具有與多於兩個EPROM胞元的其它態不同的導通電阻值，及電路404個別地或並列地選擇多於兩個EPROM胞元以從EPROM位元420規劃及讀取高達八個不同態。

[0074] EPROM位元420包括一第一電阻器426、一第二電阻器428、第一EPROM胞元422、第二EPROM胞元424、一第一選擇電晶體430、一第二選擇電晶體432、及一位元位址電晶體434。第一電阻器426的一端係透過電壓供應源路徑436而電氣耦接至電壓供應源412，及第一電阻器426的另一端係電氣耦接至第一EPROM胞元422的汲極。第一EPROM胞元422的閘極係透過電壓供應源路徑436而電氣耦接至電壓供應源412，及第一EPROM胞元422的源極係電氣耦接至第一選擇電晶體430的汲極。第一選擇電晶體430之源極係透過汲極路徑438而電氣耦接至位元位址電晶體434之汲極。位元位址電晶體434的源極於440係電氣耦接至參考電位諸如接地。第二電阻器428的一端係透過電壓供應源路徑436而電氣耦接至電壓供應源412，及第二電阻器428的另一端係電氣耦接至第二EPROM胞元424的汲極。第二

EPROM胞元424的閘極係透過電壓供應源路徑436而電氣耦接至電壓供應源412，及第二EPROM胞元424的源極係電氣耦接至第二選擇電晶體432的汲極。第二選擇電晶體432之源極係透過汲極路徑438而電氣耦接至位元位址電晶體434之汲極。

[0075]第一EPROM胞元422及第二EPROM胞元424各自具有一未經規劃態及一規劃態，及第一EPROM胞元422及第二EPROM胞元424之各態具有與另外三個態不同的導通電阻值。第一EPROM胞元422具有一第一未經規劃電阻及一第一經規劃電阻，及第二EPROM胞元424具有一第二未經規劃電阻及一第二經規劃電阻，於該處第一未經規劃電阻、第一經規劃電阻、第二未經規劃電阻及第二經規劃電阻係為與另外三個電阻各自不同的電阻值。

[0076]電路404(顯示於圖8)個別地或並列地選擇第一EPROM胞元422及第二EPROM胞元424以規劃與讀取EPROM位元420的該等態。為了只選擇第一EPROM胞元422，電路404同時地於442提供高選擇信號SELA，於444提供低選擇信號SELB，及於446提供高位元位址信號BIT_ADDR。為了只選擇第二EPROM胞元424，電路404同時地於442提供高選擇信號SELA，於444提供低選擇信號SELB，及於446提供高位元位址信號BIT_ADDR。為了選擇第一EPROM胞元422與第二EPROM胞元424的並聯組合，電路404同時地於442提供高選擇信號SELA，於444提供低選擇信號SELB，及於446提供高位元位址信號BIT_ADDR。於

一個實例中，電路404組合列位址與行位址以於446提供高位元位址信號BIT_ADDR。

[0077] 電路404個別地規劃第一EPROM胞元422及第二EPROM胞元424。爲了規劃第一EPROM胞元422，電路404只選擇第一EPROM胞元422，及規劃電路408控制電壓供應源412以於436提供一規劃電壓V給第一EPROM胞元422。電流流經第一電阻器426、第一EPROM胞元422、第一選擇電晶體430、及位元位址電晶體434至於440的參考電位。爲了規劃第二EPROM胞元424，電路404只選擇第二EPROM胞元424，及規劃電路408控制電壓供應源412以於436提供一規劃電壓V給第二EPROM胞元424。電流流經第二電阻器428、第二EPROM胞元424、第二選擇電晶體432、及位元位址電晶體434至於440的參考電位。位元位址電晶體434導通電流從第一EPROM胞元422及第二EPROM胞元424史自透過汲極路徑438。於其它實例中，電路404可並列地規劃第一EPROM胞元422及第二EPROM胞元424。

[0078] 電路404藉個別地或並列地選擇及讀取第一EPROM胞元422及第二EPROM胞元424而讀取EPROM位元420。電路404選擇第一EPROM胞元422、第二EPROM胞元424、及第一EPROM胞元422及第二EPROM胞元424的並聯組合中之一者，及量測電路410控制電壓供應源412以於電壓供應源路徑436提供電壓V。量測電路410經由第一EPROM胞元422、第二EPROM胞元424、及第一EPROM胞元422及第二EPROM胞元424的並聯組合中之該擇定者而

測量導通電阻。電路404指派一相對應態給該電阻測量值。

[0079] EPROM位元420使用第一EPROM胞元422及第二EPROM胞元424儲存高達八個不同態，如表I所示。

表I

| 第一EPROM | 第二EPROM | 測量的電阻 | 態 | 電阻值(歐姆) |
|---------|---------|---------|---|---------|
| Ra | X | 只有Ra | 0 | 3000 |
| Ra' | X | 只有Ra' | 1 | 6000 |
| X | Rb | 只有Rb | 2 | 4000 |
| X | Rb' | 只有Rb' | 3 | 7000 |
| Ra | Rb | Ra/Rb | 4 | 1714 |
| Ra | Rb' | Ra/Rb' | 5 | 2100 |
| Ra' | Rb | Ra'/Rb | 6 | 2400 |
| Ra' | Rb' | Ra'/Rb' | 7 | 3231 |

[0080]於操作中，電路404設定第一EPROM胞元422為第一未經規劃電阻Ra及第一經規劃電阻Ra'中之一者，及設定第二EPROM胞元424為第二未經規劃電阻Rb及第二經規劃電阻Rb'中之一者，於該處第一未經規劃電阻Ra、第一經規劃電阻Ra'、第二未經規劃電阻Rb及第二經規劃電阻Rb'中之各個電阻係與另三個電阻各自不同。

[0081]態0及1係只由第一EPROM胞元422提供。針對態0，第一EPROM胞元422係設定為第一未經規劃電阻Ra，而第二EPROM胞元424係設定為第二未經規劃電阻Rb或第二經規劃電阻Rb'。針對態1，第一EPROM胞元422係設定為第一經規劃電阻Ra'，而第二EPROM胞元424係設定為第二未經規劃電阻Rb或第二經規劃電阻Rb'。

[0082]態2及3係只由第二EPROM胞元424提供。針對態

2，第二EPROM胞元424係設定為第二未經規劃電阻Rb，而第一EPROM胞元422係設定為第一未經規劃電阻Ra或第一經規劃電阻Ra'。針對態3，第二EPROM胞元424係設定為第二經規劃電阻Rb'，而第一EPROM胞元422係設定為第一未經規劃電阻Ra或第一經規劃電阻Ra'。

[0083]態4至7係由第一EPROM胞元422及第二EPROM胞元424的並聯組合提供。針對態4，第一EPROM胞元422係設定為第一未經規劃電阻Ra，而第二EPROM胞元424係設定為第二未經規劃電阻Rb。針對態5，第一EPROM胞元422係設定為第一未經規劃電阻Ra，而第二EPROM胞元424係設定為第二經規劃電阻Rb'。針對態6，第一EPROM胞元422係設定為第一經規劃電阻Ra'，而第二EPROM胞元424係設定為第二未經規劃電阻Rb。針對態7，第一EPROM胞元422係設定為第一經規劃電阻Ra'，而第二EPROM胞元424係設定為第二經規劃電阻Rb'。

[0084]為了針對態0及1只讀取第一EPROM胞元422，電路404只選擇第一EPROM胞元422，及量測電路410控制電壓供應源412以提供電壓V給EPROM位元420。電流流經第一電阻器426、第一EPROM胞元422、第一選擇電晶體430、及位元位址電晶體434至於440的參考電位。量測電路410測量通過第一EPROM胞元422的導通電阻Ron。測得的導通電阻Ron係相對應於0及1之該等態中之一者。態0及1之電阻值係取決於設計及製程變化。於表I例示說明之實例中，態0為3000歐姆，及態1為6000歐姆。於其它實例中，態0及1乃

不同的電阻值。

[0085]爲了針對態2及3只讀取第二EPROM胞元424，電路404只選擇第二EPROM胞元424，及量測電路410控制電壓供應源412以提供電壓V給EPROM位元420。電流流經第二電阻器428、第二EPROM胞元424、第二選擇電晶體432、及位元位址電晶體434至於440的參考電位。量測電路410測量通過第二EPROM胞元424的導通電阻 R_{on} 。測得的導通電阻 R_{on} 係相對應於2及3之該等態中之一者。態2及3之電阻值係取決於設計及製程變化。於表I例示說明之實例中，態2爲4000歐姆，及態3爲7000歐姆。於其它實例中，態2及3乃不同的電阻值。

[0086]爲了讀取第一EPROM胞元422及第二EPROM胞元424的並聯組合，電路404選擇第一EPROM胞元422及第二EPROM胞元424的並聯組合，及量測電路410控制電壓供應源412以提供電壓V給EPROM位元420。電流流經第一電阻器426、第一EPROM胞元422、第一選擇電晶體430、及位元位址電晶體434至於440的參考電位；及電流流經第二電阻器428、第二EPROM胞元424、第二選擇電晶體432、及位元位址電晶體434至於440的參考電位。量測電路410測量通過第一EPROM胞元422的導通電阻 R_{on} 。測得的導通電阻 R_{on} 係相對應於4至7之該等態中之一者。態4至7之電阻值係取決於設計及製程變化。於表I例示說明之實例中，態4爲1714歐姆，態5爲2100歐姆，態6爲2400歐姆，及態7爲3231歐姆。於其它實例中，態4至7乃不同的電阻值。

[0087]爲了讀取EPROM位元420的不同態，使用者須知曉或獲得資訊指示是否只選擇第一EPROM胞元422，或只選擇第二EPROM胞元424，或第一EPROM胞元422及第二EPROM胞元424的並聯組合。此項資訊係稱作爲編碼方案。於一個實例中，至少部分編碼方案爲固定且爲該使用者所已知，使得在EPROM記憶體402的一固定部分的各個位元係藉只選擇第一EPROM胞元422，或只選擇第二EPROM胞元424，或只選擇第一EPROM胞元422及第二EPROM胞元424的並聯組合而讀取。於一個實例中，至少部分編碼方案係儲存於另一個EPROM記憶體或儲存於另一個積體電路晶粒。於一個實例中，至少部分編碼方案係儲存於一中心伺服器上其可透過網際網路存取。於一個實例中，至少部分編碼方案係儲存於EPROM記憶體402中，諸如儲存於只選擇EPROM記憶體402的並聯組合部分。

[0088]於EPROM位元420中，第一EPROM胞元422及第二EPROM胞元424具有不同的導通電阻 R_{on} 。第一EPROM胞元422具有較低的導通電阻 R_{on} ，第二EPROM胞元424具有較高的導通電阻 R_{on} 。不同的EPROM胞元導通電阻 R_{on} 可藉微調在該裝置內提供導通電阻 R_{on} 的通道之長度及寬度獲得。

[0089]圖10爲頂視圖例示說明使用圖2之EPROM晶片70的該等層之一EPROM胞元500的一個實例。EPROM胞元500之該等層中之部分，諸如第二電介質層82及金屬2層84並未顯示於圖10以求清晰。EPROM胞元500包括閘極502、

通道504(以虛線指示)、汲極區域506、及源極區域508。通道504、汲極區域506、及源極區域508係形成於半導體基體72，而閘極502係形成於多晶矽層76。閘極502係藉氧化物層74而與通道504分開。通道504係位在閘極502下方且環繞汲極區域506。通道504係位在汲極區域506與源極區域508間，於該處源極區域508環繞通道504。

[0090]閘極引線510、汲極引線512、及源極引線514係形成於金屬1層80。閘極引線510係通過電介質層78透過接觸孔516(以虛線顯示)而連結至閘極502。汲極引線512係通過電介質層78透過接觸孔518(以虛線顯示)而連結至汲極區域506。源極引線514係通過電介質層78透過接觸孔520(以虛線顯示)而連結至源極區域508。

[0091]閘極502為方形閉合曲線結構，其乃矩形閉合曲線結構的特例。閘極502在外側及內側各自包括四個邊及四個直角。閘極502具有一閘極長度 L_g ，其為從閘極502的外側522至閘極502的內側524的距離。閘極502具有一閘極寬度 W_g ，其為在閘極502的內側與外側間之中點測量的環繞閘極502之距離。於一個實例中，閘極長度 L_g 為在沿閘極502的外側及內側之不同點量測的平均閘極長度。於一個實例中，閘極長度 L_g 為用在電路模擬的相等閘極長度。於一個實例中，閘極寬度 W_g 為於閘極502外側測得的環繞閘極502之距離。於一個實例中，閘極寬度 W_g 為於閘極502內側測得的環繞閘極502之距離。於一個實例中，閘極寬度 W_g 為用在電路模擬的相等閘極寬度。於其它實例中，閘極502可

為其它形狀。

[0092] 通道504也為方形閉合曲線結構，其乃矩形閉合曲線結構的特例。通道504包括四個邊及四個直角。通道504具有一通道長度 L_c ，其為從通道504的外側526至通道504的內側528的距離。通道504具有一通道寬度 W_c ，其為在通道504的內側與外側間之中點測量的環繞通道504之距離，於該處通道寬度 W_c 係約與閘極寬度 W_g 相同。於一個實例中，通道長度 L_c 為在沿通道504的外側及內側之不同點量測的平均通道長度。於一個實例中，通道長度 L_c 為用在電路模擬的相等通道長度。於一個實例中，通道寬度 W_c 為於通道504外側測得的環繞通道504之距離。於一個實例中，通道寬度 W_c 為於通道504內側測得的環繞通道504之距離。於一個實例中，通道寬度 W_c 為用在電路模擬的相等通道寬度。於其它實例中，通道504可為其它形狀。

[0093] 於EPROM胞元500中，實質上全部閘極502係為一作用浮動閘區域，及實質上全部通道504為一作用通道區域。通道504的該作用通道區域之長度對寬度比係等於通道504的長度對寬度比，亦即 L_c/W_c 。又504的該作用浮動閘區域之長度對寬度比係等於閘極502之長度對寬度比，其為 L_g/W_g 。

[0094] 於EPROM胞元500微調及提供較高導通電阻 R_{on} 之一種方式係提高EPROM胞元500的作用浮動閘區域長度對寬度比及作用通道區域長度對寬度比。但通道寬度 W_c 的減小受限於製程設計法則；及於具有閉合曲線通道的

EPROM胞元中，增加通道長度 L_c 加大通道寬度 W_c ，其將通道長度對寬度比的增加限於約4之因數。此外，增加通道長度 L_c 及通道寬度 W_c 加大了通道面積，其減低控制閘電容對浮動閘電容比，減低EPROM效能，及於經規劃的導通電阻 R_{on} 提供較大標準差。

[0095]於EPROM胞元500微調與提供較高導通電阻 R_{on} 之另一方式係蝕刻去除部分浮動閘502以縮小作用浮動閘區域寬度及作用通道區域寬度。如此增加作用浮動閘區域長度對寬度比及作用通道區域長度對寬度比，及微調及提高EPROM胞元500的導通電阻 R_{on} 。又，縮小作用浮動閘區域寬度及作用通道區域寬度，增高了控制閘電容對浮動閘電容比，其提高了EPROM胞元500的效能，及於經規劃的導通電阻 R_{on} 提供較小標準差。

[0096]圖11A及11B為略圖例示說明EPROM胞元600及EPROM胞元600中之電容的一個實例。EPROM胞元600運用圖2之EPROM晶片70的該等層。於一個實例中，EPROM胞元600係與圖1的EPROM胞元20相似。於一個實例中，EPROM胞元600係與圖3的EPROM胞元90相似。於一個實例中，EPROM胞元600係與圖5的EPROM胞元160相似。於一個實例中，EPROM胞元600係與圖6的EPROM胞元200相似。於一個實例中，EPROM胞元600係用於噴墨列印頭系統。於一個實例中，EPROM胞元600係用於噴墨列印頭晶片。於一個實例中，EPROM胞元600係用於噴墨列印頭晶粒。於其中實例中，EPROM胞元600係運用不同製程的該

等層形成。

[0097] EPROM胞元600包括一基體602具有一N+源極區域604、一N+汲極區域606、及一p通道608。源極區域604、汲極區域606、及通道608係形成於半導體基體72。

[0098] EPROM胞元600也包括一浮動閘610，其係藉氧化物層612而與通道608分開。浮動閘610係形成於多晶矽層76，及氧化物層612係形成於氧化物層74。通道608係位在源極區域604與汲極區域606間且在浮動閘610下方。

[0099] 浮動閘引線614係透過於618的接觸孔而經由電介質層616而連結至浮動閘610。控制閘620係透過另一個電介質層622而與閘引線614分開。電介質層616係形成於第一電介質層78，浮動閘引線614係形成於金屬1層80，另一電介質層622係形成於第二電介質層80，及控制閘620係形成於金屬2層84。

[0100] 爲了規劃EPROM胞元600，高輸入電壓脈衝係施加至控制閘620及汲極區606，橫跨汲極區606施加至源極區604。如此產生高能「熱」載子或電子。控制閘620與汲極區606間的正電壓偏壓挽此等熱電子中之部分至浮動閘610上。當電子被挽至浮動閘610上時，EPROM胞元600的臨界電壓增加，使得EPROM胞元600係規劃成透過熱載子注入至浮動閘610上。

[0101] 爲了讀取或感測EPROM胞元600的狀態，臨界電壓經檢測及/或使用感測器(圖中未顯示)量測導通電阻。EPROM胞元600狀態的讀取或感測係藉設定閘極/汲極電壓

及量測相對應電流完成，或藉設定電流與量測電壓完成。EPROM胞元600之導通電阻測量值係以約2之因數而從未經規劃態改變成規劃態。

[0102] EPROM胞元600的導通電阻 R_{on} 係相對應於浮動閘引線614上的及浮動閘610上的有效閘極電壓 V_{g_eff} 。有效閘極電壓 V_{g_eff} 係等於移轉給浮動閘引線614的電壓，稱作為浮動閘電壓 V_{g_float} 扣除因捕集於浮動閘610上的負電荷或電子所致的電壓降。因此，有效閘極電壓 V_{g_eff} 係取決於透過熱載子注入所產生的及捕集於浮動閘610上的電子數目，及控制閘電容對浮動閘電容比，其決定浮動閘電壓 V_{g_float} 及控制閘620用於控制EPROM胞元600的功效。

[0103] EPROM胞元600包括控制閘620與浮動閘引線614間之電容耦合，於該處控制閘620及浮動閘引線614形成於624具有控制閘電容 C_c 的相對電容器板。於626的輸入電壓 V_{in} 係施加至控制閘620，及於624透過控制閘電容 C_c 電容耦合至浮動閘引線614。

[0104] EPROM胞元600包括從浮動閘引線614及浮動閘610電容耦合至基體602，於該處浮動閘引線614及浮動閘610形成一片電容器板，及基體602於628以浮動閘電容 C_{fg} 形成另一片電容器板。

[0105] 控制閘電容 C_c 對浮動閘電容 C_{fg} 比係顯示於方程式I。

方程式I

$$C_c / (C_c + C_{fg})$$

[0106]於方程式I中，於624的控制閘電容 C_c 乃控制閘620與浮動閘引線614間之電容，及於628的浮動閘電容 C_{fg} 為從浮動閘引線614及浮動閘610至基體602的電容。於628的浮動閘電容 C_{fg} 係進一步定義於方程式II。

方程式II

$$C_{fg} = C_{gox} + C_{gs} + C_{gd} + C_p$$

於該處，於628的浮動閘電容 C_{fg} 係等於於630在浮動閘610與通道608間的閘極氧化物電容 C_{gox} 加於632從浮動閘610至源極區域604的閘極對源極重疊電容 C_{gs} 加於634從浮動閘610至汲極區域606的閘極對汲極重疊電容 C_{gd} 加於636在浮動閘引線614與基體602間的寄生電容 C_p 。

[0107]於630的閘極氧化物電容 C_{gox} 乃於628的浮動閘電容 C_{fg} 中的顯性電容且係顯示於方程式III。

方程式III

$$C_{gox} = (E * A) / T_{ox} = (E * W * L) / T_{ox}$$

於該處， E 為氧化物層612的電容率， T_{ox} 為氧化物層612的厚度，及 L 及 W 分別地為通道608及實質上浮動閘610的長度及寬度。

[0108]縮小通道608及浮動閘610的長度 L 及寬度 W ，藉由減低於630的閘極氧化物電容 C_{gox} 及於628的相對應浮動閘電容 C_{fg} 而增加控制閘電容對浮動閘電容比。較高的控制閘電容對浮動閘電容比提供改良EPROM效能，經規劃的導通電阻 R_{on} 中較小的標準差，及未經規劃的相對於經規劃的導通電阻 R_{on} 之較佳控制。

[0109]又，於不同EPROM胞元中通道608及浮動閘610的不同長度L對寬度W比(L/W)結果導致於不同EPROM胞元中不同的導通電阻Ron。於該處例如，增加長度對寬度比L/W，提高了EPROM胞元600的導通電阻Ron，如方程式IV及V所示。

方程式IV

$$R_{on} = 1/(\lambda * I_d)$$

[0110]於方程式IV中，lamda(λ)為通道長度調變參數，及 I_d 為汲極電流，其係與通道608及浮動閘610的寬度對長度比W/L成正比，如方程式V所示。

方程式V

$$I_d = [(\mu_n * C_{ox})/2] * (W/L) * (V_{gs} - V_{th})^2$$

於該處， μ_n 為電荷-載子有效遷移率， C_{ox} 為每單位面積之閘極氧化物電容，W為閘極寬度，L為閘極長度， V_{gs} 為閘極電壓，及 V_{th} 為臨界電壓。如此，導通電阻Ron係與汲極電流 I_d 成反比，而與長度對寬度比L/W成正比，使得增加長度對寬度比L/W提高了EPROM胞元600的導通電阻Ron。

[0111]爲了達成較高的控制閘電容對浮動閘電容比及不同的導通電阻Ron，部分浮動閘610被蝕刻去除以縮小作用浮動閘區域寬度及作用通道區域寬度。如此縮小作用浮動閘面積及作用通道面積，及提高作用浮動閘區域長度對寬度比L/W及作用通道區域長度對寬度比L/W，如此增高控制閘電容對浮動閘電容比，及增加EPROM胞元600的導通

電阻 R_{on} 。

[0112]圖12A及12B為略圖例示說明EPROM胞元700的一個實例，該EPROM胞元700係經組配來藉由縮小作用浮動閘面積及作用通道面積而提高控制閘電容對浮動閘電容比，且係經組配來藉由提高作用浮動閘區域長度對寬度比 L_{ga}/W_{ga} 及作用通道區域長度對寬度比 L_{ca}/W_{ca} ，而調諧與提高EPROM胞元700的導通電阻 R_{on} 。EPROM胞元700運用圖2之EPROM晶片70之該等層，但EPROM晶片70之該等層中之部分諸如第二電介質層82及金屬2層84為求清晰並未顯示於圖12A及12B。

[0113]圖12A為沿圖12B之視線A-A所取的EPROM胞元700之剖面圖。於一個實例中，EPROM胞元700係類似圖1之EPROM胞元20。於一個實例中，EPROM胞元700係類似圖3之EPROM胞元90。於一個實例中，EPROM胞元700係類似圖5之EPROM胞元160。於一個實例中，EPROM胞元700係類似圖6之EPROM胞元200。於一個實例中，EPROM胞元700係用於噴墨列印頭系統。於一個實例中，EPROM胞元700係用於噴墨列印頭晶片。於一個實例中，EPROM胞元700係用於噴墨列印頭晶粒。於其中實例中，EPROM胞元700係運用不同製程的該等層形成。

[0114]EPROM胞元700包括基體72，其具有N+源極區域702a及702b、一N+汲極區域704、及一p通道706其包括p通道區域706a及706b。汲極區域704包括一頂面708、一底部710、及在頂面708與底部710間的側部712。含括通道區

域706a及706b的通道706環繞汲極區域704在汲極區域704的側部712周圍。通道706係位在源極區域92與汲極區域704間及位在源極區域94與汲極區域704間。於一個實例中，源極區域702a及702b為連結，一個連續源極區域的一部分環繞通道706。

[0115]通道706包括環繞汲極區域704的一個閉合曲線結構，於該處一曲線係定義為類似一條線的一物體，但不要求為筆直，表示一條線乃一曲線的一個特例，亦即具有零曲率的一曲線。又，閉合曲線係定義為接合在一起而無端點的一曲線。於一個實例中，包括通道區域706a及706b的通道706為長橢圓形。於其它實例中，包括通道區域706a及706b的通道706可為不同形狀，諸如圓形或矩形包括方形。

[0116]浮動閘714(顯示於圖12B)係形成於通道706一部分上方的多晶矽層76內。通道706的此一部分係稱作為作用通道區域706c(在浮動閘714下方以虛線指示)，其係包括通道區域706b。浮動閘714並不位在通道706的另一部分上方，該另一部分係稱作為不作用通道區域706d其係包括通道區域706a。電介質層74係位在浮動閘714與在作用通道區域706c的基體72間，包括；及電介質層74係位在不作用通道區域706d的基體72上，包括通道區域706a。於一個實例中，電介質層74係為二氧化矽層。

[0117]電介質層78係位在浮動閘714、汲極區域704及源極區域702包括源極區域702a及702b上方。一接觸遮罩係用以在電介質層78產生通孔或孔。此等孔乃浮動閘714、汲極

區域704及源極區域702在702a的接觸孔。金屬1層80係位在電介質層78上，且經蝕刻以形成浮動閘引線716、汲極引線718、及源極引線720。浮動閘引線716經由電介質層78中的孔而接觸浮動閘714，汲極引線718經由電介質層78中的孔而接觸汲極區域704，及源極引線720係經由電介質層78中的孔而接觸源極區域702a。

[0118]浮動閘714乃具有一作用浮動閘長度 L_{ga} 及一作用浮動閘寬度 W_{ga} 的半長橢圓形浮動閘。浮動閘714下方的作用通道區域706c具有一作用通道長度 L_{ca} 及一作用通道寬度 W_{ca} ，於該處作用浮動閘寬度 W_{ga} 與作用通道寬度 W_{ca} 為實質上相同。又，通道706具有一不作用通道寬度 W_{ci} ，於該處總通道寬度 W_c 為作用通道寬度 W_{ca} 與不作用通道寬度 W_{ci} 之和。於其它實例中，浮動閘714可為另一種形狀，諸如半圓形或部分矩形，包括部分方形。

[0119]於操作中，為了規劃EPROM胞元700，高電壓偏壓或高輸入電壓脈衝係施加至控制閘(圖中未顯示)及汲極區域704，跨越汲極區域704至源極區域702a及702b。於該處該控制閘可形成於第二金屬84諸如控制閘108(顯示於圖3)，或形成於第一裝置諸如第一裝置162(顯示於圖5)。如此產生高能「熱」載子或電子及提供定量熱電子至浮動閘714上。當電子被挽至浮動閘714上時，EPROM胞元700的臨界電壓亦即致使通道706導通電流所需電壓增高。若足量電子被挽至浮動閘714上，則臨界電壓增至高於特定臨界電壓的位準，且EPROM胞元700在一特定臨界電壓位準實質上阻

擋電流，其將EPROM胞元700的邏輯態從一個邏輯值改成另一個邏輯值。如此，透過熱載子注入至浮動閘714上EPROM胞元700經規劃。

[0120]爲了讀取或感測EPROM胞元700之狀態，臨界電壓係經檢測及/或導通電阻 R_{on} 係使用感測器(圖中未顯示)量測。讀取或感測EPROM胞元700之狀態可藉設定閘極/汲極電壓與量測相對應於電流完成，或藉設定電流而量測電壓完成。EPROM胞元700之導通電阻 R_{on} 測量值從未經規劃態至經規劃態改變達約因數2。

[0121]圖12B爲頂視圖例示說明EPROM胞元700的一個實例。EPROM胞元700的有些層不顯示於圖12B以求清晰。如前文說明，EPROM胞元700包括浮動閘714、通道706、汲極區域704、及源極區域702。作用通道區域706c係位在浮動閘714下方且以虛線指示。通道706環繞汲極區域704且係位在汲極區域704與源極區域702間。源極區域702環繞通道706。

[0122]浮動閘引線716係通過電介質層78透過接觸孔722(以虛線顯示)而連結至浮動閘714。汲極引線718係通過電介質層78透過接觸孔724(以虛線顯示)而連結至汲極區域704。源極引線720係通過電介質層78透過接觸孔726(以虛線顯示)而連結至源極區域702。

[0123]浮動閘714爲半長橢圓形浮動閘，具有一作用浮動閘長度 L_{ga} 其乃從浮動閘714的一側728至另一側730的距離。浮動閘714具有一作用浮動閘寬度 W_{ga} 其乃從浮動閘

714的一端732至另一端732的距離。於一個實例中，作用浮動閘長度 L_{ga} 為在浮動閘714旁側不同點測量的平均閘極長度，該等側係在汲極區域704及源極區域702旁。於一個實例中，作用浮動閘長度 L_{ga} 乃用在電路模擬的相等浮動閘長度。於其它實例中，浮動閘714可為其它形狀。

[0124]通道706包括作用通道區域706c及不作用通道區域706d。作用通道區域706c為在浮動閘714下方的半長橢圓形通道。作用通道區域706c具有一作用通道長度 L_{ca} 其為從通道706的一側736至另一側738的距離。作用通道區域706c具有一作用通道寬度 W_{ca} 其乃從浮動閘714下方的一端732至另一端734的距離，於該處該作用浮動閘寬度 W_{ga} 與該作用通道寬度 W_{ca} 為實質上相等。不作用通道區域706d具有一不作用通道寬度 W_{ci} 其乃該一端732至另一端734的另一距離。於一個實例中，作用通道長度 L_{ca} 為於作用通道區域706c旁側，其乃在汲極區域704及源極區域702旁沿線的不同點測得的平均通道長度。於一個實例中，作用通道長度 L_{ca} 乃用在電路模擬的相等通道長度。於其它實例中，作用通道區域706c可為另一種形狀，諸如半圓形或部分矩形，包括部分方形。

[0125]包括作用通道區域706c及不作用通道區域706d的通道706具有一通道長度 L_c ，其為從汲極區域704至源極區域702的距離。包括作用通道區域706c及不作用通道區域706d的通道706具有一通道寬度 W_c ，其為環繞通道706的距離，如在通道706之內側與外側間之中點測量。包括作用通

道區域706c及不作用通道區域706d的通道706的通道寬度 W_c 係為作用通道寬度 W_{ca} 與不作用通道寬度 W_{ci} 之和。於一個實例中，通道長度 L_c 為於沿汲極區域704及源極區域702的不同點量測的平均通道長度。於一個實例中，通道長度 L_c 為用於電路模擬的相等通道長度。於一個實例中，通道寬度 W_c 為環繞通道706的距離，如在通道706之外側測量。於一個實例中，通道寬度 W_c 為環繞通道706的距離，如在通道706之內側測量。於一個實例中，通道寬度 W_c 為用於電路模擬的相等通道寬度。

[0126]於EPROM胞元700中，作用通道長度 L_{ca} 為實質上等於通道長度 L_c ，作用通道寬度 W_{ca} 為小於通道寬度 W_c 。如此，作用通道706c的面積($L_{ca} * W_{ca}$)係小於通道706的面積($L_c * W_c$)，及作用通道長度對寬度比 L_{ca}/W_{ca} 係大於通道長度對寬度比 L_c/W_c 。又，作用浮動閘長度 L_{ga} 係實質上等於通道長度 L_c ，及作用浮動閘寬度 W_{ga} 係小於通道寬度 W_c 。如此，作用浮動閘714的面積($L_{ga} * W_{ga}$)係小於通道706的面積($L_c * W_c$)，及作用浮動閘長度對寬度比 L_{ga}/W_{ga} 係大於通道長度對寬度比 L_c/W_c 。又，作用浮動閘714的面積($L_{ga} * W_{ga}$)係小於具有通道706的面積($L_c * W_c$)的一浮動閘面積，及作用浮動閘長度對寬度比 L_{ga}/W_{ga} 係大於具有通道706的長度對寬度比 L_c/W_c 的一浮動閘之長度對寬度比。

[0127]縮小作用浮動閘面積及作用通道面積，增加控制閘電容對浮動閘電容比，其提高EPROM胞元700的效能，及提供於經規劃的導通電阻 R_{on} 之較小的標準差。又，增加

作用浮動閘區域長度對寬度比及通道區域長度對寬度比，調諧與增加EPROM胞元700的導通電阻 R_{on} 。使用此種方法，作用浮動閘區域長度對寬度比及通道區域長度對寬度比可增加超過4之因數。

[0128] 圖13為頂視圖例示說明EPROM胞元800的一個實例，該EPROM胞元800具有一作用浮動閘寬度 W_{ga} 及一作用通道寬度 W_{ca} ，其各自係小於通道寬度 W_c 。EPROM胞元800係經組配來藉縮小作用浮動閘面積及作用通道面積而增加控制閘電容對浮動閘電容比，及係經組配來藉增加作用浮動閘長度對寬度比 L_{ga}/W_{ga} 及作用通道長度對寬度比 L_{ca}/W_{ca} 而調諧與提高EPROM胞元800的導通電阻 R_{on} 。EPROM胞元800使用圖2之EPROM晶片70的該等層，但EPROM胞元800之該等層中之部分諸如第二電介質層82及金屬2層84，於圖中未顯示以求清晰。於一個實例中，EPROM胞元800係類似圖1之EPROM胞元20。於一個實例中，EPROM胞元800係類似圖3之EPROM胞元90。於一個實例中，EPROM胞元800係類似圖5之EPROM胞元160。於一個實例中，EPROM胞元800係類似圖6之EPROM胞元200。於一個實例中，EPROM胞元800係用於噴墨列印頭系統。於一個實例中，EPROM胞元800係用於噴墨列印頭晶片。於一個實例中，EPROM胞元800係用於噴墨列印頭晶粒。於其中實例中，EPROM胞元800係運用不同製程的該等層形成。

[0129] EPROM胞元800包括於基體72的 N^+ 源極區域

802、一N⁺汲極區域804、及一p通道806。汲極區域804包括一頂面、一底部、及在頂面與底部間的側部。通道806環繞汲極區域804在汲極區域804的側部周圍，且係位在源極區域802與汲極區域804間。源極區域802環繞通道806。

[0130] EPROM胞元800包括一浮動閘808具有一作用浮動閘區域808a及一不作用浮動閘區域808b。作用通道區域806a係位在作用浮動閘區域808a下方且以虛線指示。通道806的其餘部分亦即通道806減作用通道區域806a係為不作用通道區域806b，包括在不作用浮動閘區域808b下方的不作用通道區域806b。浮動閘808係形成於多晶矽層76中，且係透過氧化物層74而與通道806分開。

[0131] 浮動閘引線810係通過電介質層78透過接觸孔812(以虛線顯示)而連結至作用浮動閘區域808a。浮動閘引線810及作用浮動閘區域808a皆不連結至不作用浮動閘區域808b。汲極引線814係通過電介質層78透過接觸孔816(以虛線顯示)而連結至汲極區域804。源極引線818係通過電介質層78透過接觸孔820(以虛線顯示)而連結至源極區域802。浮動閘引線810、汲極引線814、及源極引線818係形成於金屬1層80。

[0132] 作用浮動閘區域808a係為半圓形或半長橢圓形浮動閘區域，具有一作用浮動閘長度 L_{ga} 其為從作用浮動閘區域808a的一側822至另一側824的距離。作用浮動閘區域808a具有一作用浮動閘寬度 W_{ga} ，其為從作用浮動閘區域808a的一端826至另一端828的距離。於一個實例中，作用

浮動閘長度 L_{ga} 為沿作用浮動閘區域808a旁側在汲極區域804及源極區域802旁的不同點測得的平均閘極長度。於一個實例中，作用浮動閘長度 L_{ga} 為用於電路模擬的相等浮動閘長度。於其它實例中，作用浮動閘區域808a可為其它形狀，諸如圓形之部分或矩形之部分，包括方形之部分。

[0133]不作用浮動閘區域808b為一半圓形或半長橢圓形浮動閘區域，其係不連結至浮動閘引線810或作用浮動閘區域808a，因而維持不作用。先前在作用浮動閘區域808a與不作用浮動閘區域808b間之浮動閘材料已經被去除，使得作用浮動閘區域808a係不連結至不作用浮動閘區域808b。於其它實例中，不作用浮動閘區域808b可為其它形狀，諸如圓形之部分或矩形之部分，包括方形之部分。

[0134]通道806包括作用通道區域806a及不作用通道區域806b。作用通道區域806a為在作用浮動閘區域808a下方的半圓形或半橢圓形通道。作用通道區域806a具有一作用通道長度 L_{ca} ，其為從通道806的一側830至另一側832之距離。作用通道區域806a具有一作用通道寬度 W_{ca} ，其為在作用浮動閘區域808a下方從一端826至另一端828的距離，於該處作用浮動閘寬度 W_{ga} 與作用通道寬度 W_{ca} 為實質上相同。不作用通道區域806b具有一不作用通道寬度 W_{ci} ，此乃一端826與另一端828間之另一距離。於一個實例中，作用通道長度 L_{ca} 為沿作用通道區域806a旁側在汲極區域804及源極區域802旁的不同點測得的平均通道長度。於一個實例中，作用通道長度 L_{ca} 為用於電路模擬的相等浮動閘長度。

於其它實例中，作用通道區域806a可為其它形狀，諸如圓形之部分或矩形之部分，包括方形之部分。

[0135]包括作用通道區域806a及不作用通道區域806b的通道806具有一通道長度 L_c ，此乃從汲極區域804至源極區域802的距離。包括作用通道區域806a及不作用通道區域806b的通道806具有一通道寬度 W_c ，此乃如在通道806的內側與外側間之中點測得的環繞通道806的距離。包括作用通道區域806a及不作用通道區域806b的通道806係為作用通道寬度 W_{ca} 與不作用通道寬度 W_{ci} 之和。於一個實例中，通道長度 L_c 為於汲極區域804及源極區域802沿線之不同點測得的平均通道長度。於一個實例中，通道長度 L_c 為用於電路模擬的相等通道長度。於一個實例中，通道寬度 W_c 為於通道806外側測得的環繞通道806之距離。於一個實例中，通道寬度 W_c 為於通道806內側測得的環繞通道806之距離。於一個實例中，通道寬度 W_c 為用於電路模擬的相等通道寬度。於其它實例中，EPROM胞元800包括多個作用及/或不作用浮動閘區域，及相對應地，多個作用及/或不作用通道區域。

[0136]於EPROM胞元800中，作用通道長度 L_{ca} 為實質上等於通道長度 L_c ，作用通道寬度 W_{ca} 為小於通道寬度 W_c 。如此，作用通道806c的面積($L_{ca} * W_{ca}$)係小於通道806的面積($L_c * W_c$)，及作用通道長度對寬度比 L_{ca}/W_{ca} 係大於通道長度對寬度比 L_c/W_c 。又，作用浮動閘長度 L_{ga} 係實質上等於通道長度 L_c ，及作用浮動閘寬度 W_{ga} 係小於通道寬

度 W_c 。如此，作用浮動閘區域808a的面積($L_{ga} * W_{ga}$)係小於通道806的面積($L_c * W_c$)，及作用浮動閘長度對寬度比 L_{ga}/W_{ga} 係大於通道長度對寬度比 L_c/W_c 。又，作用浮動閘808a的面積($L_{ga} * W_{ga}$)係小於具有通道806的面積($L_c * W_c$)的一浮動閘面積，及作用浮動閘長度對寬度比 L_{ga}/W_{ga} 係大於具有通道806的長度對寬度比 L_c/W_c 的一浮動閘之長度對寬度比。

[0137] 縮小作用浮動閘面積及作用通道面積，增加控制閘電容對浮動閘電容比，其提高EPROM胞元800的效能，及提供於經規劃的導通電阻 R_{on} 之較小的標準差。又，增加作用浮動閘區域長度對寬度比及通道區域長度對寬度比，調諧與增加EPROM胞元800的導通電阻 R_{on} 。使用此種方法，作用浮動閘區域長度對寬度比及通道區域長度對寬度比可增加超過4之因數。

[0138] 圖14A-14F為略圖例示說明EPROM胞元900之製法的一個實例，該EPROM胞元900係具有一作用浮動閘寬度 W_{ga} 及一作用通道寬度 W_{ca} ，其各自係小於通道寬度 W_c 。EPROM胞元900係經組配來藉縮小作用浮動閘面積及作用通道面積相對於總通道面積而增加控制閘電容對浮動閘電容比，及係經組配來藉增加作用浮動閘長度對寬度比 L_{ga}/W_{ga} 及作用通道長度對寬度比 L_{ca}/W_{ca} 而調諧與提高EPROM胞元900的導通電阻 R_{on} 。EPROM胞元900使用圖2之EPROM晶片70的該等層，但EPROM胞元900之該等層中之部分諸如第二電介質層82及金屬2層84，於圖中未顯示以

求清晰。EPROM胞元900係類似圖13的EPROM胞元800。於一個實例中，EPROM胞元900係類似圖1之EPROM胞元20。於一個實例中，EPROM胞元900係類似圖3之EPROM胞元90。於一個實例中，EPROM胞元900係類似圖5之EPROM胞元160。於一個實例中，EPROM胞元900係類似圖6之EPROM胞元200。於一個實例中，EPROM胞元900係用於噴墨列印頭系統。於一個實例中，EPROM胞元900係用於噴墨列印頭晶片。於一個實例中，EPROM胞元900係用於噴墨列印頭晶粒。於其中實例中，EPROM胞元900係運用不同製程的該等層形成。

[0139]圖14A為略圖例示說明基體902的一個實例，該基體902具有N⁺源極區域904a及904b、一N⁺汲極區域906、及包括p通道區域908a及908b的一p通道908。汲極區域906包括一頂面910、一底部912、及介於頂面910與底部912間之側部914。包括通道區域908a及908b的通道908環繞汲極區域906包圍汲極區域906的側部914。通道908係位在源極區域904a與汲極區域906間，及源極區域904b與汲極區域906間。源極區域904a及904b係連結及一個連續源極區域904之一部分係環繞通道908。

[0140]通道908包括環繞汲極區域906的一閉合曲線結構，於該處一曲線係定義為類似一條線的一物體，但不求為筆直，表示一條線乃一曲線的一個特例，亦即具有零曲率的一曲線。又，閉合曲線係定義為接合在一起而無端點的一曲線。於一個實例中，通道908以一致通道長度L_c

裝繞汲極區域906。於一個實例中，通道908以不一致通道長度 L_c 裝繞汲極區域906。於一個實例中，包括通道區域908a及908b之通道908為方形。於一個實例中，包括通道區域908a及908b之通道908為矩形而非為方形。於一個實例中，包括通道區域908a及908b之通道908為長橢圓形。於一個實例中，包括通道區域908a及908b之通道908具有至少一個圓形內角或外角。

[0141] 圖14B為略圖例示說明配置於通道908上方的一浮動閘916的一個實例。電介質層74係配置於基體902上，多晶矽層76係配置於電介質層74上。電介質層74係經製作圖樣以保留在通道908上，及包括在通道區域908a的電介質層74a及在通道區域908b的電介質層74b。浮動閘916係形成於多晶矽層76中及包括分別地位在通道區域908a及908b上方的浮動閘區域76a及76b。電介質層74係位在浮動閘916與基體902間。於一個實例中，電介質層74係為二氧化矽層。於一個實例中，浮動閘916係成形為與通道908的相同形狀。

[0142] 圖14C為略圖例示說明配置於浮動閘916、汲極區域906、及包括源極區域904a及904b的源極區域904上之一第二電介質層78的一個實例。

[0143] 圖14D為略圖例示說明在透過一接觸阻罩以蝕刻電介質層78而在電介質層78中形成孔口後，經蝕刻的電介質層78的一個實例。接觸孔口係蝕刻於電介質層78以接觸浮動閘916、汲極區域906、及源極區域904a。針對浮動閘916的接觸孔口係蝕刻貫穿電介質層78，在作用通道區域

上方，諸如EPROM胞元800的作用通道區域806a。電介質層78也透過在浮動閘916部分上方的接觸阻罩被蝕刻去除，該等部分也係在不作用通道區域上方，諸如EPROM胞元800中的不作用通道區域806b。但電介質層78不透過在不作用浮動閘區域諸如EPROM胞元800中的不作用浮動閘區域808b上方的接觸阻罩被蝕刻去除。

[0144] 圖14E為略圖例示說明配置於電介質層78、浮動閘916、汲極區域906、及源極區域904上的金屬1層80的一個實例。金屬1層80係經由浮動閘接觸孔口而接觸浮動閘916。又，金屬1層80接觸不作用通道區域諸如不作用通道區域806b上方的浮動閘916，但不包括不作用浮動閘區域諸如不作用浮動閘區域808b。金屬1層80通過汲極接觸孔口接觸汲極區域906，及通過源極區域904a上方的源極接觸孔口接觸源極區域904。

[0145] 圖14F為略圖例示說明在蝕刻金屬1層80以形成一浮動閘引線(圖中未顯示)、汲極引線918、及源極引線920後的EPROM胞元900的一個實例。金屬1層80係在微影術製程中未經保護區被蝕刻去除，包括作用浮動閘區域上方，諸如作用浮動閘區域808a、及不作用浮動閘區域，諸如不作用浮動閘區域808b向下直至電介質層78。金屬1層80及浮動閘916在不作用通道區域諸如不作用通道區域806b上方被蝕刻去除，但不包括不作用浮動閘區域，諸如不作用浮動閘區域808b向下直至電介質層74，包括電介質層74a及74b。

[0146] 浮動閘引線係通過在作用通道區域上方的電介質層78中的接觸孔口而接觸浮動閘916的作用浮動閘區域。汲極引線918通過在電介質層78中的接觸孔口而接觸汲極區域906，及源極引線920係通過在源極區域904a上方的電介質層78中的接觸孔口而接觸源極區域904。

[0147] 蝕刻去除金屬1層80及部分浮動閘916，產生作用浮動閘區域諸如作用浮動閘區域808a、作用通道區域諸如作用通道區域806a、不作用浮動閘區域諸如不作用浮動閘區域808b、及不作用通道區域諸如不作用通道區域806b。作用通道區域的面積係小於通道面積，及作用通道長度對寬度比係大於通道長度對寬度比。又，作用浮動閘區域面積係小於通道面積，及作用浮動閘長度對寬度比係大於通道長度對寬度比。此外，作用浮動閘面積係小於在蝕刻去除金屬1層80及部分浮動閘916之前浮動閘916的面積，及作用浮動閘長度對寬度比係大於在蝕刻去除金屬1層80及部分浮動閘916之前浮動閘916的長度對寬度比。

[0148] 縮小作用浮動閘面積及作用通道面積，增加了控制閘電容對浮動閘電容比，其係提高EPROM胞元900的效能且提供於經規劃的導通電阻 R_{on} 之較小標準差。又，作用浮動閘區域長度對寬度比及作用通道長度對寬度比，調諧且增高EPROM胞元900的導通電阻 R_{on} 。

[0149] 圖15A及15B為略圖例示說明具有經蝕刻的浮動閘之EPROM胞元的導通電阻 R_{on} ，結果導致作用浮動閘寬度 W_{ga} 及作用通道寬度 W_{ca} 其係小於相對應的通道寬度

Wc。

[0150]圖15A為略圖例示說明未經規劃的，此處稱作為提供邏輯0態的EPROM胞元之導通電阻 R_{on} 。不具有經蝕刻的浮動閘之對照EPROM胞元提供3178歐姆之平均導通電阻 R_{on} ，具有163歐姆的標準差。經蝕刻的浮動閘EPROM胞元提供3610歐姆之平均導通電阻 R_{on} ，具有161歐姆的標準差。如此，經蝕刻的浮動閘EPROM胞元之未經規劃的導通電阻 R_{on} 係比對照EPROM胞元之未經規劃的導通電阻 R_{on} 多約430歐姆。標準差維持約略相等。

[0151]圖15B為略圖例示說明經規劃的，此處稱作為提供邏輯1態的EPROM胞元之導通電阻 R_{on} 。不具有經蝕刻的浮動閘之對照EPROM胞元提供6158歐姆之平均導通電阻 R_{on} ，具有552歐姆的標準差。經蝕刻的浮動閘EPROM胞元提供6992歐姆之平均導通電阻 R_{on} ，具有252歐姆的標準差。如此，經蝕刻的浮動閘EPROM胞元之經規劃的導通電阻 R_{on} 係比對照EPROM胞元之經規劃的導通電阻 R_{on} 多約830歐姆。經蝕刻的浮動閘EPROM胞元之導通電阻 R_{on} 的標準差係比對照EPROM胞元之導通電阻 R_{on} 的標準差少約300歐姆。

[0152]縮小作用浮動閘面積及作用通道面積，增加了控制閘電容對浮動閘電容比，其係增加了對規劃經蝕刻的浮動閘EPROM胞元的控制，及於經規劃的導通電阻 R_{on} 提供較小的標準差。如此導致改善良率及降低晶粒成本。又，提高作用浮動閘區域長度對寬度比及作用通道長度對寬度

比，提高了經蝕刻的浮動閘EPROM胞元的之經規劃的及未經規劃的導通電阻 R_{on} ，結果導致不同應用，諸如透過並列定址應用的多層級規劃。

[0153]圖16為略圖例示說明噴墨列印系統1000的一個實例，該系統包括EPROM胞元具有各自小於通道寬度 W_c 的一作用浮動閘寬度 W_{ga} 及一作用通道寬度 W_{ca} 。

[0154]噴墨列印系統1000組成流體噴射系統的一個實例，包括一流體噴射裝置諸如噴墨列印頭總成1002，及一流體供應總成諸如墨水供應總成1004。該噴墨列印系統1000也包括一安裝總成1006、一媒體傳輸總成1008、及一電子控制器1010。至少一個電源供應器1012供電給噴墨列印系統1000的各個電氣組件。

[0155]於一個實例中，噴墨列印頭總成1002包括至少一個列印頭或列印頭晶粒1014，其通過多個孔口或噴嘴1016噴射墨滴朝向列印媒體1018，因而列印至列印媒體1018上。列印頭1014乃流體噴射裝置的一個實例。列印媒體1018可為任何型別的適當片材，諸如紙、卡紙、透明片、邁拉(Mylar)、織物等。典型地，噴嘴1016係排列成一或多行或一或多列，使得從噴嘴1016適當循序噴出的墨水，造成當噴墨列印頭總成1002與列印媒體1018彼此相對移動時，文字、符號、及/或其它圖形或影像被列印在列印媒體1018上。雖然後文詳細說明部分述及從噴墨列印頭總成1002噴射墨水，但須瞭解其它液體、流體或流動性材料含澄清流體可從列印頭總成1002噴射。於一個實例中，至少一個列

印頭1014包括前述EPROM記憶體及EPROM胞元。

[0156]墨水供應總成1004作為流體供應總成的一個實例，供應墨水給列印頭總成1002及包括一貯槽1020用以儲存墨水。如此，墨水從貯槽1020流至噴墨列印頭總成1002。墨水供應總成1004及噴墨列印頭總成1002可形成單向墨水遞送系統或再循環墨水遞送系統。於單向墨水遞送系統中，供給噴墨列印頭總成1002的墨水實質上全部在列印期間被耗用。於再循環墨水遞送系統，供給噴墨列印頭總成1002的墨水只有部分在列印期間被耗用。因此，在列印期間未被耗用的墨水回送至墨水供應總成1004。

[0157]於一個實例中，噴墨列印頭總成1002與墨水供應總成1004一起罩在一噴墨卡匣或筆內。噴墨卡匣或筆乃流體噴射裝置的一個實例。於另一個實例中，墨水供應總成1004係與噴墨列印頭總成1002分開，及經由界面連結諸如供應管(圖中未顯示)而供應墨水給噴墨列印頭總成噴墨列印頭總成1002。於任一個實例中，墨水供應總成1004的貯槽1020可被移開、替換、及/或再填充。於一個實例中，於該處噴墨列印頭總成1002與墨水供應總成1004一起罩在一噴墨卡匣內，貯槽1020包括位在該卡匣內部的一本地貯槽，及也可包括位置與該卡匣分離的一較大型貯槽。如此，分開的較大型貯槽再填裝該本地貯槽。據此，該分開的較大型貯槽及/或該本地貯槽可被移開、替換、及/或再填充。

[0158]安裝總成1006相對於媒體傳輸總成1008定位噴墨列印頭總成1002，及媒體傳輸總成1008相對於噴墨列印

頭總成1002定位列印媒體1018。如此，一列印區段1022係界定相鄰於噴嘴1016在噴墨列印頭總成1002與列印媒體1018間之一區。於一個實例中，噴墨列印頭總成1002為一掃描型列印頭總成。如此，安裝總成1006包括一載具(圖中未顯示)用以相對於媒體傳輸總成1008移動噴墨列印頭總成1002以掃描列印媒體1018。於另一個實例中，噴墨列印頭總成1002為一非掃描型列印頭總成。如此，安裝總成1006固定噴墨列印頭總成1002在相對於媒體傳輸總成1008的一規定位置。如此，媒體傳輸總成1008相對於噴墨列印頭總成1002定位列印媒體1018。

[0159]電子控制器或列印器控制器1010典型地包括處理器、韌體、及其它電子裝置或其任一項組合以與噴墨列印頭總成1002、安裝總成1006、及媒體傳輸總成1008通訊且控制之。電子控制器1010從主機系統諸如電腦接收資料1024，通常包括暫時儲存資料1024用之記憶體。典型地，資料1024係沿電子、紅外線、光學、或其它資訊傳輸路徑而發送至噴墨列印系統1000。資料1024表示例如欲列印的文件及/或檔案。如此，資料1024形成噴墨列印系統1000的列印工作，及包括一或多個列印工作指令及/或指令參數。於一個實例中，電子控制器1010包括EPROM記憶體其係包括前述EPROM胞元。

[0160]於一個實例中，電子控制器1010控制噴墨列印頭總成1002以從噴嘴1016噴射墨滴。如此，電子控制器1010界定噴射墨滴的圖樣，而在列印媒體1018上形成文字、符

號、及/或其它圖形或影像。噴射墨滴的圖樣係由列印工作指令及/或指令參數決定。

[0161]於一個實例中，噴墨列印頭總成1002包括一個列印頭1014。於另一個實例中，噴墨列印頭總成1002為一寬陣列或多頭列印頭總成。於一個寬陣列實例中，噴墨列印頭總成1002包括一載體其承載列印頭晶粒1014，提供列印頭晶粒1014與電子控制器1010間的電氣通訊，及提供列印頭晶粒1014與墨水供應總成1004間之流體連通。

[0162]雖然於此處已經例示說明與描述特定實施例，但熟諳技藝人士須瞭解可不悖離本發明之範圍而多個替代及/或相當體現可取代所顯示的及所描述的特定實施例。本案係意圖涵蓋此處討論的特定實施例之任何調整或變化。因此，意圖本發明係僅受申請專利範圍各項及其相當範圍所限。

【符號說明】

| | |
|--------------------------|--------------------------|
| 20、90、122、160、200、300、 | 208、308、310、610、714、 |
| 422、424、500、600、700、 | 808、916...浮動閘 |
| 800、900...可電氣規劃唯 | 32、108、124、620...控制閘 |
| 讀記憶體(EPROM)胞元 | 34、36、180...電介質材料 |
| 22、72、172、212、602、902... | 70...EPROM晶片 |
| 半導體基體、基體 | 74、74a-b、612...氧化物層、 |
| 24、128、174、182...源極 | 電介質層 |
| 26、126、176、184...汲極 | 76...多晶矽層 |
| 28、178、186、504...通道 | 76a-b、206a-b、208a-b...浮動 |
| 30、110、146、166、168、206、 | 閘區域 |

| | |
|--|---|
| 78...第一電介質層 | 142a-b、322a-b、440...參考電位 |
| 80...金屬1層 | 144a-b、324a-b...列線 |
| 82...第二電介質層 | 144a...列信號ROW1 |
| 84...金屬2層 | 144b...列信號ROW2 |
| 92、94、214、216、234、236、 604、702a-b、802、 904a-b...N+源極區域 | 162、164、202、204、304、306... 裝置 |
| 96、218、238、606、704、804、 906...N+汲極區域 | 170、210、312...浮動閘連結 電介質層 |
| 98、220、240、608、706、806、 908...p通道 | 180、188、228、230、616、622... 190、192、326...電阻器 |
| 98a-b、240a-b、706a-b、908a-b... 通道區域 | 302...閘極耦合EPROM胞元 328...線 |
| 100、222、242、708、910...頂面 | 400...系統 |
| 102、224、244、710、912...底部 | 402...EPROM記憶體 |
| 104、226、246、712、914...側部 | 404...電路 |
| 106、108...電容器板 | 406...記憶體路徑 |
| 120、300...EPROM陣列 | 408...規劃電路 |
| 130、314、626...輸入電壓Vin | 410...量測電路 |
| 132...串聯電阻器 | 412...電壓供應源 |
| 134、134a-b...汲極線 | 420...EPROM位元 |
| 136、316...列電晶體 | 426、428...電阻器 |
| 138a-b、318a-b...行電晶體 | 430、432...選擇電晶體 |
| 140a-b、320a-b...行線 | 434...位元位址電晶體 |
| | 436...電壓供應源路徑 |

| | |
|---|---------------------|
| 438...汲極路徑 | 830、832...側 |
| 442...高選擇信號SELA | 732、734、826、828...端 |
| 444...低選擇信號SELB | 808a...作用浮動閘區域 |
| 446...高位元位址信號 BIT_ADDR | 808b...不作用浮動閘區域 |
| 502...閘極 | 1000...噴墨列印系統 |
| 506...汲極區域 | 1002...噴墨列印頭總成 |
| 508...源極區域 | 1004...墨水供應總成 |
| 510...閘極引線 | 1006...安裝總成 |
| 512、718、814、918...汲極弓線 | 1008...媒體傳輸總成 |
| 514、720、818、920...源極弓線 | 1010...電子控制器 |
| 516、518、520、618、722、724、 726、812、816、820...接觸孔 | 1012...電源供應器 |
| 522、526...外側 | 1014...列印頭晶粒 |
| 524、528...內側 | 1016...噴嘴 |
| 614、716、810...浮動閘引線 | 1018...列印媒體 |
| 624...控制閘電容Cc | 1020...貯槽 |
| 628...浮動閘電容Cfg | 1022...列印區段 |
| 630...閘極氧化物電容Cgox | 1024...資料 |
| 632...閘極對源極重疊電容Cgs | Cc...控制閘電容 |
| 634...閘極對汲極重疊電容Cgd | CH...通道 |
| 706c...作用通道區域 | Cgd...閘極對汲極重疊電容 |
| 706d...不作用通道區域 | Cgox...閘極氧化物電容 |
| 728、730、736、738、822、824、 | Cgs...閘極對源極重疊電容 |
| | Cp...寄生電容 |
| | D...汲極 |

G...閘極

S...源極

Lc...通道長度

Lca...作用通道長度

Lg...閘極長度

Lga...作用浮動閘長度

Ron...導通電阻

Vin...輸入電壓

Wc...通道寬度

Wca...作用通道寬度

Wci...不作用通道寬度

Wg...閘極寬度

Wga...作用浮動閘寬度

申請專利範圍

1. 一種裝置，其係包含：
 - 一汲極；
 - 一通道，其係環繞該汲極且具有一通道面積；
 - 5 一浮動閘極，其係包括一作用浮動閘極區域，此作用浮動閘極區域具有一作用浮動閘極區域面積；及
 - 透過一控制電容而耦合至該作用浮動閘極區域之一控制閘極，其中該作用浮動閘極區域面積小於該通道面積；
 - 10 其中該通道具有一通道長度對寬度比，及該作用浮動閘極區域係具有大於該通道長度對寬度比的一作用浮動閘極區域長度對寬度比。
2. 如申請專利範圍第1項之裝置，其中該浮動閘極係包括至少一個不作用浮動閘極區域。
- 15 3. 如申請專利範圍第1項之裝置，其中該浮動閘極係具有一浮動閘極電容，及該作用浮動閘極區域係具有一作用浮動閘極區域電容，及該控制電容對該作用浮動閘極區域電容比係大於該控制電容對該浮動閘極電容比。
4. 如申請專利範圍第1項之裝置，其中該通道包括一作用通道區域，其具有大於該通道長度對寬度比的一作用通道區域長度對寬度比。
- 20 5. 如申請專利範圍第1項之裝置，其中該通道包括一作用通道區域，其具有大於該通道面積的一作用通道區域面積。

6. 一種積體電路，其係包含：
- 一汲極；
 - 一通道，其係環繞該汲極且具有一通道長度對寬度比；
 - 一浮動閘極，其係包括一作用浮動閘極區域，此作用浮動閘極區域具有一作用浮動閘極區域長度對寬度比；及
- 透過一控制電容而耦合至該作用浮動閘極區域之一控制閘極，其中該作用浮動閘極區域長度對寬度比係大於該通道長度對寬度比。
7. 如申請專利範圍第6項之積體電路，其中該通道係具有一通道面積，及該作用浮動閘極區域係具有小於該通道面積的一作用浮動閘極區域面積。
8. 如申請專利範圍第6項之積體電路，其中該控制電容對作用浮動閘極區域電容比係大於該控制電容對浮動閘極電容比。
9. 如申請專利範圍第6項之積體電路，其中該浮動閘極包括在一不作用通道區域上方的至少一個不作用浮動閘極區域。
10. 如申請專利範圍第6項之積體電路，其中該通道係包括一作用通道區域，其具有大於該通道長度對寬度比的一作用通道區域長度對寬度比。
11. 一種製造一裝置之方法，其係包含：
- 以具有一通道面積之一通道環繞一汲極；
 - 於該通道上方設置一浮動閘極；

於該浮動閘極上設置一第一電介質層；

蝕刻於該浮動閘極之一第一部分上及於該浮動閘極之一第二部分上的該第一電介質層；

於該浮動閘極上設置第一金屬以提供一閘極接點於該浮動閘極之該第一部分上；及

蝕刻該第一金屬以蝕刻去除該浮動閘極之該第二部分上的該第一金屬，且蝕刻去除該浮動閘極之該第二部分，以提供一作用浮動閘極區域具有小於該通道面積的一作用浮動閘極區域面積。

12. 如申請專利範圍第11項之方法，其係包含：

於該第一金屬上設置一第二電介質層；及

於該第二電介質層上設置第二金屬以提供一控制閘極及介於該第一金屬與第二金屬間之一控制電容。

13. 如申請專利範圍第11項之方法，其中該通道具有一通道長度對寬度比，及蝕刻該第一金屬係蝕刻去除該浮動閘極之該第二部分以提供大於該通道長度對寬度比的一作用浮動閘極區域長度對寬度比。

14. 如申請專利範圍第11項之方法，其係包含：

蝕刻該浮動閘極之一第三部分上的該第一電介質層；

於該浮動閘極之該第三部分上設置該第一金屬；及

蝕刻該第一金屬以蝕刻去除該浮動閘極之該第三部分上的該第一金屬且蝕刻去除該浮動閘極之該第三部分以提供一不作用浮動閘極區域。

圖式

1/16

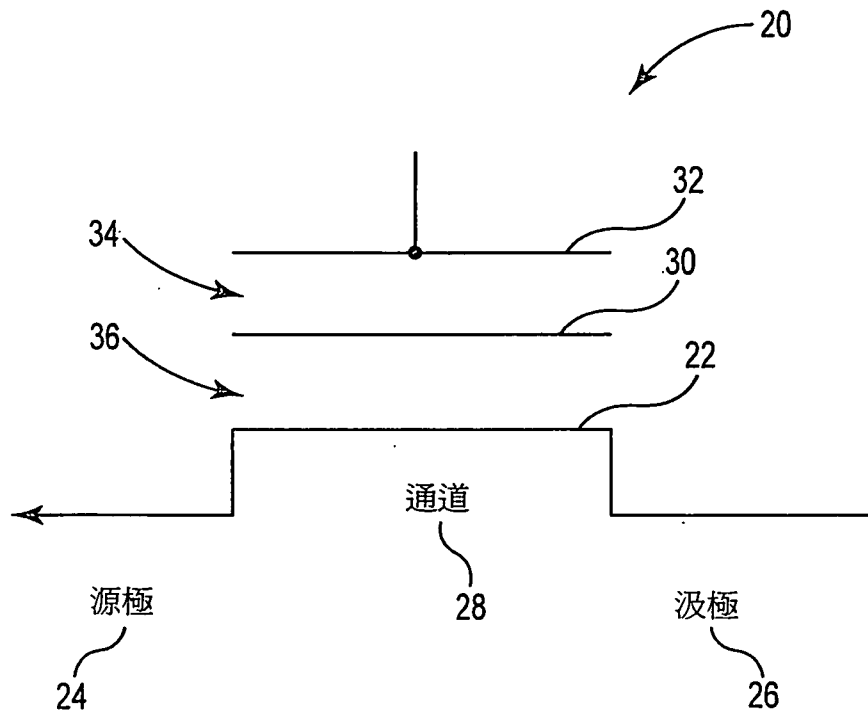


圖1

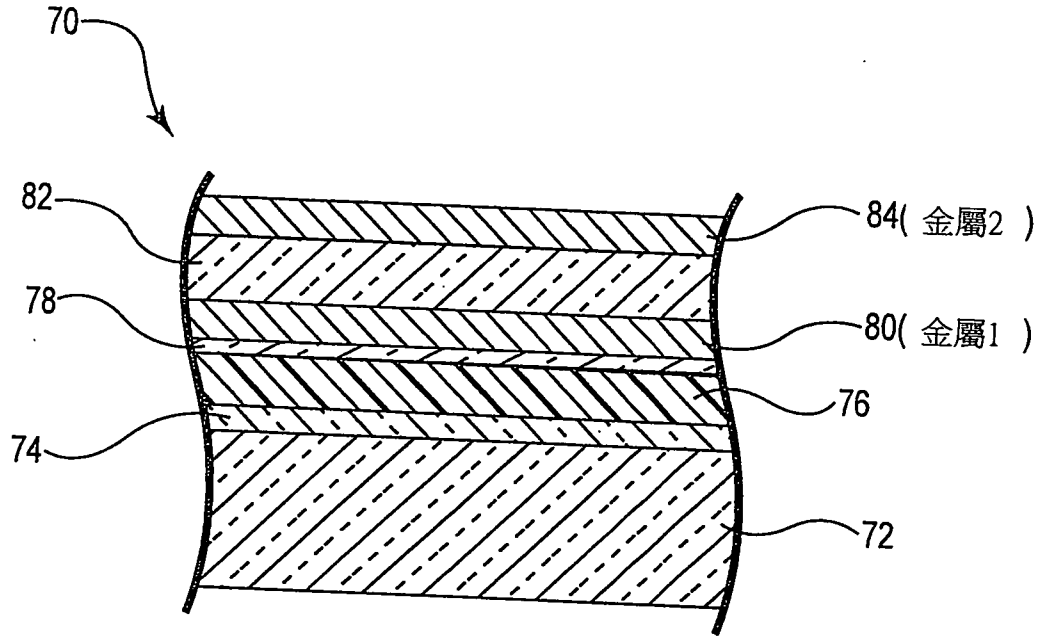


圖2

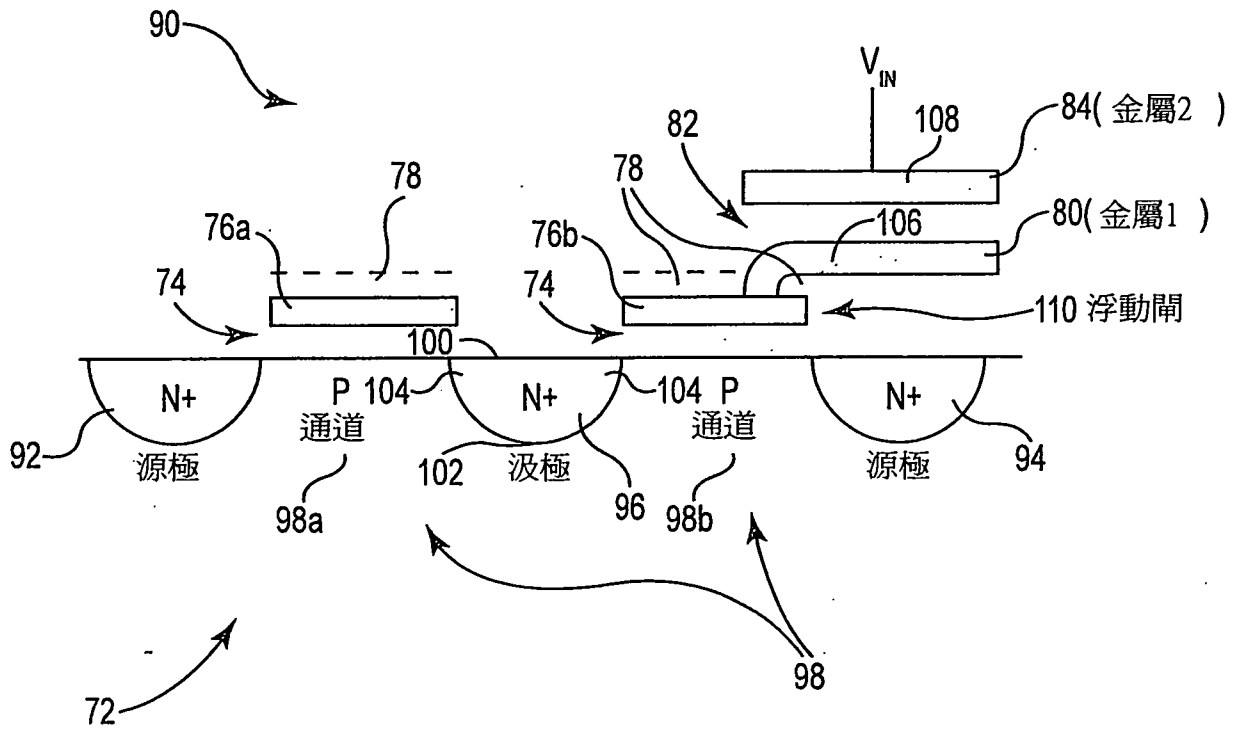


圖3

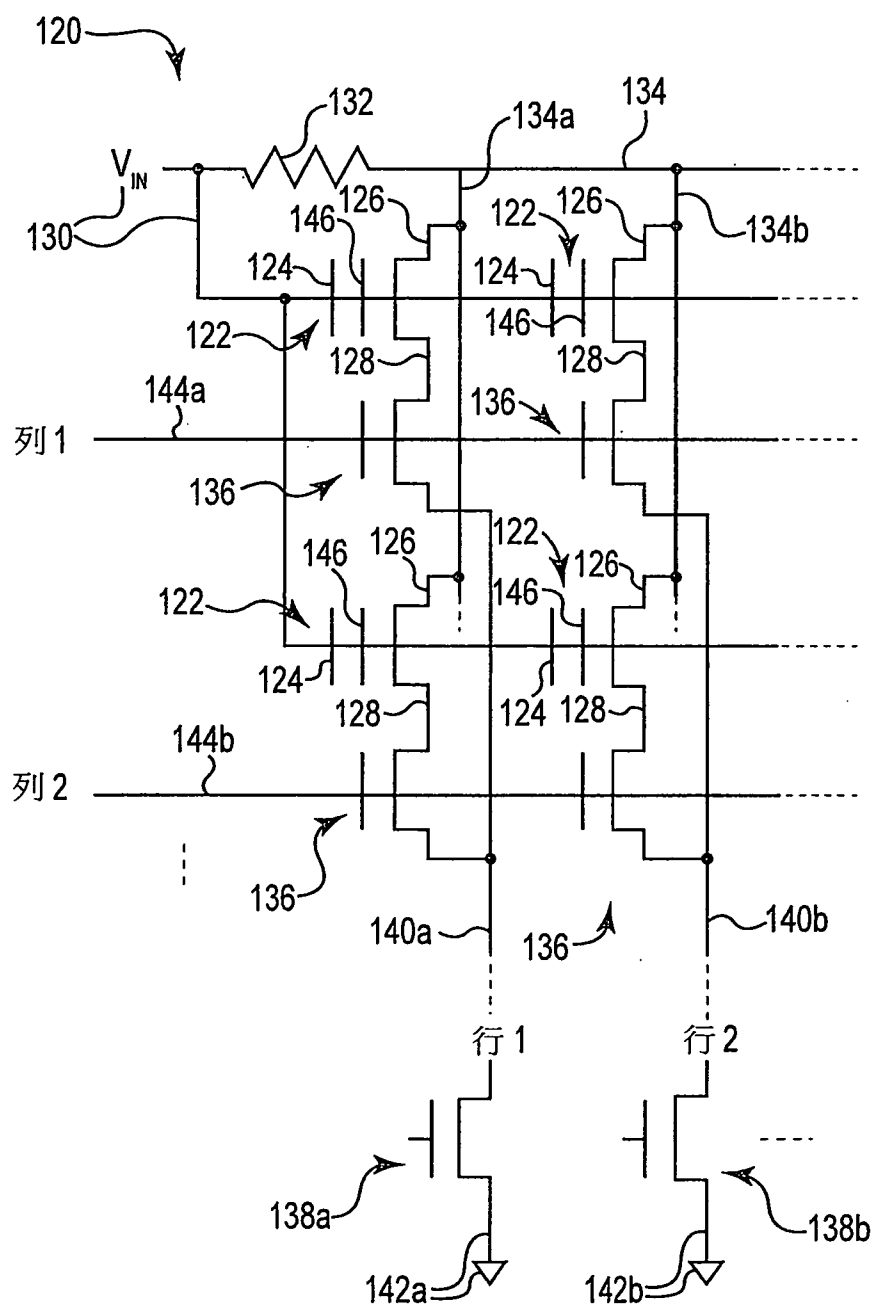


圖4

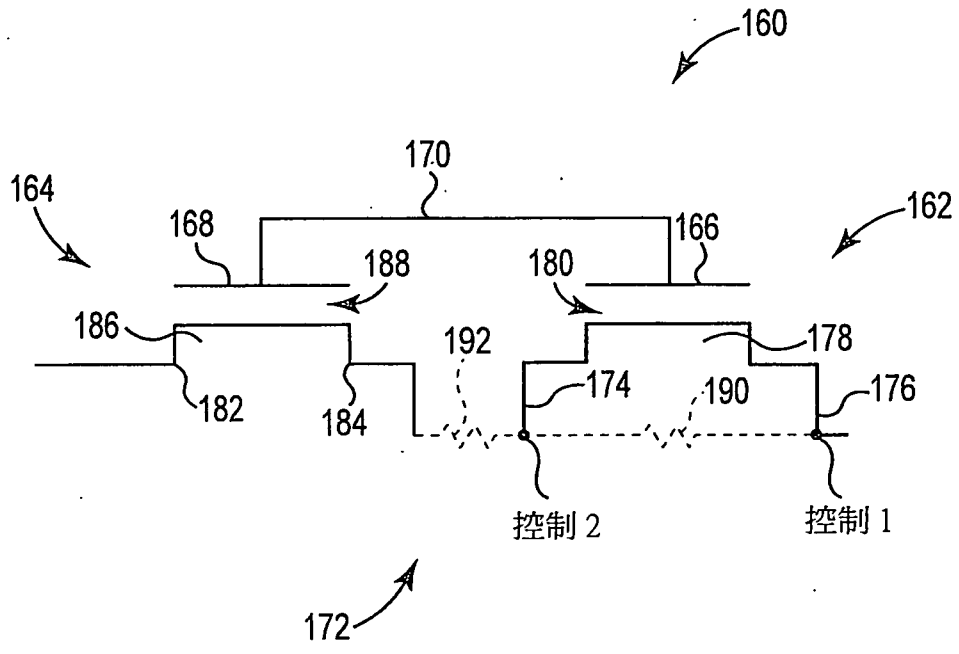


圖5

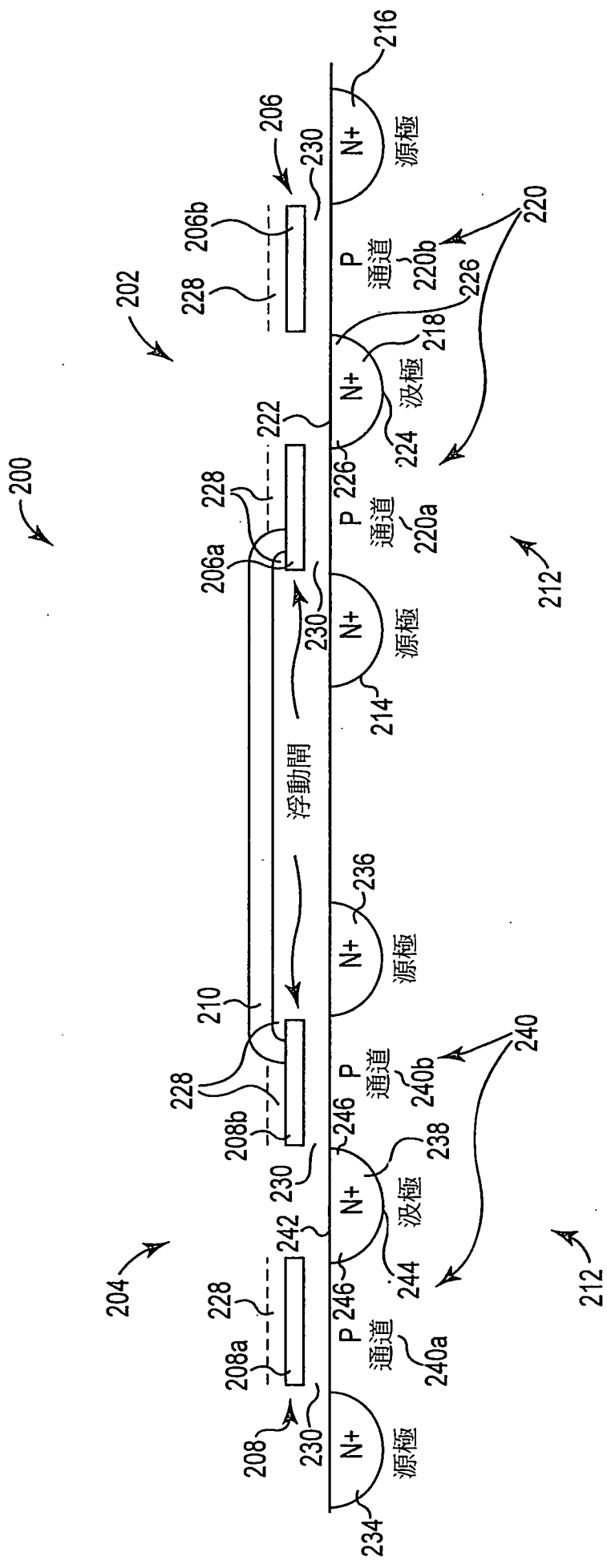


圖6

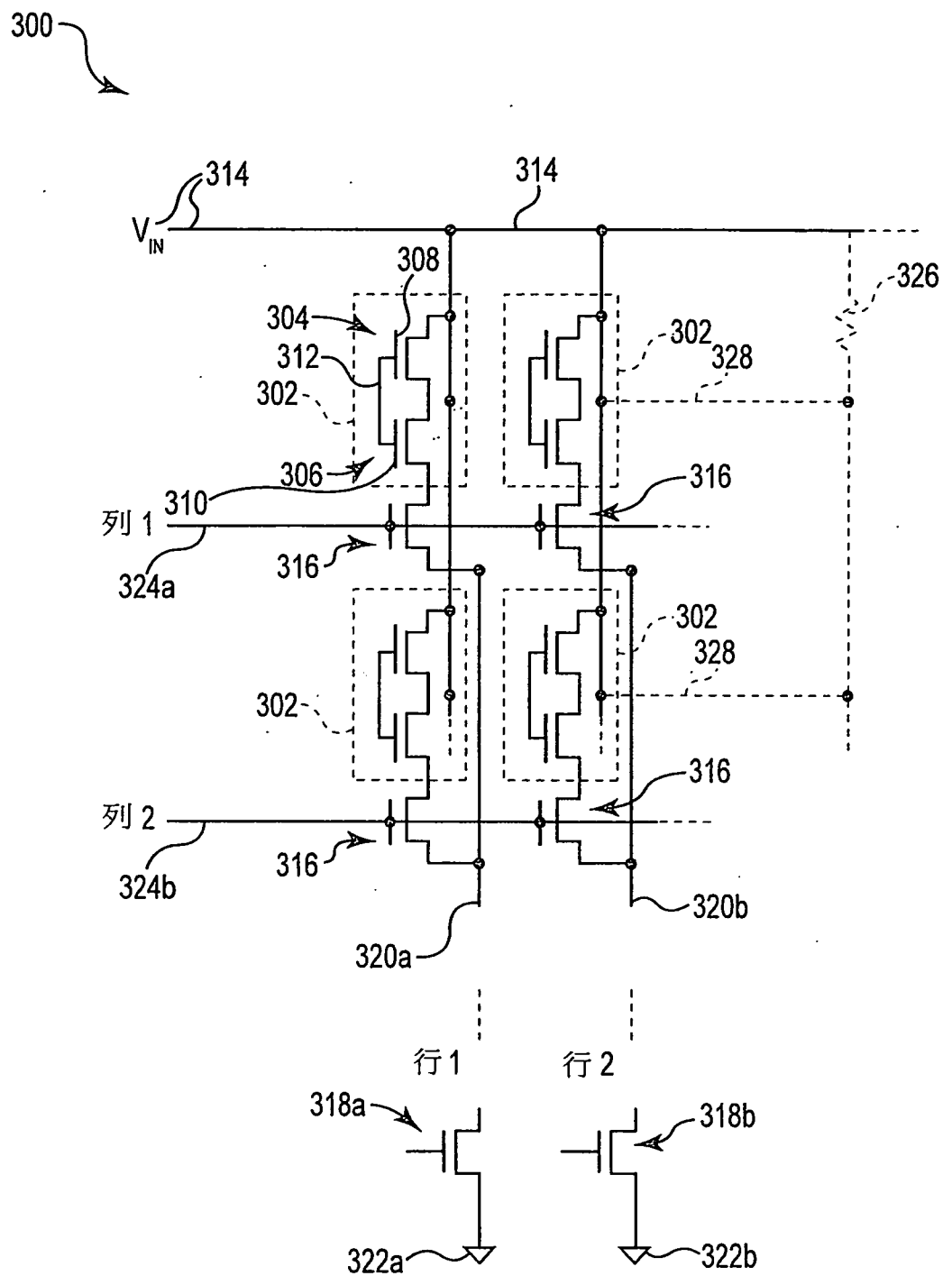


圖 7

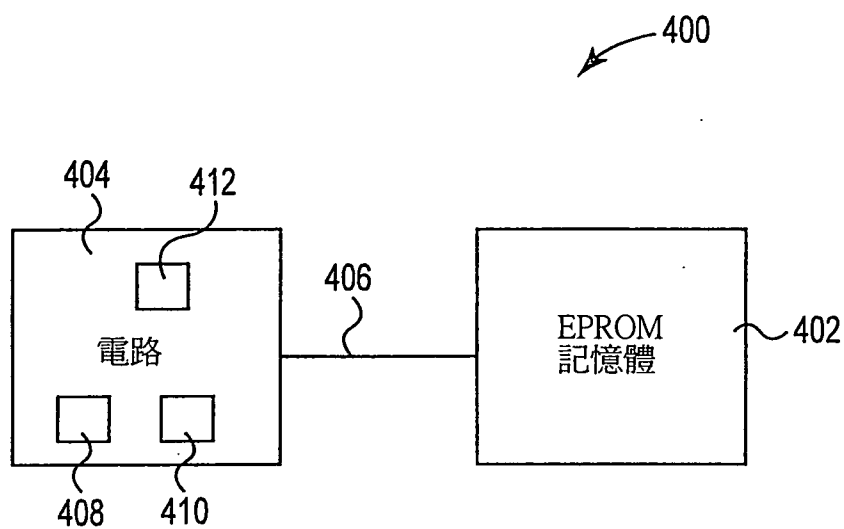


圖8

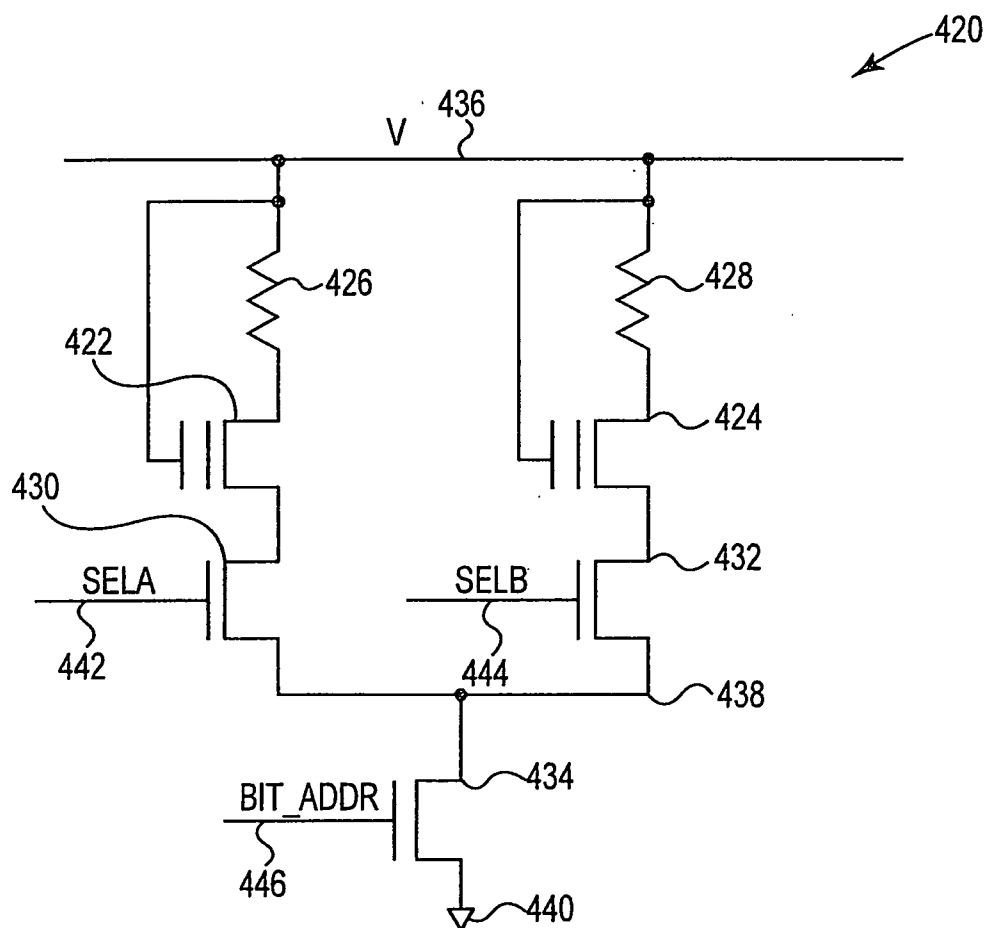


圖9

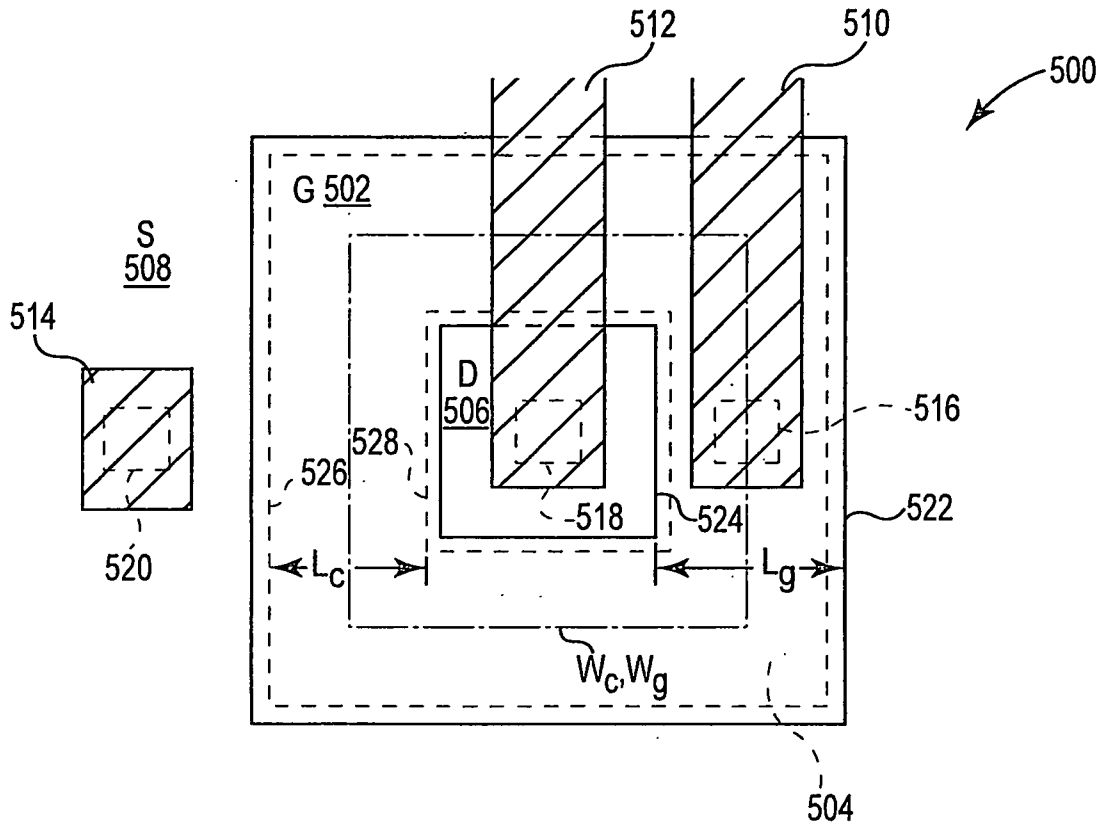


圖10

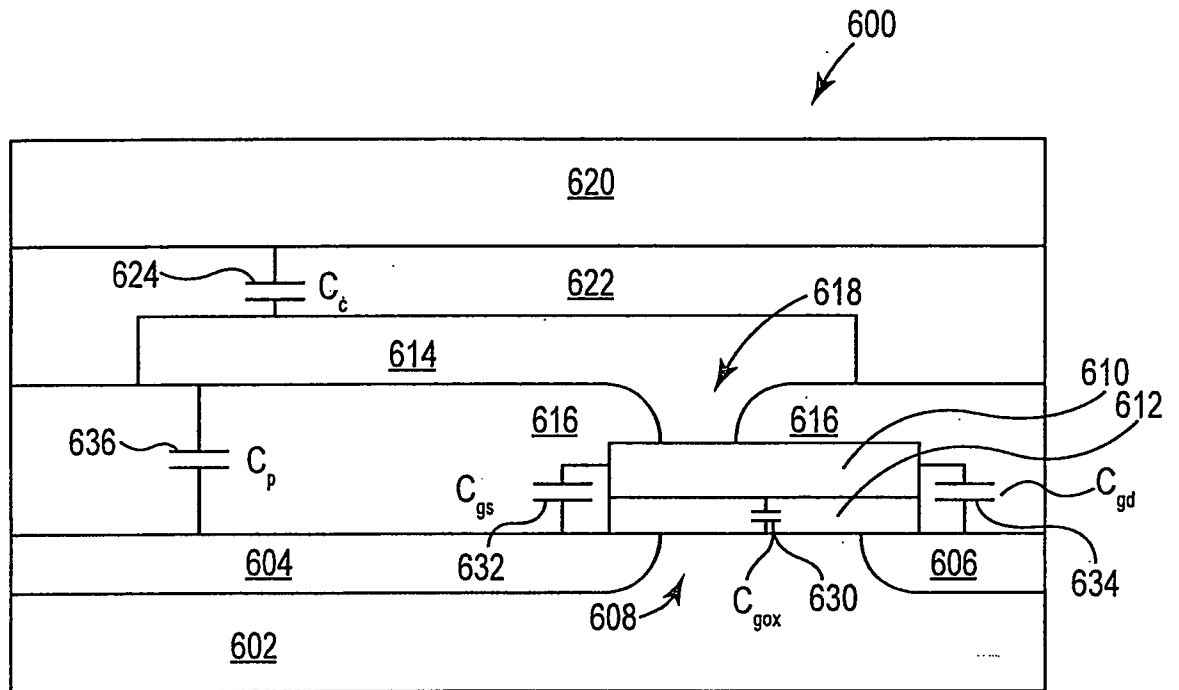


圖11A

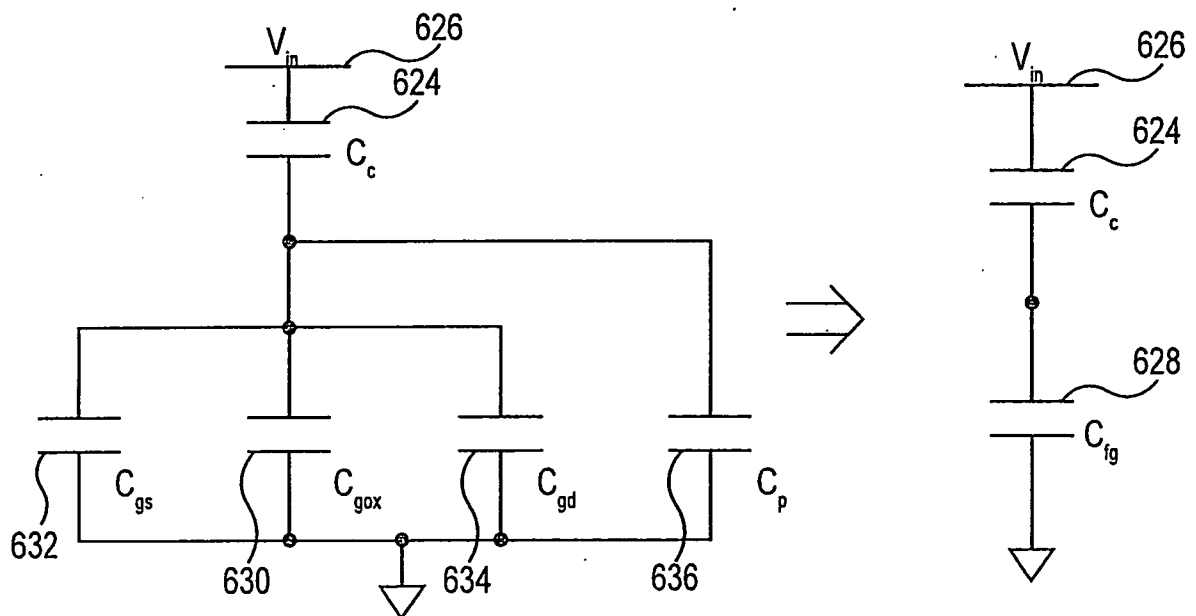


圖11B

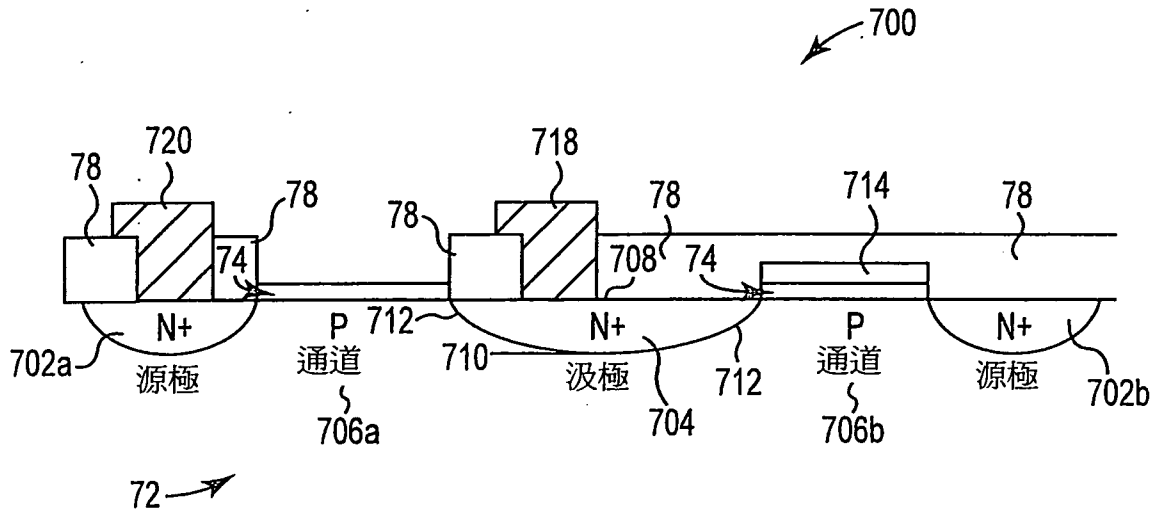


圖12A

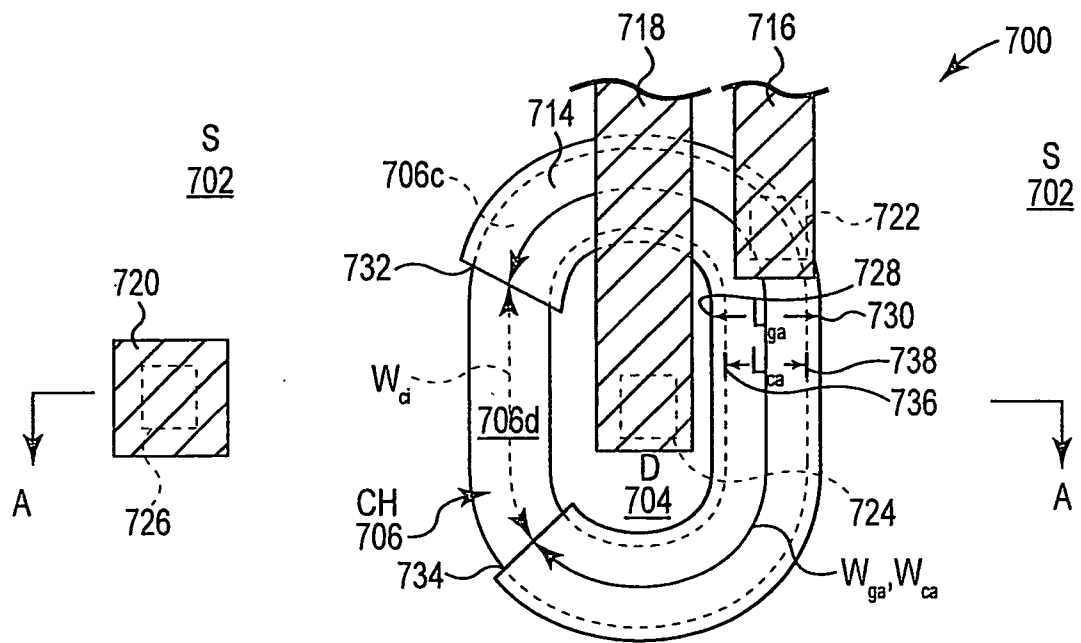


圖12B

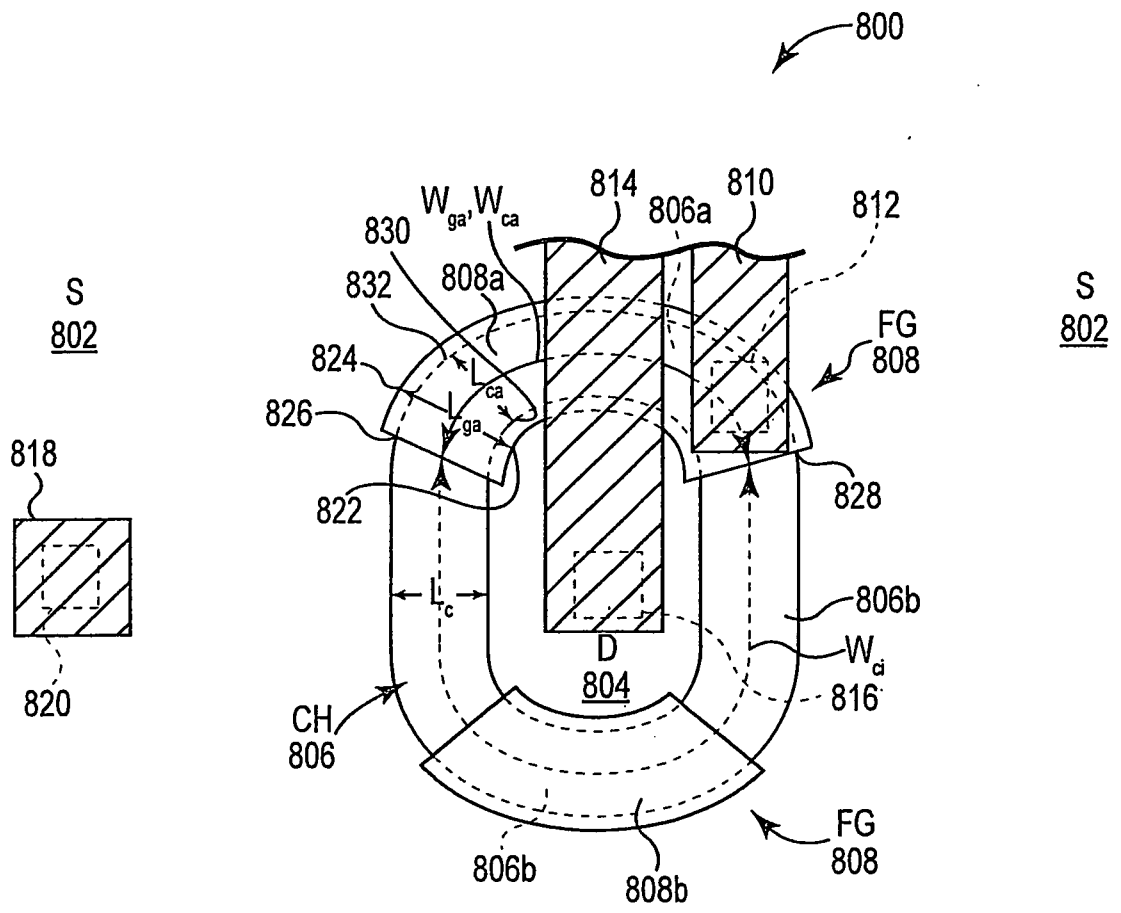


圖13

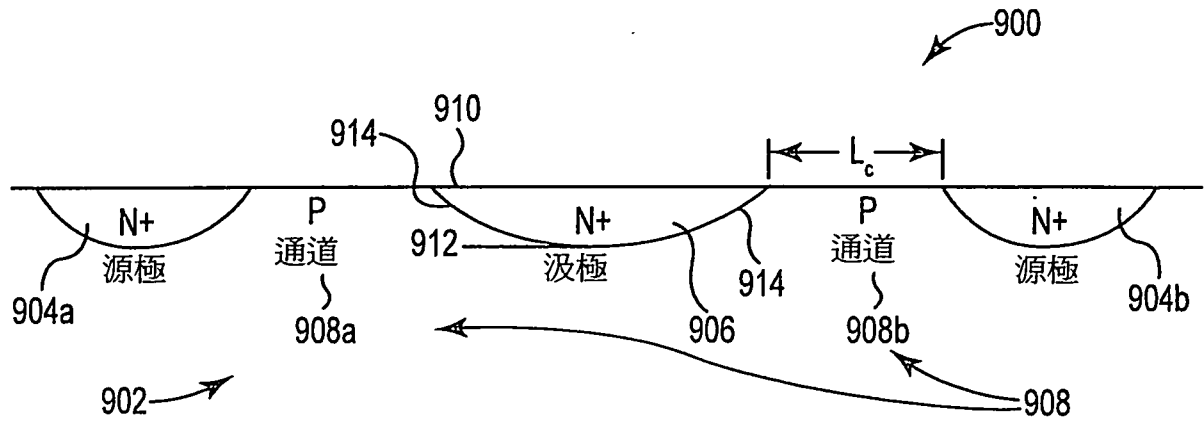


圖14A

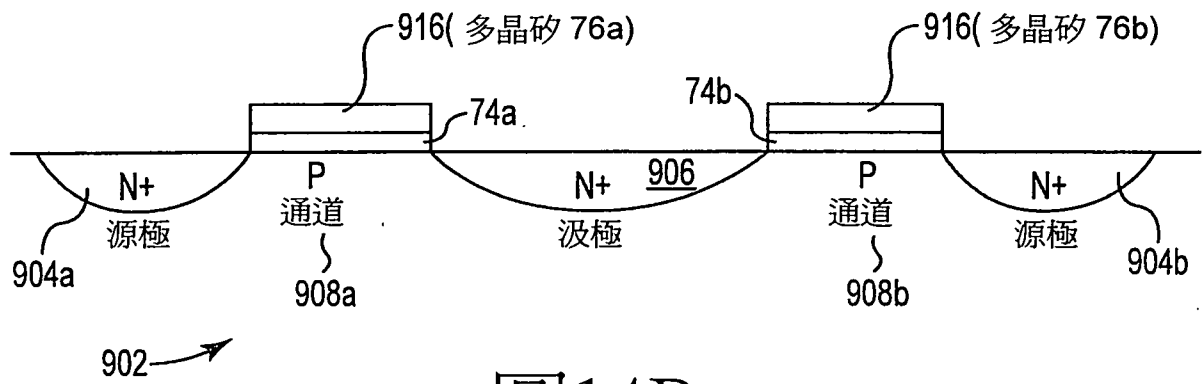


圖14B

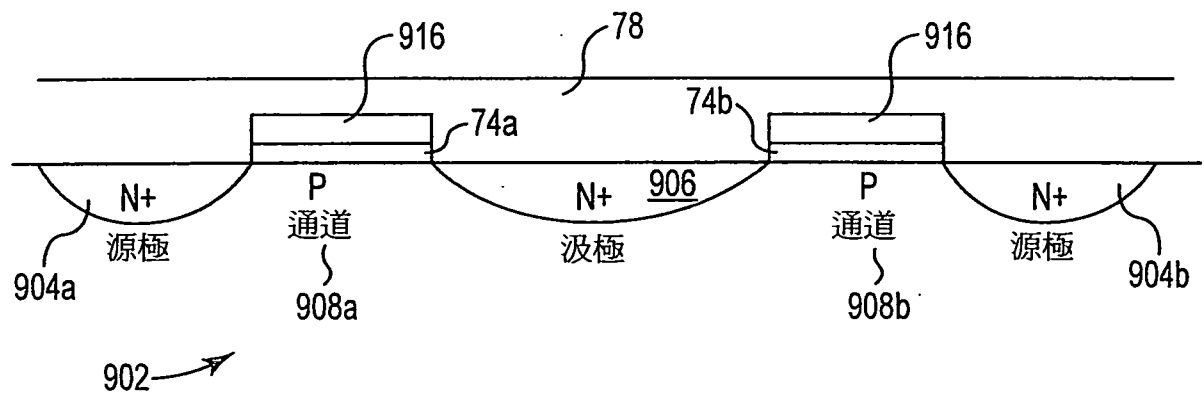


圖14C

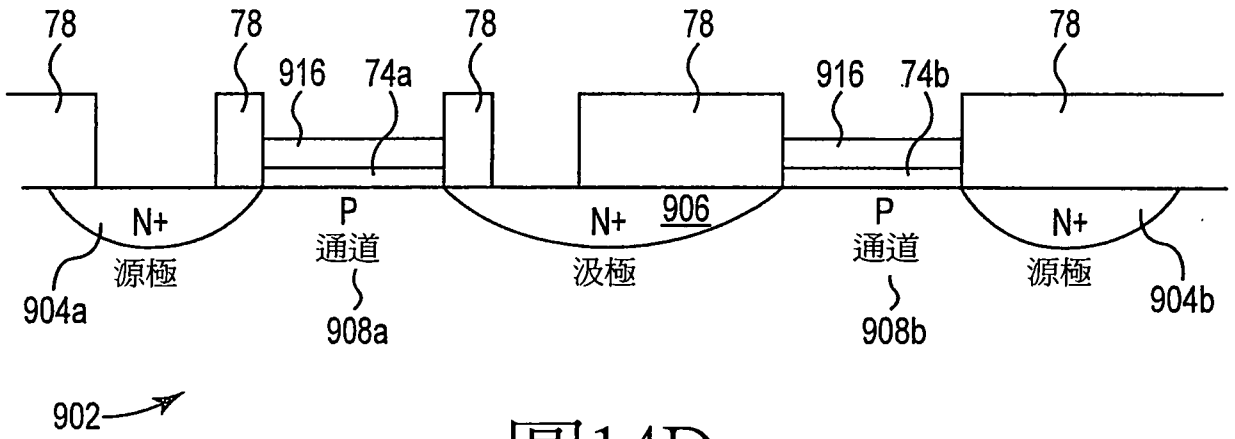


圖14D

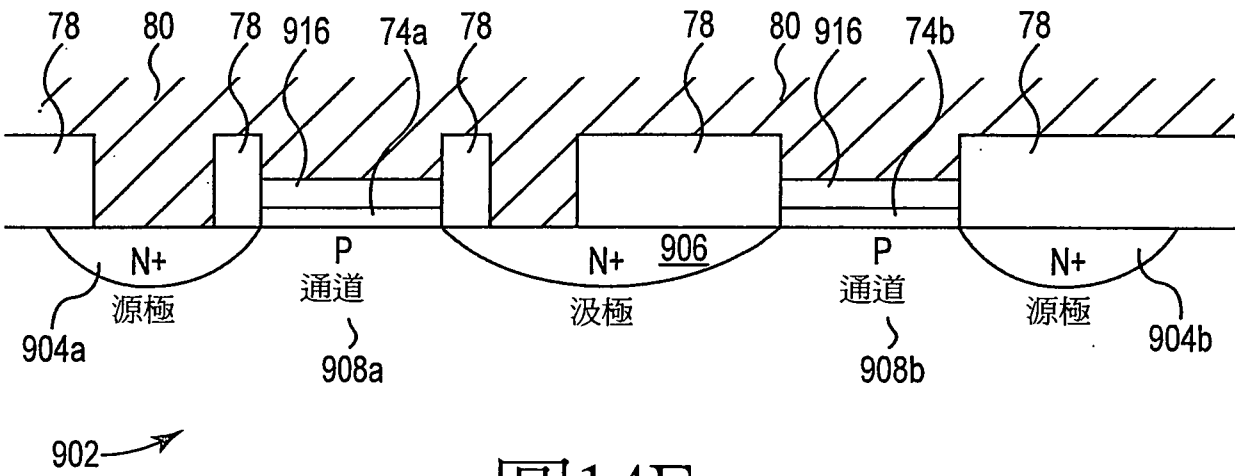


圖14E

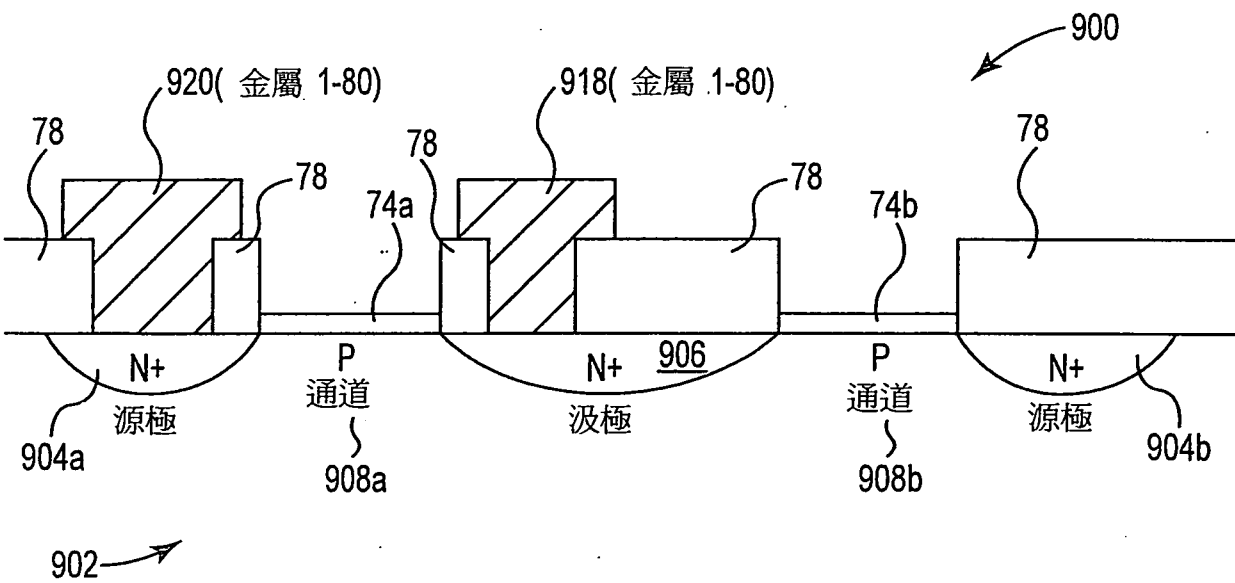
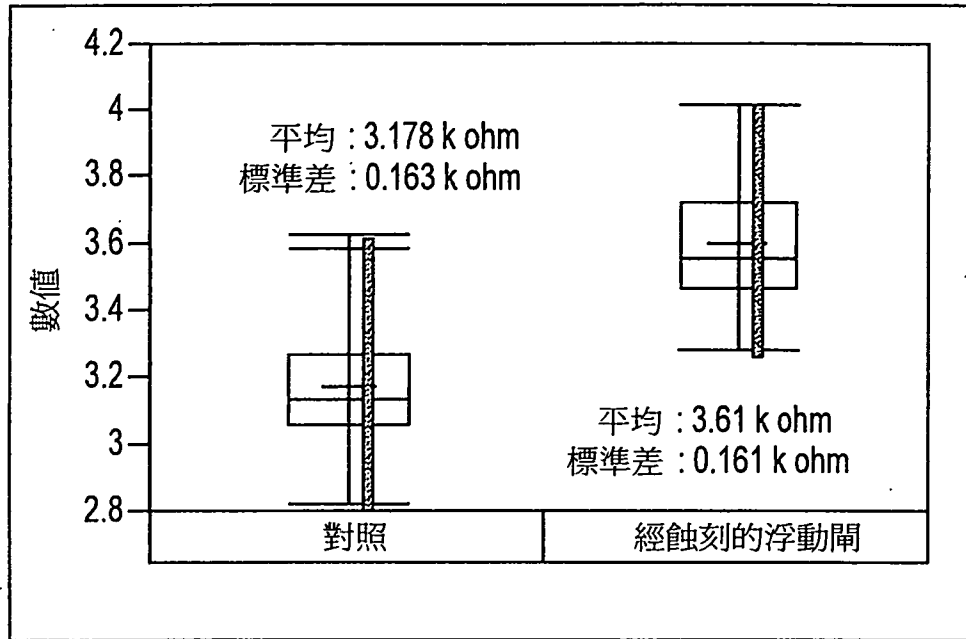
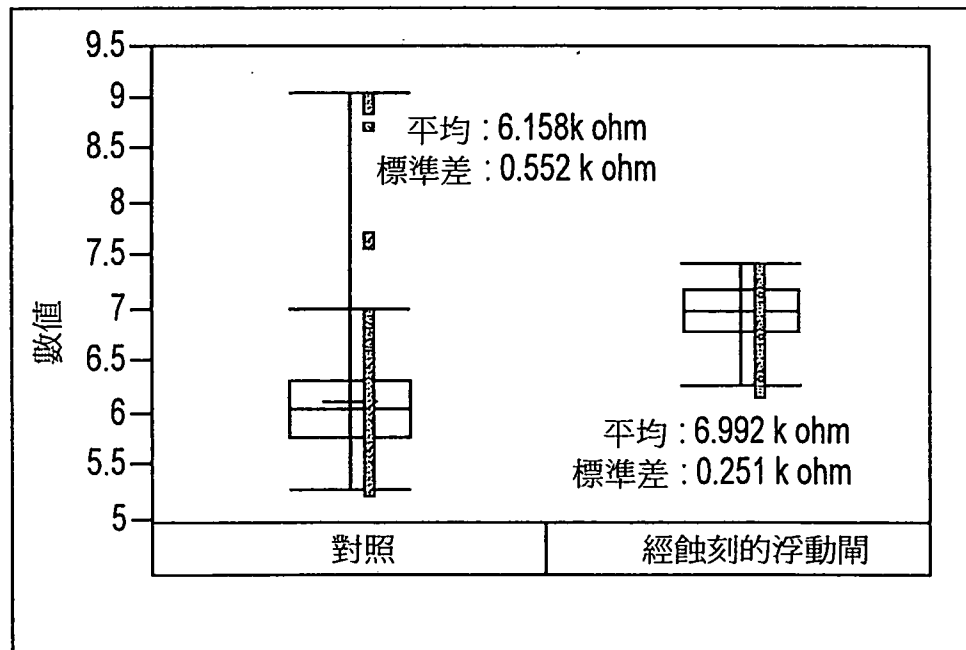


圖14F



邏輯0(未經規劃)

圖15A



邏輯1(經規劃)

圖15B

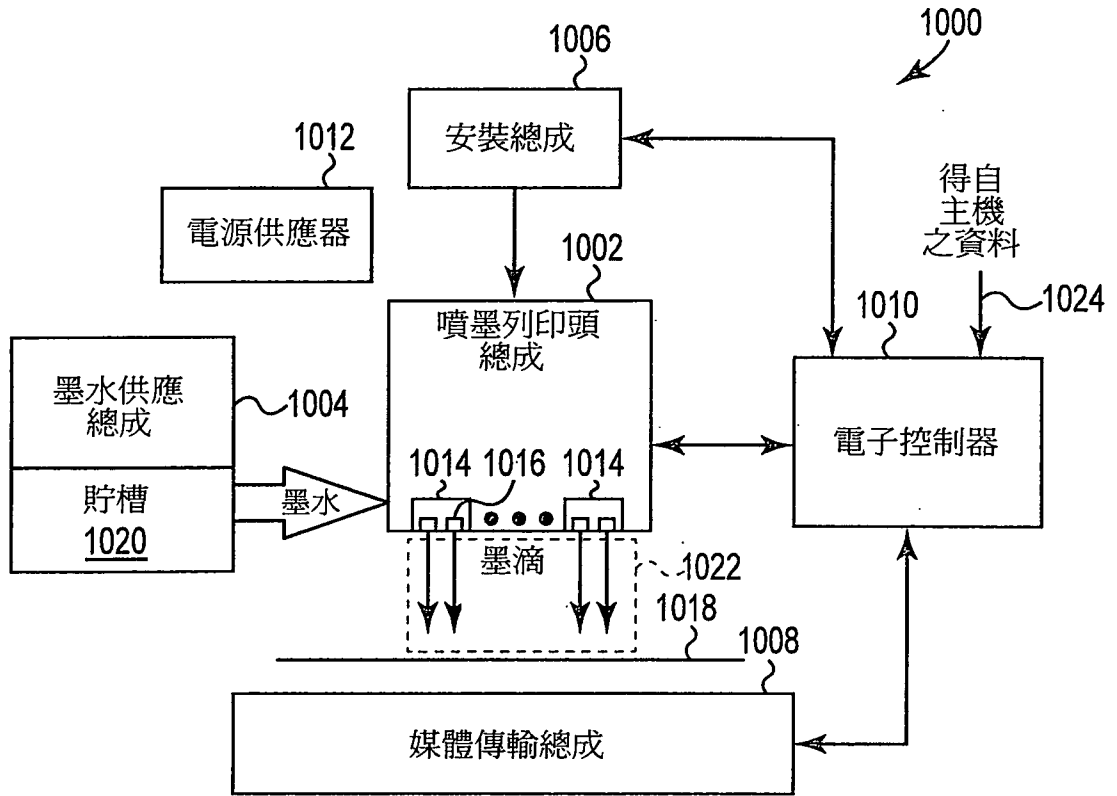


圖16