



(12) 发明专利

(10) 授权公告号 CN 107580755 B

(45) 授权公告日 2021.02.12

(21) 申请号 201680026876.0

C·韦内鲁斯

(22) 申请日 2016.04.15

(74) 专利代理机构 北京市金杜律师事务所

(65) 同一申请的已公布的文献号

11256

申请公布号 CN 107580755 A

代理人 王茂华 张曦

(43) 申请公布日 2018.01.12

(51) Int.Cl.

(30) 优先权数据

H03K 3/03 (2006.01)

14/711,158 2015.05.13 US

H03K 3/011 (2006.01)

(85) PCT国际申请进入国家阶段日

(56) 对比文件

2017.11.08

US 5544120 A, 1996.08.06

(86) PCT国际申请的申请数据

CN 101473237 A, 2009.07.01

PCT/US2016/027925 2016.04.15

EP 0254212 A2, 1988.01.27

(87) PCT国际申请的公布数据

CN 1713513 A, 2005.12.28

W02016/182690 EN 2016.11.17

US 2005206466 A1, 2005.09.22

(73) 专利权人 高通股份有限公司

CN 101174823 A, 2008.05.07

地址 美国加利福尼亚州

US 6803831 B2, 2004.10.12

审查员 魏桂芬

(72) 发明人 余欣欣 A·斯瓦米纳坦

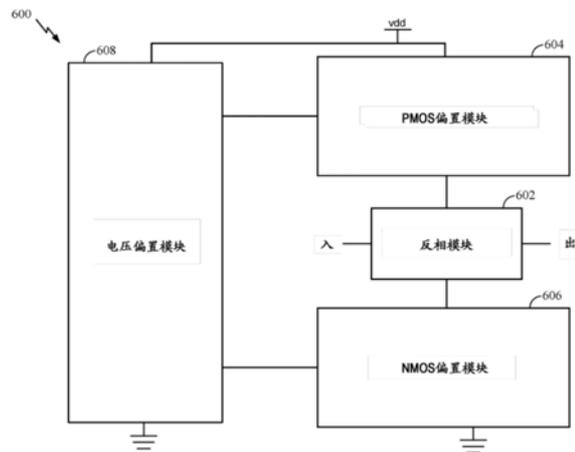
权利要求书6页 说明书10页 附图8页

(54) 发明名称

具有对供电电压的受控灵敏度的环形振荡器架构

(57) 摘要

提供了一种用于控制环形振荡器级的供电灵敏度的方法和装置。该装置被配置为：经由电压偏置模块(608)，基于供电电压(vdd)生成用于PMOS偏置模块(604)的第一偏置信号并且基于供电电压生成用于NMOS偏置模块(606)的第二偏置信号；经由PMOS偏置模块，基于第一偏置信号偏置反相模块(602)的三极管PMOS退化；经由NMOS偏置模块，基于第二偏置信号偏置反相模块的三极管NMOS退化；经由反相模块接收输入(入)；并且经由反相模块，基于已偏置的三极管NMOS退化和已偏置的三极管PMOS退化来输出所接收的输入的反相版本(出)。



1. 一种用于控制环形振荡器级的供电灵敏度的装置,包括:

反相模块,被配置为输出所接收的输入的反相版本;

PMOS偏置模块,耦合到所述反相模块并且包括具有基于第一偏置信号的可调谐电阻的至少一个次级PMOS晶体管;

NMOS偏置模块,耦合到所述反相模块并且包括具有基于第二偏置信号的可调谐电阻的至少一个次级NMOS晶体管;以及

电压偏置模块,被配置为基于供电电压生成用于所述PMOS偏置模块的所述第一偏置信号并且基于所述供电电压生成用于所述NMOS偏置模块的所述第二偏置信号,所述电压偏置模块包括第一PMOS晶体管、第一NMOS晶体管、第二PMOS晶体管和电流源,其中所述第一PMOS晶体管的漏极耦合到所述第一NMOS晶体管的漏极和所述PMOS偏置模块,其中所述第一NMOS晶体管的栅极耦合到所述NMOS偏置模块,并且其中所述第一PMOS晶体管的栅极耦合到所述第二PMOS晶体管的栅极,

其中所述第一PMOS晶体管的源极耦合到所述供电电压,

其中所述第二PMOS晶体管的源极耦合到所述供电电压,

其中所述第二PMOS晶体管的漏极耦合到所述电流源的第一节点和所述第一NMOS晶体管的栅极,并且耦合到所述第二PMOS晶体管的栅极,

其中所述PMOS偏置模块基于所述第一偏置信号偏置所述反相模块,

其中所述NMOS偏置模块基于所述第二偏置信号偏置所述反相模块,并且

其中所述反相模块基于所述NMOS偏置模块偏置和所述PMOS偏置模块偏置来输出所接收的所述输入的所述反相版本。

2. 根据权利要求1所述的装置,其中所述反相模块包括:

初级PMOS晶体管;以及

耦合到所述初级PMOS晶体管的初级NMOS晶体管,

其中所述初级PMOS晶体管的栅极和所述初级NMOS晶体管的栅极耦合到所述环形振荡器级的输入,以及

其中所述初级PMOS晶体管的漏极和所述初级NMOS晶体管的漏极耦合到所述环形振荡器级的输出。

3. 根据权利要求2所述的装置,其中所述PMOS偏置模块包括第一次级PMOS晶体管、第二次级PMOS晶体管、第三次级PMOS晶体管和第四次级PMOS晶体管,

其中所述初级PMOS晶体管的源极耦合到所述第一次级PMOS晶体管的漏极、所述第二次级PMOS晶体管的漏极、所述第三次级PMOS晶体管的漏极和所述第四次级PMOS晶体管的漏极,

其中所述第一次级PMOS晶体管的源极、所述第二次级PMOS晶体管的源极、所述第三次级PMOS晶体管的源极和所述第四次级PMOS晶体管的源极耦合到所述供电电压,

其中所述第一次级PMOS晶体管、所述第二次级PMOS晶体管、所述第三次级PMOS晶体管和所述第四次级PMOS晶体管中的每个次级PMOS晶体管的电阻,通过分别从所述电压偏置模块接收所述第一偏置信号而基于所述供电电压被控制,以及

其中所述第一次级PMOS晶体管、所述第二次级PMOS晶体管、所述第三次级PMOS晶体管和所述第四次级PMOS晶体管中的每个次级PMOS晶体管经由相应的栅极节点来接收所述第

一偏置信号。

4. 根据权利要求3所述的装置,其中所述NMOS偏置模块包括第一次级NMOS晶体管、第二次级NMOS晶体管、第三次级NMOS晶体管和第四次级NMOS晶体管,

其中所述初级NMOS晶体管的源极耦合到所述第一次级NMOS晶体管的漏极、所述第二次级NMOS晶体管的漏极、所述第三次级NMOS晶体管的漏极和所述第四次级NMOS晶体管的漏极,

其中所述第一次级NMOS晶体管的源极、所述第二次级NMOS晶体管的源极、所述第三次级NMOS晶体管的源极和所述第四次级NMOS晶体管的源极耦合到接地节点,

其中所述第一次级NMOS晶体管、所述第二次级NMOS晶体管、所述第三次级NMOS晶体管和所述第四次级NMOS晶体管中的每个次级NMOS晶体管的电阻,通过分别从电压偏置模块接收所述第二偏置信号而基于所述供电电压被控制,以及

其中所述第一次级NMOS晶体管、所述第二次级NMOS晶体管、所述第三次级NMOS晶体管和所述第四次级NMOS晶体管中的每个次级NMOS晶体管经由相应的栅极节点来接收所述第二偏置信号。

5. 根据权利要求4所述的装置,其中所述第一PMOS晶体管的漏极耦合到所述第一次级PMOS晶体管的栅极、所述第二次级PMOS晶体管的栅极、所述第三次级PMOS晶体管的栅极和所述第四次级PMOS晶体管的栅极。

6. 根据权利要求5所述的装置,

其中所述第一NMOS晶体管的漏极耦合到所述第一次级PMOS晶体管的栅极、所述第二次级PMOS晶体管的栅极、所述第三次级PMOS晶体管的栅极和所述第四次级PMOS晶体管的栅极,

其中所述第一NMOS晶体管的源极耦合到所述接地节点,以及

其中所述第一NMOS晶体管的栅极耦合到所述第一次级NMOS晶体管的栅极、所述第二次级NMOS晶体管的栅极、所述第三次级NMOS晶体管的栅极和所述第四次级NMOS晶体管的栅极。

7. 根据权利要求6所述的装置,

其中所述电流源的第二节点耦合到所述接地节点。

8. 根据权利要求1所述的装置,其中所述供电灵敏度至少部分地基于所述PMOS偏置模块的所述至少一个次级PMOS晶体管的经调谐的电阻和所述NMOS偏置模块的所述至少一个次级NMOS晶体管的经调谐的电阻。

9. 根据权利要求1所述的装置,其中所述PMOS偏置模块的所述至少一个次级PMOS晶体管和所述NMOS偏置模块的所述至少一个次级NMOS晶体管提供用于所述反相模块的退化。

10. 根据权利要求1所述的装置,其中所述PMOS偏置模块包括具有可调谐电阻的多个次级PMOS晶体管,其中所述多个次级PMOS晶体管中的每个次级PMOS晶体管与开关串联;以及

其中所述NMOS偏置模块包括具有可调谐电阻的多个次级NMOS晶体管,其中所述多个次级NMOS晶体管中的每个次级NMOS晶体管与开关串联。

11. 根据权利要求1所述的装置,其中所述电流源的第二节点耦合到所述第一NMOS晶体管的源极。

12. 根据权利要求11所述的装置,其中所述第一PMOS晶体管的源极进一步耦合到所述

PMOS偏置模块中的一个或多个开关,并且其中所述第一NMOS晶体管的源极进一步耦合到所述NMOS偏置模块中的一个或多个开关。

13. 一种用于控制环形振荡器级的供电灵敏度的方法,包括:

经由电压偏置模块,基于供电电压生成用于PMOS偏置模块的第一偏置信号并且基于所述供电电压生成用于NMOS偏置模块的第二偏置信号,所述第一偏置信号从所述电压偏置模块中的第一NMOS晶体管的漏极和第一PMOS晶体管的漏极所耦合到的节点被提供,所述第二偏置信号从耦合到所述第一NMOS晶体管的栅极的节点被提供,其中所述第一PMOS晶体管的漏极未连接到所述第一PMOS晶体管的栅极,

其中所述电压偏置模块进一步包括第二PMOS晶体管和电流源,所述第一PMOS晶体管的源极耦合到所述供电电压,并且所述第一PMOS晶体管的栅极耦合到所述第二PMOS晶体管的栅极,

其中所述第二PMOS晶体管的源极耦合到所述供电电压,以及

其中所述第二PMOS晶体管的漏极耦合到所述电流源的第一节点和所述第一NMOS晶体管的栅极,并且耦合到所述第二PMOS晶体管的栅极;

基于所述第一偏置信号调谐所述PMOS偏置模块的至少一个次级PMOS晶体管的电阻;

基于所述第二偏置信号调谐所述NMOS偏置模块的至少一个次级NMOS晶体管的电阻;

经由所述PMOS偏置模块,基于所述PMOS偏置模块的所述至少一个次级PMOS晶体管的经调谐的电阻来偏置反相模块的PMOS退化;

经由所述NMOS偏置模块,基于所述NMOS偏置模块的所述至少一个次级NMOS晶体管的经调谐的电阻来偏置所述反相模块的NMOS退化;

经由所述反相模块接收输入;以及

经由所述反相模块,基于所述NMOS退化和所述PMOS退化来输出所接收的所述输入的反相版本。

14. 根据权利要求13所述的方法,其中所述反相模块包括:

初级PMOS晶体管;以及

耦合到所述初级PMOS晶体管的初级NMOS晶体管,

其中所述初级PMOS晶体管的栅极和所述初级NMOS晶体管的栅极耦合到所述环形振荡器级的输入,以及

其中所述初级PMOS晶体管的漏极和所述初级NMOS晶体管的漏极耦合到所述环形振荡器级的输出。

15. 根据权利要求14所述的方法,其中所述PMOS偏置模块包括第一次级PMOS晶体管、第二次级PMOS晶体管、第三次级PMOS晶体管和第四次级PMOS晶体管,

其中所述初级PMOS晶体管的源极耦合到所述第一次级PMOS晶体管的漏极、所述第二次级PMOS晶体管的漏极、所述第三次级PMOS晶体管的漏极和所述第四次级PMOS晶体管的漏极,

其中所述第一次级PMOS晶体管的源极、所述第二次级PMOS晶体管的源极、所述第三次级PMOS晶体管的源极和所述第四次级PMOS晶体管的源极耦合到所述供电电压,

其中所述第一次级PMOS晶体管、所述第二次级PMOS晶体管、所述第三次级PMOS晶体管和所述第四次级PMOS晶体管中的每个次级PMOS晶体管的电阻,通过分别从所述电压偏置模

块接收所述第一偏置信号而基于所述供电电压被控制,以及

其中所述第一次级PMOS晶体管、所述第二次级PMOS晶体管、所述第三次级PMOS晶体管和所述第四次级PMOS晶体管中的每个次级PMOS晶体管经由相应的栅极节点来接收所述第一偏置信号。

16. 根据权利要求15所述的方法,其中所述NMOS偏置模块包括第一次级NMOS晶体管、第二次级NMOS晶体管、第三次级NMOS晶体管和第四次级NMOS晶体管,

其中所述初级NMOS晶体管的源极耦合到所述第一次级NMOS晶体管的漏极、所述第二次级NMOS晶体管的漏极、所述第三次级NMOS晶体管的漏极和所述第四次级NMOS晶体管的漏极,

其中所述第一次级NMOS晶体管的源极、所述第二次级NMOS晶体管的源极、所述第三次级NMOS晶体管的源极和所述第四次级NMOS晶体管的源极耦合到接地节点,

其中所述第一次级NMOS晶体管、所述第二次级NMOS晶体管、所述第三次级NMOS晶体管和所述第四次级NMOS晶体管中的每个次级NMOS晶体管的电阻,通过分别从电压偏置模块接收所述第二偏置信号而基于所述供电电压被控制,以及

其中所述第一次级NMOS晶体管、所述第二次级NMOS晶体管、所述第三次级NMOS晶体管和所述第四次级NMOS晶体管中的每个次级NMOS晶体管经由相应的栅极节点来接收所述第二偏置信号。

17. 根据权利要求16所述的方法,其中所述第一PMOS晶体管的漏极耦合到所述第一次级PMOS晶体管的栅极、所述第二次级PMOS晶体管的栅极、所述第三次级PMOS晶体管的栅极和所述第四次级PMOS晶体管的栅极。

18. 根据权利要求17所述的方法,

其中所述第一NMOS晶体管的漏极耦合到所述第一次级PMOS晶体管的栅极、所述第二次级PMOS晶体管的栅极、所述第三次级PMOS晶体管的栅极和所述第四次级PMOS晶体管的栅极,

其中所述第一NMOS晶体管的源极耦合到所述接地节点,以及

其中所述第一NMOS晶体管的栅极耦合到所述第一次级NMOS晶体管的栅极、所述第二次级NMOS晶体管的栅极、所述第三次级NMOS晶体管的栅极和所述第四次级NMOS晶体管的栅极。

19. 根据权利要求18所述的方法,

其中所述电流源的第二节点耦合到所述接地节点。

20. 一种用于控制环形振荡器级的供电灵敏度的装置,包括:

反相部件,用于接收输入并且输出所接收的所述输入的反相版本;

PMOS偏置部件,用于偏置所述反相部件的PMOS退化,所述PMOS偏置部件包括用于基于第一偏置信号来调谐所述PMOS偏置部件的电阻的次级PMOS晶体管;

NMOS偏置部件,用于偏置所述反相部件的NMOS退化,所述NMOS偏置部件包括用于基于第二偏置信号来调谐所述NMOS偏置部件的电阻的次级NMOS晶体管;以及

电压偏置部件,用于基于供电电压生成用于所述PMOS偏置部件的所述第一偏置信号并且基于所述供电电压生成用于所述NMOS偏置部件的所述第二偏置信号,所述电压偏置部件包括第一PMOS晶体管、第一NMOS晶体管、第二PMOS晶体管和电流源,其中所述第一PMOS晶体

管的漏极耦合到所述第一NMOS晶体管的漏极和所述PMOS偏置部件,其中所述第一NMOS晶体管的栅极耦合到所述NMOS偏置部件,并且其中所述第一NMOS晶体管的源极耦合到所述电流源,以及

其中所述第一PMOS晶体管的源极耦合到所述供电电压,并且所述第一PMOS晶体管的栅极耦合到所述第二PMOS晶体管的栅极,

其中所述第二PMOS晶体管的源极耦合到所述供电电压,

其中所述第二PMOS晶体管的漏极耦合到所述电流源的第一节点和所述第一NMOS晶体管的栅极,并且耦合到所述第二PMOS晶体管的栅极,以及

其中所接收的所述输入的所述反相版本经由所述反相部件基于已偏置的所述NMOS退化和已偏置的所述PMOS退化而被输出。

21. 根据权利要求20所述的装置,其中所述反相部件包括:

初级PMOS晶体管;以及

耦合到所述初级PMOS晶体管的初级NMOS晶体管,

其中所述初级PMOS晶体管的栅极和所述初级NMOS晶体管的栅极耦合到所述环形振荡器级的输入,以及

其中所述初级PMOS晶体管的漏极和所述初级NMOS晶体管的漏极耦合到所述环形振荡器级的输出。

22. 根据权利要求21所述的装置,其中所述PMOS偏置部件包括第一次级PMOS晶体管、第二次级PMOS晶体管、第三次级PMOS晶体管和第四次级PMOS晶体管,

其中所述初级PMOS晶体管的源极耦合到所述第一次级PMOS晶体管的漏极、所述第二次级PMOS晶体管的漏极、所述第三次级PMOS晶体管的漏极和所述第四次级PMOS晶体管的漏极,

其中所述第一次级PMOS晶体管的源极、所述第二次级PMOS晶体管的源极、所述第三次级PMOS晶体管的源极和所述第四次级PMOS晶体管的源极耦合到所述供电电压,

其中所述第一次级PMOS晶体管、所述第二次级PMOS晶体管、所述第三次级PMOS晶体管和所述第四次级PMOS晶体管中的每个次级PMOS晶体管的电阻,通过分别从所述电压偏置部件接收所述第一偏置信号而基于所述供电电压被控制,以及

其中所述第一次级PMOS晶体管、所述第二次级PMOS晶体管、所述第三次级PMOS晶体管和所述第四次级PMOS晶体管中的每个次级PMOS晶体管经由相应的栅极节点来接收所述第一偏置信号。

23. 根据权利要求22所述的装置,其中所述NMOS偏置部件包括第一次级NMOS晶体管、第二次级NMOS晶体管、第三次级NMOS晶体管和第四次级NMOS晶体管,

其中所述初级NMOS晶体管的源极耦合到所述第一次级NMOS晶体管的漏极、所述第二次级NMOS晶体管的漏极、所述第三次级NMOS晶体管的漏极和所述第四次级NMOS晶体管的漏极,

其中所述第一次级NMOS晶体管的源极、所述第二次级NMOS晶体管的源极、所述第三次级NMOS晶体管的源极和所述第四次级NMOS晶体管的源极耦合到接地节点,

其中所述第一次级NMOS晶体管、所述第二次级NMOS晶体管、所述第三次级NMOS晶体管和所述第四次级NMOS晶体管中的每个次级NMOS晶体管的电阻,通过分别从电压偏置部件接

收所述第二偏置信号而基于所述供电电压被控制,以及

其中所述第一次级NMOS晶体管、所述第二次级NMOS晶体管、所述第三次级NMOS晶体管和所述第四次级NMOS晶体管中的每个次级NMOS晶体管经由相应的栅极节点来接收所述第二偏置信号。

24. 根据权利要求23所述的装置,

其中所述第一PMOS晶体管的漏极耦合到所述第一次级PMOS晶体管的栅极、所述第二次级PMOS晶体管的栅极、所述第三次级PMOS晶体管的栅极和所述第四次级PMOS晶体管的栅极。

25. 根据权利要求24所述的装置,

其中所述第一NMOS晶体管的漏极耦合到所述第一次级PMOS晶体管的栅极、所述第二次级PMOS晶体管的栅极、所述第三次级PMOS晶体管的栅极和所述第四次级PMOS晶体管的栅极,

其中所述第一NMOS晶体管的源极耦合到所述接地节点,以及

其中所述第一NMOS晶体管的栅极耦合到所述第一次级NMOS晶体管的栅极、所述第二次级NMOS晶体管的栅极、所述第三次级NMOS晶体管的栅极和所述第四次级NMOS晶体管的栅极。

26. 根据权利要求25所述的装置,

其中所述电流源的第二节点耦合到所述接地节点。

具有对供电电压的受控灵敏度的环形振荡器架构

[0001] 相关申请的交叉引用

[0002] 本申请要求于2015年5月13日提交的题为“RING OSCILLATOR ARCHITECTURE WITH CONTROLLED SENSITIVITY TO SUPPLY VOLTAGE”的美国专利申请No.14/711,158的权益,其全部内容通过引用明确并入本文。

技术领域

[0003] 本公开一般地涉及通信系统,并且更具体地,一些示例涉及用于控制环形振荡器的电压供电灵敏度的装置和方法。

背景技术

[0004] 无线设备(例如,蜂窝电话或者智能手机)可以发射和接收数据以用于与无线通信系统的双向通信。无线设备可以包括用于数据发射的发射器和用于数据接收的接收器。对于数据发射,发射器可以利用数据来调制发射本地振荡器(L0)信号以获得经调制的射频(RF)信号,放大经调制的RF信号以获得具有所期望的输出功率水平的输出RF信号,并且经由天线向基站发射输出RF信号。对于数据接收,接收器可以经由天线获得所接收的RF信号,利用接收L0信号对所接收的RF信号进行下变频,并且处理经下变频的信号来恢复由基站发送的数据。

[0005] 无线设备可以包括一个或多个振荡器,以在一个或多个所期望的频率处生成一个或多个振荡器信号。(多个)振荡器信号可以被用来生成用于发射器的发射L0信号和用于接收器的接收L0信号。可能要求(多个)振荡器来生成(多个)振荡器信号,以满足无线设备与之通信的无线通信系统的要求。

[0006] 锁相环(PLL)中使用的环形振荡器可能具有差的电源抑制。因此,可以通过调节电源来改进PLL中的环形振荡器的使用。

[0007] 此外,环形振荡器可以使用在基于压控振荡器(VCO)的量化器中用于供电感测。环形振荡器可以将供电电压转化为频率并且然后被数字化。因此,可能合意的是实施对供电电压非常高度灵敏的VCO,以便实现高数字分辨率。

发明内容

[0008] 在本公开的一个方面中,提供了一种用于控制环形振荡器级的供电灵敏度的方法和装置。该装置被配置为:经由电压偏置模块,基于供电电压生成用于PMOS偏置模块的第一偏置信号并且基于供电电压生成用于NMOS偏置模块的第二偏置信号;经由PMOS偏置模块,基于第一偏置信号偏置反相模块的三极管PMOS退化;经由NMOS偏置模块,基于第二偏置信号偏置反相模块的三极管NMOS退化;经由反相模块接收输入;并且经由反相模块,基于已偏置的三极管NMOS退化和已偏置的三极管PMOS退化来输出所接收的输入的反相版本。

[0009] 在另一方面中,用于控制环形振荡器级的供电灵敏度的方法包括:经由电压偏置模块,基于供电电压生成用于PMOS偏置模块的第一偏置信号并且基于供电电压生成用于

NMOS偏置模块的第二偏置信号;经由PMOS偏置模块,基于第一偏置信号偏置反相模块的三极管PMOS退化;经由NMOS偏置模块,基于第二偏置信号偏置反相模块的三极管NMOS退化;经由反相模块接收输入;并且经由反相模块,基于已偏置的三极管NMOS退化和已偏置的三极管PMOS退化来输出所接收的输入的反相版本。

[0010] 在另外的方面中,用于控制环形振荡器级的供电灵敏度的装置包括:反相部件,用于接收输入并且输出所接收的输入的反相版本;PMOS偏置部件,用于偏置反相部件的三极管PMOS退化;NMOS偏置部件,用于偏置反相部件的三极管NMOS退化;以及电压偏置部件,用于基于供电电压生成用于PMOS偏置部件的第一偏置信号并且基于供电电压生成用于NMOS偏置部件的第二偏置信号。PMOS偏置部件被配置为基于第一偏置信号偏置反相部件的三极管PMOS退化。NMOS偏置部件被配置为基于第二偏置信号偏置反相部件的三极管NMOS退化。所接收的输入的反相版本经由反相部件基于已偏置的三极管NMOS退化和已偏置的三极管PMOS退化而被输出。

附图说明

[0011] 图1图示了与不同无线通信系统通信的无线设备。

[0012] 图2是无线设备的框图。

[0013] 图3图示了环形振荡器的结构。

[0014] 图4是环形振荡器的单个级的晶体管级别示意图。

[0015] 图6是对供电电压高度灵敏的环形振荡器的单个级的模块图。

[0016] 图7是图6的单个级的晶体管级别示意图。

[0017] 图8是用于控制环形振荡器级的供电灵敏度的方法的流程图。

具体实施方式

[0018] 下文关于附图阐述的详细描述意图作为各种配置的描述,并且不意图表示本文描述的概念可以在其中被实践的仅有配置。详细描述包括特定细节,用于提供对各种概念的透彻理解的目的。然而,对本领域的技术人员将明显的是,这些概念可以被实践而不具有这些特定细节。在一些实例中,公知的结构和组件以框图形式示出,以便避免使这些概念模糊不清。术语“示例性”在本文中用来意指“用作示例、实例或说明”。本文中被描述为“示例性”的任何设计不一定被解释为相对于其他设计是优选的或有利的。

[0019] 现在将参考各种装置和方法来提出电信系统的若干方面。这些装置和方法将在以下详细描述中被描述,并且在附图中通过各种框、模块、组件、电路、步骤、过程、算法等(共同地被称为“元素”)被图示。这些元素可以使用电子硬件、计算机软件、或它们的任何组合而被实施。这些元素是被实施为硬件还是软件取决于特定应用以及施加在整个系统上的设计约束。

[0020] 通过示例的方式,元素、或元素的任何部分、或元素的任何组合可以利用包括一个或多个处理器的“处理系统”而被实施。处理器的示例包括被配置为执行贯穿本公开所描述的各种功能的微处理器、微控制器、数字信号处理器(DSP)、现场可编程门阵列(FPGA)、可编程逻辑器件(PLD)、状态机、门控逻辑、分立硬件电路、以及其他适合的硬件。处理系统中的一个或多个处理器可以执行软件。软件应该被宽泛地解释成意指指令、指令集、代码、代码

段、程序代码、程序、子程序、软件模块、应用、软件应用、软件包、例程、子例程、对象、可执行文件、执行的线程、过程、功能等，而不论被称为软件、固件、中间件、微代码、硬件描述语言、或者其他。

[0021] 因此，在一个或多个示例性实施例中，所描述的功能可以被实施在硬件、软件、固件、或它们的任何组合中。如果被实施在软件中，功能可以被存储在计算机可读介质上，或者作为一个或多个指令或代码被编码在计算机可读介质上。计算机可读介质包括计算机存储介质。存储介质可以由计算机可以访问的任何可用介质。通过示例而非限制的方式，这样的计算机可读介质可以包括随机访问存储器 (RAM)、只读存储器 (ROM)、电可擦除可编程 ROM (EEPROM)、紧凑盘 (CD) ROM (CD-ROM)、或其他光盘存储装置、磁盘存储装置或其他磁存储设备，或如下的任何其他介质，其可以用来以指令或数据结构的形式携带或存储所期望的程序代码并且其可以由计算机访问。如本文中使用的盘和碟，包括 CD、激光碟、光碟、数字多功能碟 (DVD)、以及软盘，其中盘通常磁性地再现数据，而碟利用激光光学地再现数据。上述的组合也应当被包括在计算机可读介质的范围内。

[0022] 图1是图示了与不同无线通信系统120、122通信的无线设备110示图100。无线系统120、122可以均是码分多址 (CDMA) 系统、全球移动通信系统 (GSM) 系统、长期演进 (LTE) 系统、无线局域网 (WLAN) 系统、或某种其他无线系统。CDMA系统可以实施宽带CDMA (WCDMA)、CDMA 1X或cdma2000、时分同步码分多址 (TD-SCDMA)、或某种其他版本的CDMA。TD-SCDMA也被称为通用陆地无线电接入 (UTRA) 时分双工 (TDD) 1.28Mcps选项或低码片速率 (LCR)。LTE支持频分双工 (FDD) 和时分双工 (TDD) 两者。例如，无线系统120可以是GSM系统，并且无线系统122可以是WCDMA系统。作为另一示例，无线系统120可以是LTE系统，并且无线系统122可以是CDMA系统。

[0023] 为了简单，示图100示出无线系统120包括一个基站130和一个系统控制器140，并且无线系统122包括一个基站132和一个系统控制器142。一般而言，每个无线系统可以包括任何数目的基站和任何集合的网络实体。每个基站可以支持用于在基站的覆盖内的无线设备的通信。基站也可以被称为节点B、演进型节点B (eNB)、接入点、基本收发器站、无线电基站、无线电收发器、收发器功能、基本服务集 (BSS)、扩展服务集 (ESS)、或某种其他适合的术语。无线设备110也可以被称为用户设备 (UE)、移动设备、远程设备，无线设备、无线通信设备、站、移动站、订户站、移动订户站、终端、移动终端、远程终端、无线终端、接入终端、客户端、移动客户端、移动单元、订户单元、无线单元、远程单元、手机、用户代理、或某种其他适合的术语。无线设备110可以是蜂窝电话、智能电话、平板、无线调制解调器、个人数字助理 (PDA)、手持设备、膝上型计算机、智能本、上网本、无绳电话、无线本地环路 (WLL) 站、或某种其他类似的功能性设备。

[0024] 无线设备110可以能够与无线系统120和/或122通信。无线设备110也可以能够接收来自广播站 (诸如广播站134) 的信号。无线设备110还可以能够接收来自一个或多个全球导航卫星系统 (GNSS) 中的卫星 (诸如卫星150) 的信号。无线设备110可以支持一种或多种用于无线通信的无线电技术，诸如GSM、WCDMA、cdma2000、LET、802.11等。术语“无线电技术”、“无线电接入技术”、“空中接口”、以及“标准”可以可互换地使用。

[0025] 无线设备110可以经由下行链路和上行链路在无线系统中与基站通信。下行链路 (或前向链路) 是指从基站到无线设备的通信链路，并且上行链路 (或反向链路) 是指从无线

设备到基站的通信链路。无线系统可以利用TDD和/或FDD。对于TDD,下行链路和上行链路共享相同的频率,并且下行链路传输和上行链路传输可以在不同时间段内在相同的频率上被发送。对于FDD,下行链路和上行链路被分配分开的频率。下行链路传输可以在一个频率上被发送,并且上行链路传输可以在另一频率上被发送。支持TDD的一些示例性无线电技术包括GSM、LTE、以及TD-SCDMA。支持FDD的一些示例性无线电技术包括WCDMA、cdma2000、以及LTE。无线设备110和/或基站130、132可以包括示例性的环形振荡器160。下文提供示例性的环形振荡器160。

[0026] 图2是示例性的无线设备(诸如无线设备110)的框图200。该无线设备包括数据处理/控制器210、收发器218、以及天线290。数据处理/控制器210可以被称为处理系统。处理系统可以包括数据处理/控制器210、或数据处理/控制器210和存储器216两者。收发器218包括支持双向通信的发射器220和接收器250。发射器220和/或接收器250可以利用超外差架构或直接变频架构来实施。在超外差架构中,信号在多个级中在RF与基带之间被频率转换,例如,对于接收器,在一个级中从RF到中频(IF),并且然后在另一级中从IF到基带。在直接变频架构(其也称为零IF架构)中,信号在一个级中在RF与基带之间被频率转换。超外差架构和直接变频架构可以使用不同的电路块和/或具有不同的要求。在图2中图示的示例性设计中,发射器220和接收器250利用直接变频架构来实施。

[0027] 在发射路径中,数据处理/控制器210可以处理(例如,编码和调制)要发射的数据并且向数模转换器(DAC)230提供该数据。DAC230将数字输入信号转换为模拟输出信号。模拟输出信号被提供到发射(TX)基带(低通)滤波器232,其可以对模拟输出信号滤波以移除由DAC 230的在前数模转换引起的镜频。放大器(amp)234可以放大来自TX基带滤波器232的信号并且提供放大的基带信号。上变频器(混频器)236可以接收放大的基带信号和来自TX LO信号发生器276的TX LO信号。上变频器236可以利用TX LO信号对放大的基带信号进行上变频,并且提供经上变频的信号。滤波器238可以对经上变频的信号进行滤波以移除由频率上变频引起的镜频。功率放大器(PA)240可以放大来自滤波器238的经滤波的RF信号以获得所期望的输出功率水平,并且提供输出RF信号。输出RF信号可以通过双工器/开关共用器264被路由。

[0028] 对于FDD,发射器220和接收器250可以耦合到双工器264,双工器264可以包括用于发射器220的TX滤波器和用于接收器250的接收(RX)滤波器。TX滤波器可以对输出RF信号滤波,以使发射频带中的信号分量通过并且使接收频带中的信号分量衰减。对于TDD,发射器220和接收器250可以耦合到开关共用器264。开关共用器264可以在上行链路时间间隔期间从发射器220向天线290传递输出RF信号。对于FDD和TDD两者,双工器/开关共用器264可以向天线290提供输出RF信号以用于经由无线信道的传输。

[0029] 在接收路径中,天线290可以接收由基站和/或其他发射器站发射的信号,并且可以提供接收的RF信号。接收的RF信号可以通过双工器/开关共用器264被路由。对于FDD,双工器264内的RX滤波器可以对接收的RF信号滤波,以使接收频带中的信号分量通过并且使发射频带中的信号分量衰减。对于TDD,开关共用器264可以在下行链路时间间隔期间从天线290向接收器250传递接收的RF信号。对于FDD和TDD两者,双工器/开关共用器264可以向接收器250提供接收的RF信号。

[0030] 在接收器250内,接收的RF信号可以由低噪声放大器(LNA)252放大并且由滤波器

254滤波以获得输入RF信号。下变频器(混合器)256可以接收输入RF信号和来自RX LO信号发生器286的RX LO信号。下变频器256可以利用RX LO信号对输入RF信号进行下变频并且提供经下变频的信号。经下变频的信号可以由放大器258放大并且进一步由RX基带(低通)滤波器260滤波,以获得模拟输入信号。在一个方面中,示例性的基带滤波器160可以由放大器258和RX基带滤波器260中的一个或多个来实施。模拟输入信号被提供给模数转换器(ADC)262。ADC 262将模拟输入信号转换为数字输出信号。数字输出信号被提供到数据处理器/控制器210。

[0031] TX频率合成器270可以包括TX锁相环(PLL)272和VCO 274。VCO 274可以在所期望的频率处生成TX VCO信号。TX PLL 272可以接收来自数据处理器/控制器210的定时信息并且生成用于VCO274的控制信号。该控制信号可以调整VCO 274的频率和/或相位以获得用于TX VCO信号的所期望的频率。TX频率合成器270向TX LO信号发生器276提供TX VCO信号。TX LO信号发生器276可以基于从TX频率合成器270接收的TX VCO信号来生成TX LO信号。在一个方面中,示例性的环形振荡器160可以由VCO 274来实施。

[0032] RX频率合成器280可以包括RX PLL 282和VCO 284。VCO 284可以在所期望的频率处生成RX VCO信号。RX PLL 282可以接收来自数据处理器/控制器210的定时信息并且生成用于VCO 284的控制信号。该控制信号可以调整VCO 284的频率和/或相位以获得用于RX VCO信号的所期望的频率。RX频率合成器280向RX LO信号发生器286提供RX VCO信号。RX LO信号发生器可以基于从RX频率合成器280接收的RX VCO信号来生成RX LO信号。在一个方面中,示例性的环形振荡器160可以由VCO 284来实施。

[0033] LO信号发生器276、286可以均包括划分器、缓冲器等。如果LO信号发生器276、286分别将TX频率合成器270和RX频率合成器280所提供的频率进行划分,则它们可以被称为分频器。PLL 272、282可以均包括相位/频率检测器、环路滤波器、电荷泵、分频器等。每个VCO信号和每个LO信号可以是具有特定基频的周期信号。来自LO发生器276、286的TX LO信号和RX LO信号对于TDD可以具有相同的频率,或者对于FDD可以具有不同的频率。来自VCO 274、284的TX VCO信号和RX VCO信号可以具有相同的频率(例如,对于TDD)或不同的频率(例如,对于FDD或TDD)。

[0034] 发射器220和接收器250中的信号的调节可以由放大器、滤波器、上变频器、下变频器等的一个或多个级来执行。这些电路可以与图2中所示出的配置不同地被布置。此外,图2中未示出的其他电路也可以被用来调节发射器220和接收器250中的信号。例如,阻抗匹配电路可以位于PA 240的输出处、LNA 252的输入处、天线290与双工器/开关共用器264之间,等等。图2中的一些电路也可以被省略。例如,滤波器238和/或滤波器254可以被省略。收发器218的全部或部分可以被实施在一个或多个模拟集成电路(IC)、RF IC (RFIC)、混合信号IC等上。例如,发射器220中的TX基带滤波器232到PA 240、接收器250中的LNA 252到RX基带滤波器260、PLL 272、282、VCO 274、284、以及LO信号发生器276、286可以被实施在RFIC上。PA 240和可能的其他电路也可以被实施在单独的IC或电路模块上。

[0035] 数据处理器/控制器210可以执行用于无线设备的各种功能。例如,数据处理器/控制器210可以执行对经由发射器220被发射并且经由接收器250被接收的数据的处理。数据处理器/控制器210可以控制发射器220和接收器250内的各种电路的操作。存储器212和/或存储器216可以存储用于数据处理器/控制器210的程序代码和数据。存储器可以在数据处

理器/控制器210的内部(例如,存储器212)或者在数据处理器/控制器210的外部(例如,存储器216)。存储器可以被称为计算机可读介质。振荡器214可以生成在特定频率处的VCO信号。时钟发生器215可以接收来自振荡器214的(多个)VCO信号,并且可以生成时钟信号用于数据处理器/控制器210和/或收发器218内的各种模块。数据处理器/控制器210可以被实施在一个或多个专用集成电路(ASIC)和/或其他IC上。

[0036] 本公开提供了一种用于控制环形振荡器的供电电压灵敏度的装置和方法。

[0037] 图3图示了环形振荡器300的结构。一般而言,环形振荡器是包括奇数个非门的设备,它的输出在代表“真”值和“假”值的两个电压电平之间振荡。这些非门(其也可以被称为反相器、延时级、或级)被附接在链中;其中最后反相器的输出被反馈到第一反相器。参考图3,描绘了7级环形振荡器。然而,被考虑到的是,本公开可以使用任何奇数的级而被实施。7级环形振荡器包括第一反相器302、第二反相器304、第三反相器306、第四反相器308、第五反相器310、第六反相器312和第七反相器314。第一反相器302的输出被施加到第二反相器304的输入。第二反相器304的输出被施加到第三反相器306的输入。第三反相器306的输出被施加到第四反相器308的输入。第四反相器308的输出被施加到第五反相器310的输入。第五反相器310的输出被施加到第六反相器312的输入。第六反相器312的输出被施加到第七反相器314的输入。第七反相器314的输出被反馈到第一反相器302的输入。穿过7级环形振荡器的每个反相器的虚线箭头指示相应的反相器可以根据供电电压 v_{dd} 而被调谐。

[0038] 图4是环形振荡器的单个级的晶体管级别示意图400。例如,该单个级可以等同于图3的第一反相器302、第二反相器304、第三反相器306、第四反相器308、第五反相器310、第六反相器312、或第七反相器314之一。如图4中示出的,该单个级可以包括耦合在一起的多个PMOS晶体管和多个NMOS晶体管。

[0039] 图5是对供电电压高度灵敏的环形振荡器的单个级的晶体管级别示意图500。作为示例,该单个级可以等同于图3的第一反相器302、第二反相器304、第三反相器306、第四反相器308、第五反相器310、第六反相器312、或第七反相器314之一。

[0040] 在一个方面中,该单个级可以包括耦合到初级NMOS晶体管504的初级PMOS晶体管502。初级PMOS晶体管502的栅极和初级NMOS晶体管504的栅极可以耦合到该单个级的输入。初级PMOS晶体管502的漏极和初级NMOS晶体管504的漏极可以耦合到该单个级的输出。

[0041] 初级PMOS晶体管502可以耦合到多个次级PMOS晶体管,例如,第一次级PMOS晶体管512、第二次级PMOS晶体管514、第三次级PMOS晶体管516、以及第四次级PMOS晶体管518。例如,初级PMOS晶体管502的源极可以耦合到第一次级PMOS晶体管512的漏极、第二次级PMOS晶体管514的漏极、第三次级PMOS晶体管516的漏极、以及第四次级PMOS晶体管518的漏极。此外,第一次级PMOS晶体管512的源极、第二次级PMOS晶体管514的源极、第三次级PMOS晶体管516的源极、以及第四次级PMOS晶体管518的源极可以经由相应的开关耦合到电压源 v_{dd} 。在一个方面中,第一次级PMOS晶体管512、第二次级PMOS晶体管514、第三次级PMOS晶体管516和第四次级PMOS晶体管518中的每个的电阻,可以通过分别从偏置模块接收偏置信号P(v_{dd})而根据供电电压(v_{dd})被调谐。第一次级PMOS晶体管512、第二次级PMOS晶体管514、第三次级PMOS晶体管516和第四次级PMOS晶体管518中的每个可以经由相应的栅极节点来接收偏置信号P(v_{dd})。

[0042] 初级NMOS晶体管504可以耦合到多个次级NMOS晶体管,例如,第一次级NMOS晶体管

522、第二次级NMOS晶体管524、第三次级NMOS晶体管526、以及第四次级NMOS晶体管528。例如，初级NMOS晶体管504的源极可以耦合到第一次级NMOS晶体管522的漏极、第二次级NMOS晶体管524的漏极、第三次级NMOS晶体管526的漏极、以及第四次级NMOS晶体管528的漏极。此外，第一次级NMOS晶体管522的源极、第二次级NMOS晶体管524的源极、第三次级NMOS晶体管526的源极、以及第四次级NMOS晶体管528的源极可以经由相应的开关耦合到接地节点。在一个方面中，第一次级NMOS晶体管522、第二次级NMOS晶体管524、第三次级NMOS晶体管526和第四次级NMOS晶体管528中的每个的电阻，可以通过分别从偏置模块接收偏置信号N(vdd)而根据供电电压(vdd)被调谐。第一次级NMOS晶体管522、第二次级NMOS晶体管524、第三次级NMOS晶体管526和第四次级NMOS晶体管528中的每个可以经由相应的栅极节点来接收偏置信号N(vdd)。

[0043] 在一个方面中，图5的压控晶体管(次级PMOS晶体管512、514、516、518和次级NMOS晶体管522、524、526、528)可以被用于环形振荡器的单个级的退化，其中每个压控晶体管的电阻是供电电压(vdd)的强函数。压控晶体管可以作为vdd的函数被调谐以控制环形振荡器对vdd的灵敏度。因此，环形振荡器可以被调谐为对供电电压更加灵敏或更不灵敏。假如环形振荡器被调谐为对供电电压更加灵敏，则它可以更容易地检测到供电变化。

[0044] 图6是对供电电压高度灵敏的环形振荡器的单个级的模块图600。作为示例，该单个级可以等同于图3的第一反相器302、第二反相器304、第三反相器306、第四反相器308、第五反相器310、第六反相器312、或第七反相器314之一。图7是图6的单个级的晶体管级别示意图700。

[0045] 参考图6和图7，该单个级包括反相模块602、PMOS偏置模块604、NMOS偏置模块606、以及电压偏置模块608。在一个方面中，电压偏置模块控制用于单个级的偏置电压。例如，电压偏置模块608基于供电电压(vdd)生成用于PMOS偏置模块604的偏置信号，并且向PMOS偏置模块604发送偏置信号。在接收到偏置信号时，PMOS偏置模块604可以偏置反相模块602的三极管PMOS退化。在另一示例中，电压偏置模块608基于供电电压(vdd)生成用于NMOS偏置模块606的偏置信号，并且向NMOS偏置模块606发送偏置信号。在接收到偏置信号时，NMOS偏置模块606可以偏置反相模块602的三极管NMOS退化。反相模块602然后可以基于已偏置的三极管NMOS退化和已偏置的三极管PMOS退化而操作为输出所接收的输入的反相版本(逻辑非)。

[0046] 在一个方面中，通过实施如图6和图7中示出的单个级，可以实现有源高带宽偏置，这允许了供电电压的更快转变和/或关于供电瞬变的快速电阻改变。因此，实施这种单个级的环形振荡器将具有增大的供电灵敏度。例如，相对于以前的环形振荡器设计，供电灵敏度可以增大1至3倍。

[0047] 仍然参考图6和图7，反相模块602可以包括耦合到初级NMOS晶体管504的初级PMOS晶体管502。初级PMOS晶体管502的栅极和初级NMOS晶体管504的栅极可以耦合到该单个级的输入。初级PMOS晶体管502的漏极和初级NMOS晶体管504的漏极可以耦合到该单个级的输出。

[0048] 初级PMOS晶体管502可以耦合到PMOS偏置模块604。PMOS偏置模块604可以包括多个次级PMOS晶体管，例如，第一次级PMOS晶体管512、第二次级PMOS晶体管514、第三次级PMOS晶体管516、以及第四次级PMOS晶体管518。初级PMOS晶体管502的源极可以耦合到第一

次级PMOS晶体管512的漏极、第二次级PMOS晶体管514的漏极、第三次级PMOS晶体管516的漏极、以及第四次级PMOS晶体管518的漏极。此外，第一次级PMOS晶体管512的源极、第二次级PMOS晶体管514的源极、第三次级PMOS晶体管516的源极、以及第四次级PMOS晶体管518的源极可以经由相应的开关耦合到电压源vdd。第一次级PMOS晶体管512、第二次级PMOS晶体管514、第三次级PMOS晶体管516和第四次级PMOS晶体管518中的每个的电阻，可以通过分别从电压偏置模块608接收偏置信号而根据供电电压(vdd)被调谐。第一次级PMOS晶体管512、第二次级PMOS晶体管514、第三次级PMOS晶体管516和第四次级PMOS晶体管518中的每个可以经由相应的栅极节点来接收偏置信号。

[0049] 初级NMOS晶体管504可以耦合到NMOS偏置模块606。NMOS偏置模块606可以包括多个次级NMOS晶体管，例如，第一次级NMOS晶体管522、第二次级NMOS晶体管524、第三次级NMOS晶体管526、以及第四次级NMOS晶体管528。初级NMOS晶体管504的源极可以耦合到第一次级NMOS晶体管522的漏极、第二次级NMOS晶体管524的漏极、第三次级NMOS晶体管526的漏极、以及第四次级NMOS晶体管528的漏极。此外，第一次级NMOS晶体管522的源极、第二次级NMOS晶体管524的源极、第三次级NMOS晶体管526的源极、以及第四次级NMOS晶体管528的源极可以经由相应的开关耦合到接地节点。在一个方面中，第一次级NMOS晶体管522、第二次级NMOS晶体管524、第三次级NMOS晶体管526和第四次级NMOS晶体管528中的每个的电阻，可以通过分别从电压偏置模块608接收偏置信号而根据供电电压(vdd)被调谐。第一次级NMOS晶体管522、第二次级NMOS晶体管524、第三次级NMOS晶体管526和第四次级NMOS晶体管528中的每个可以经由相应的栅极节点来接收偏置信号。

[0050] 电压偏置模块608可以包括第一PMOS晶体管702、第二PMOS晶体管704、NMOS晶体管706、以及电流源 $I_{\text{偏置}}$ 。第一PMOS晶体管702的漏极耦合到NMOS晶体管706的漏极。第一PMOS晶体管702的漏极进一步耦合到第一次级PMOS晶体管512的栅极、第二次级PMOS晶体管514的栅极、第三次级PMOS晶体管516的栅极、以及第四次级PMOS晶体管518的栅极。第一PMOS晶体管702的源极耦合到供电电压(vdd)。第一PMOS晶体管702的栅极耦合到第二PMOS晶体管704的栅极。

[0051] 第二PMOS晶体管704的源极耦合到供电电压(vdd)。第二PMOS晶体管704的漏极耦合到电流源 $I_{\text{偏置}}$ 的第一节点和NMOS晶体管706的栅极。第二PMOS晶体管704的漏极进一步耦合到第二PMOS晶体管704的栅极。

[0052] NMOS晶体管706的漏极耦合到第一PMOS晶体管702的漏极。NMOS晶体管706的漏极进一步耦合到第一次级PMOS晶体管512的栅极、第二次级PMOS晶体管514的栅极、第三次级PMOS晶体管516的栅极、以及第四次级PMOS晶体管518的栅极。NMOS晶体管706的源极耦合到接地节点。NMOS晶体管706的栅极耦合到电流源 $I_{\text{偏置}}$ 的第一节点。NMOS晶体管706的栅极进一步耦合到第一次级NMOS晶体管522的栅极、第二次级NMOS晶体管524的栅极、第三次级NMOS晶体管526的栅极、以及第四次级NMOS晶体管528的栅极。

[0053] 电流源 $I_{\text{偏置}}$ 的第一节点耦合到第二PMOS晶体管704的漏极和NMOS晶体管706的栅极。电流源 $I_{\text{偏置}}$ 的第二节点耦合到接地节点。

[0054] 在一个方面中，实施如图6和图7中示出的级的环形振荡器可以部署在下垂检测器系统中。如上文所描述的，在级内使用压控晶体管的本公开的环形振荡器实现了更好的供电灵敏度。与以前的环形振荡器设计相比，供电灵敏度可以利用20%的功率减少而增大

40%。因此,实施本公开的环形振荡器的下垂检测器系统的分辨率可以下降到11.9mV,而传统的下垂检测器设计可以具有17.1mV的分辨率。

[0055] 图8是用于控制环形振荡器级的供电灵敏度的方法的流程图。该方法可以由装置(例如,环形振荡器160或者图6和图7的环形振荡器级)来执行。

[0056] 在框802处,该装置经由电压偏置模块基于供电电压生成用于PMOS偏置模块的第一偏置信号。该装置进一步经由电压偏置模块基于供电电压生成用于NMOS偏置模块的第二偏置信号。

[0057] 在框804处,该装置经由PMOS偏置模块基于第一偏置信号偏置反相模块的三极管PMOS退化。在框806处,该装置经由NMOS偏置模块基于第二偏置信号偏置反相模块的三极管NMOS退化。

[0058] 在框808处,该装置经由反相模块接收输入。此后,该装置经由反相模块基于已偏置的三极管NMOS退化和已偏置的三极管PMOS退化来输出所接收的输入的反相版本。

[0059] 在一个方面中,反相模块包括初级PMOS晶体管和耦合到初级PMOS晶体管的初级NMOS晶体管。初级PMOS晶体管的栅极和初级NMOS晶体管的栅极耦合到环形振荡器级的输入。初级PMOS晶体管的漏极和初级NMOS晶体管的漏极耦合到环形振荡器级的输出。

[0060] 在另外的方面中,PMOS偏置模块包括第一次级PMOS晶体管、第二次级PMOS晶体管、第三次级PMOS晶体管、以及第四次级PMOS晶体管。初级PMOS晶体管的源极耦合到第一次级PMOS晶体管的漏极、第二次级PMOS晶体管的漏极、第三次级PMOS晶体管的漏极、以及第四次级PMOS晶体管的漏极。第一次级PMOS晶体管的源极、第二次级PMOS晶体管的源极、第三次级PMOS晶体管的源极、以及第四次级PMOS晶体管的源极耦合到供电电压。第一次级PMOS晶体管、第二次级PMOS晶体管、第三次级PMOS晶体管和第四次级PMOS晶体管中的每个的电阻,通过分别从电压偏置模块接收第一偏置信号而基于供电电压被控制。第一次级PMOS晶体管、第二次级PMOS晶体管、第三次级PMOS晶体管和第四次级PMOS晶体管中的每个经由相应的栅极节点来接收第一偏置信号。

[0061] 在另一方面中,NMOS偏置模块包括第一次级NMOS晶体管、第二次级NMOS晶体管、第三次级NMOS晶体管、以及第四次级NMOS晶体管。初级NMOS晶体管的源极耦合到第一次级NMOS晶体管的漏极、第二次级NMOS晶体管的漏极、第三次级NMOS晶体管的漏极、以及第四次级NMOS晶体管的漏极。第一次级NMOS晶体管的源极、第二次级NMOS晶体管的源极、第三次级NMOS晶体管的源极、以及第四次级NMOS晶体管的源极耦合到接地节点。第一次级NMOS晶体管、第二次级NMOS晶体管、第三次级NMOS晶体管和第四次级NMOS晶体管528中的每个的电阻,通过分别从电压偏置模块接收第二偏置信号而基于供电电压被控制。第一次级NMOS晶体管、第二次级NMOS晶体管、第三次级NMOS晶体管和第四次级NMOS晶体管中的每个经由相应的栅极节点来接收第二偏置信号。

[0062] 在一个方面中,电压偏置模块包括第一三级(tertiary)PMOS晶体管、第二三级PMOS晶体管、三级NMOS晶体管、以及电流源。第一三级PMOS晶体管的漏极耦合到三级NMOS晶体管的漏极,并且耦合到第一次级PMOS晶体管的栅极、第二次级PMOS晶体管的栅极、第三次级PMOS晶体管的栅极、以及第四次级PMOS晶体管的栅极。第一三级PMOS晶体管的源极耦合到供电电压。第一三级PMOS晶体管的栅极耦合到第二三级PMOS晶体管的栅极。

[0063] 在另外的方面中,第二三级PMOS晶体管的源极耦合到供电电压。第二三级PMOS晶

体管的漏极耦合到电流源的第一节点和三级NMOS晶体管的栅极,并且耦合到第二三级PMOS晶体管的栅极。

[0064] 在另一方面中,三级NMOS晶体管的漏极耦合到第一三级PMOS晶体管的漏极,并且耦合到第一次级PMOS晶体管的栅极、第二次级PMOS晶体管的栅极、第三次级PMOS晶体管的栅极、以及第四次级PMOS晶体管的栅极。三级NMOS晶体管的源极耦合到接地节点。三级NMOS晶体管的栅极耦合到电流源的第一节点,并且耦合到第一次级NMOS晶体管的栅极、第二次级NMOS晶体管的栅极、第三次级NMOS晶体管的栅极、以及第四次级NMOS晶体管的栅极。

[0065] 在一个方面中,电流源的第一节点耦合到第二三级PMOS晶体管的漏极和三级NMOS晶体管的栅极。电流源的第二节点耦合到接地节点。

[0066] 再次参考图6和图7,装置(例如,环形振荡器160或者图6和图7的环形振荡器级)可以包括以下中的一项或多项:反相模块602、PMOS偏置模块604、NMOS偏置模块606、电压偏置模块608、以及对应于相应模块的上文描述的电路元件。该装置包括:反相部件,用于接收输入并且输出所接收的输入的反相版本。该装置进一步包括:PMOS偏置部件,用于偏置反相部件的三极管PMOS退化;以及NMOS偏置部件,用于偏置反相部件的三极管NMOS退化。该装置还包括:电压偏置部件,用于基于供电电压生成用于PMOS偏置部件的第一偏置信号,并且基于供电电压生成用于NMOS偏置部件的第二偏置信号。PMOS偏置部件被配置为基于第一偏置信号偏置反相部件的三极管PMOS退化。NMOS偏置部件被配置为基于第二偏置信号偏置反相部件的三极管NMOS退化。所接收的输入的反相版本经由反相部件基于已偏置的三极管NMOS退化和已偏置的三极管PMOS退化而被输出。前述部件可以是以下中的一项或多项:被配置为执行通过前述部件所记载的功能的反相模块602、PMOS偏置模块604、NMOS偏置模块606、电压偏置模块608、对应于相应模块的电路元件、数据处理器/控制器210、计算机可读介质(即,存储器212)和/或计算机可读介质(即,存储器216)。

[0067] 要理解的是,所公开的过程中的步骤的特定顺序或层次是示例性方法的说明。基于设计偏好,要理解的是,可以重新布置过程中的步骤的特定顺序或层次。进一步地,可以组合或省略一些步骤。所附的方法权利要求以样本顺序提出了各种步骤的元素,并且不意味着限于所提出的特定顺序或层次。

[0068] 前面的描述被提供以使得任何本领域的技术人员能够实践本文描述的各种方面。对这些方面的各种修改对本领域的技术人员将容易是明显的,并且本文限定的一般原理可以被应用于其他方面。因此,权利要求不意图为限于本文示出的方面,而是符合于与语言权利要求相一致的完整范围,其中以单数对元素的引用不意图意指“一个并且仅一个”除非明确地如此陈述,而是“一个或多个”。除非明确地另有陈述,否则术语“一些”是指一个或多个。对贯穿本公开所描述的各种方面的元素的、本领域的普通技术人员已知或后来变为已知的所有结构性和功能性等价物通过引用明确地并入本文,并且意图由权利要求所涵盖。此外,本文所公开的任何内容不意图贡献给公众,无论这样的公开是否明确记载在权利要求中。没有权利要求元素将被解释为部件加功能,除非该元素明确使用短语“用于……的部件”被记载。

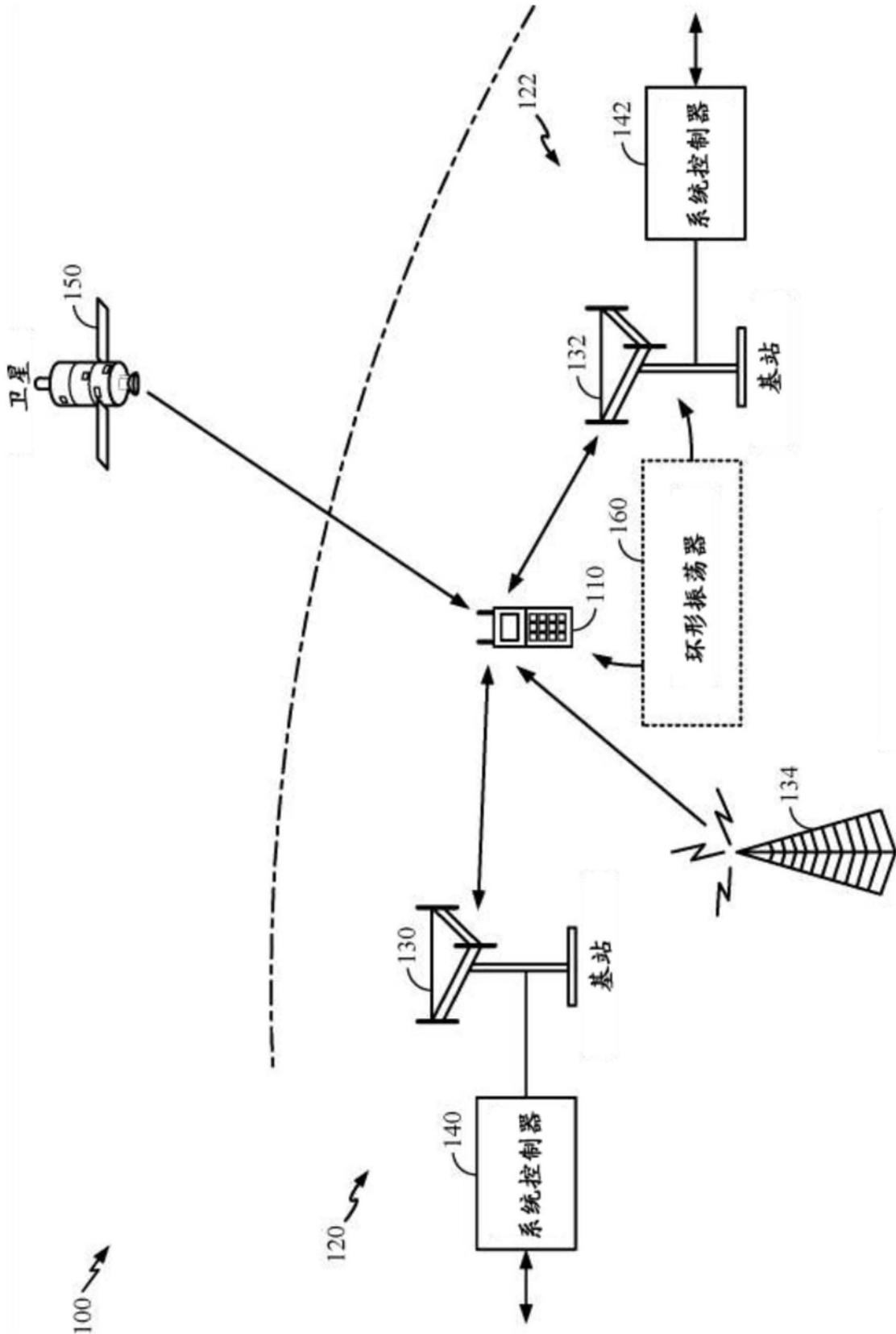


图1

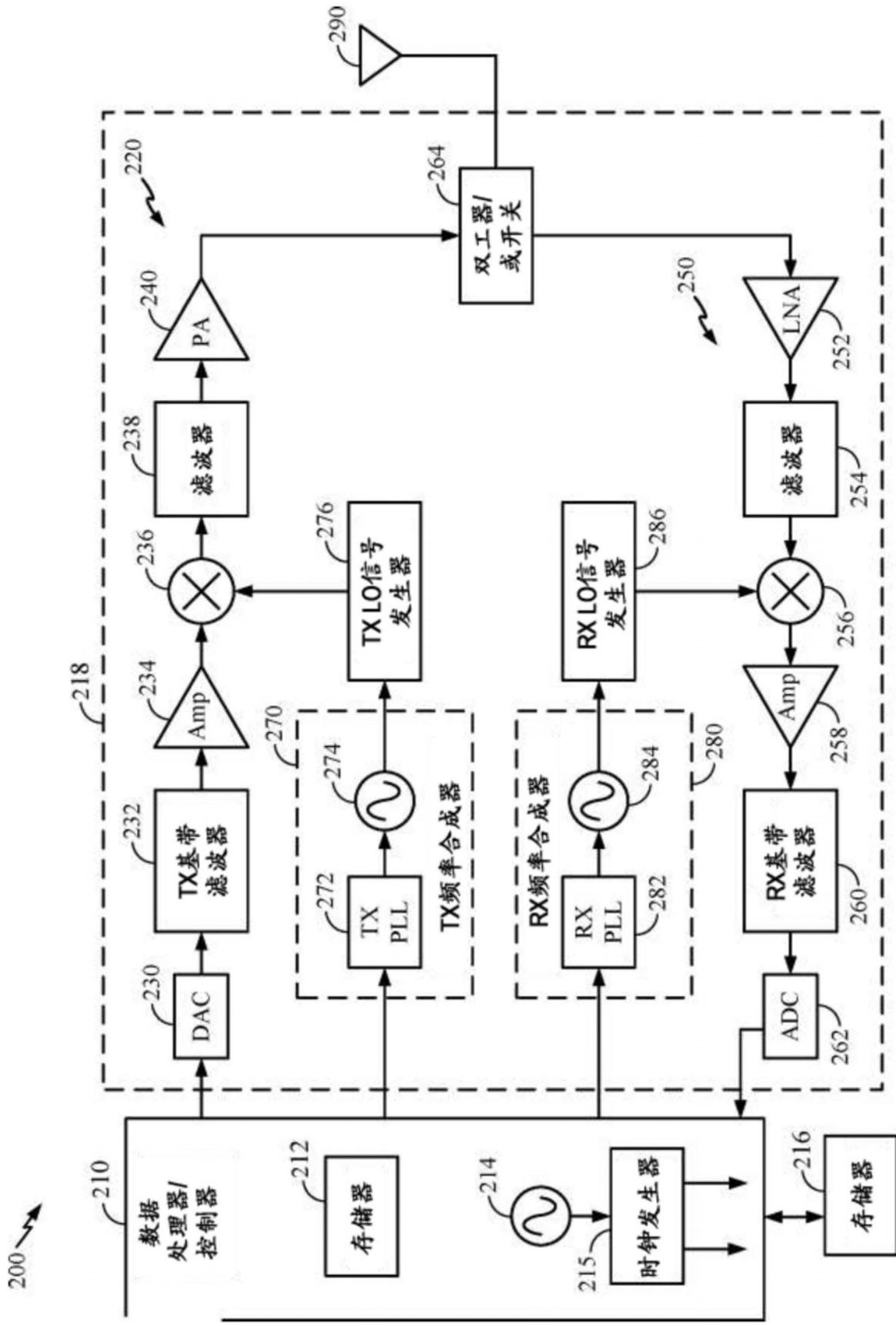


图2

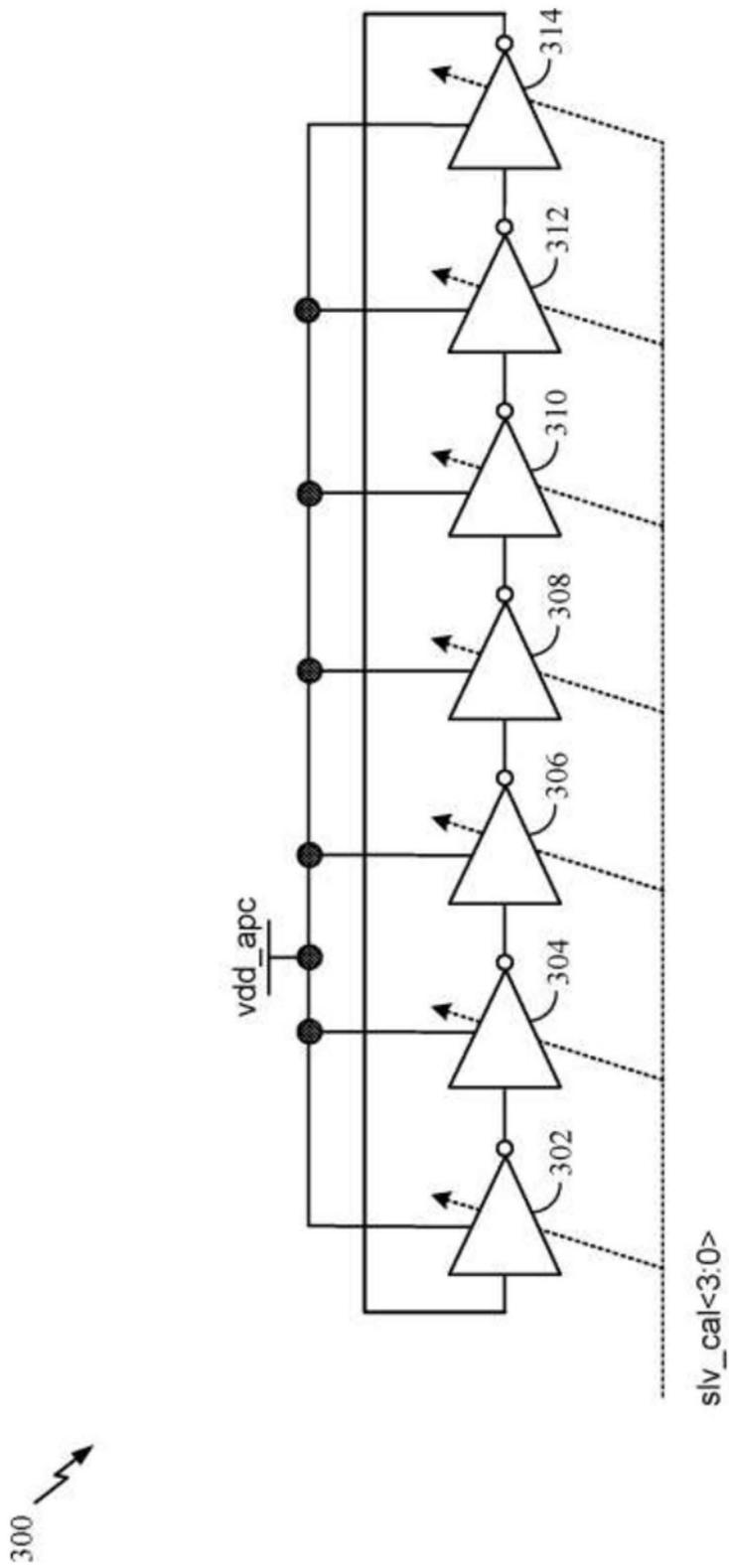


图3

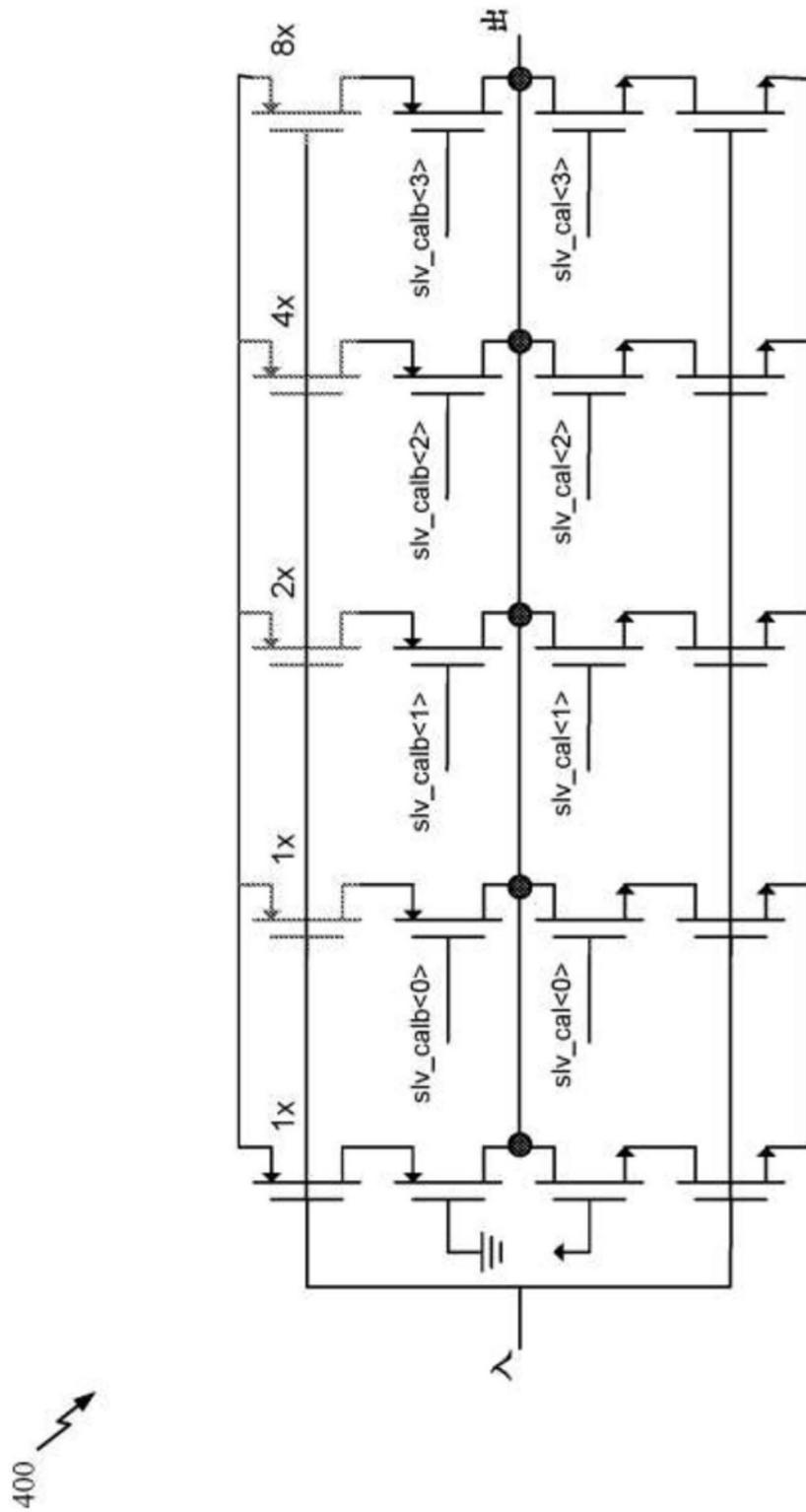


图4

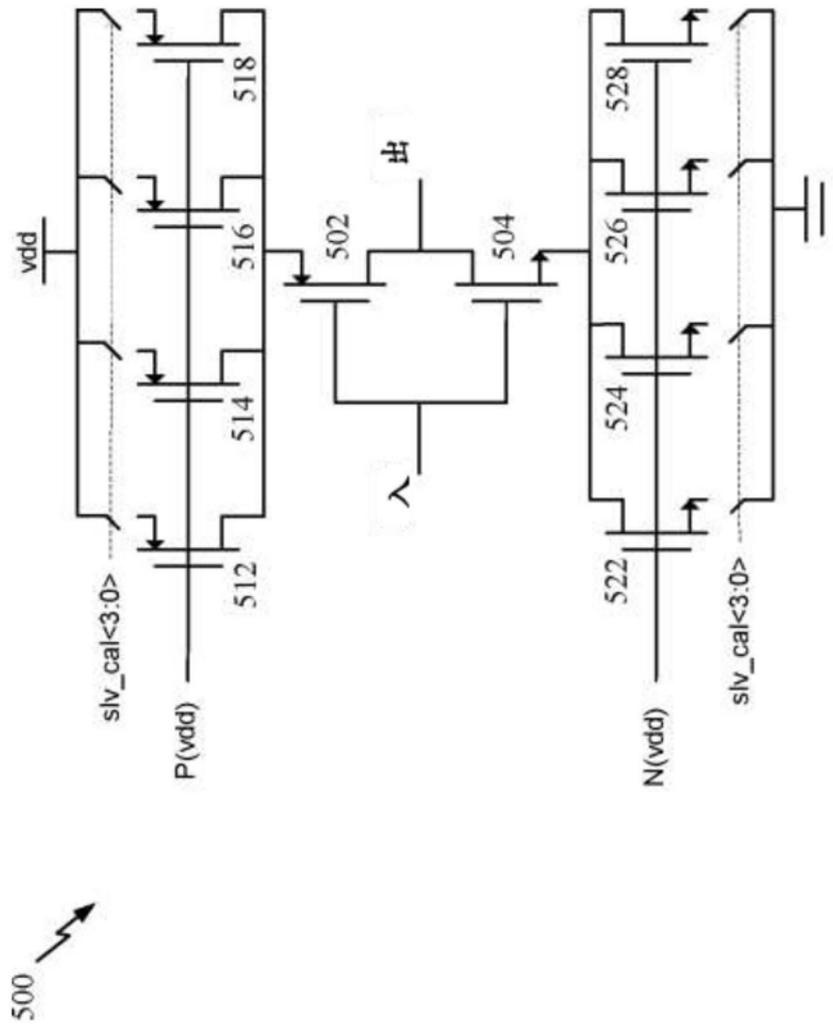


图5

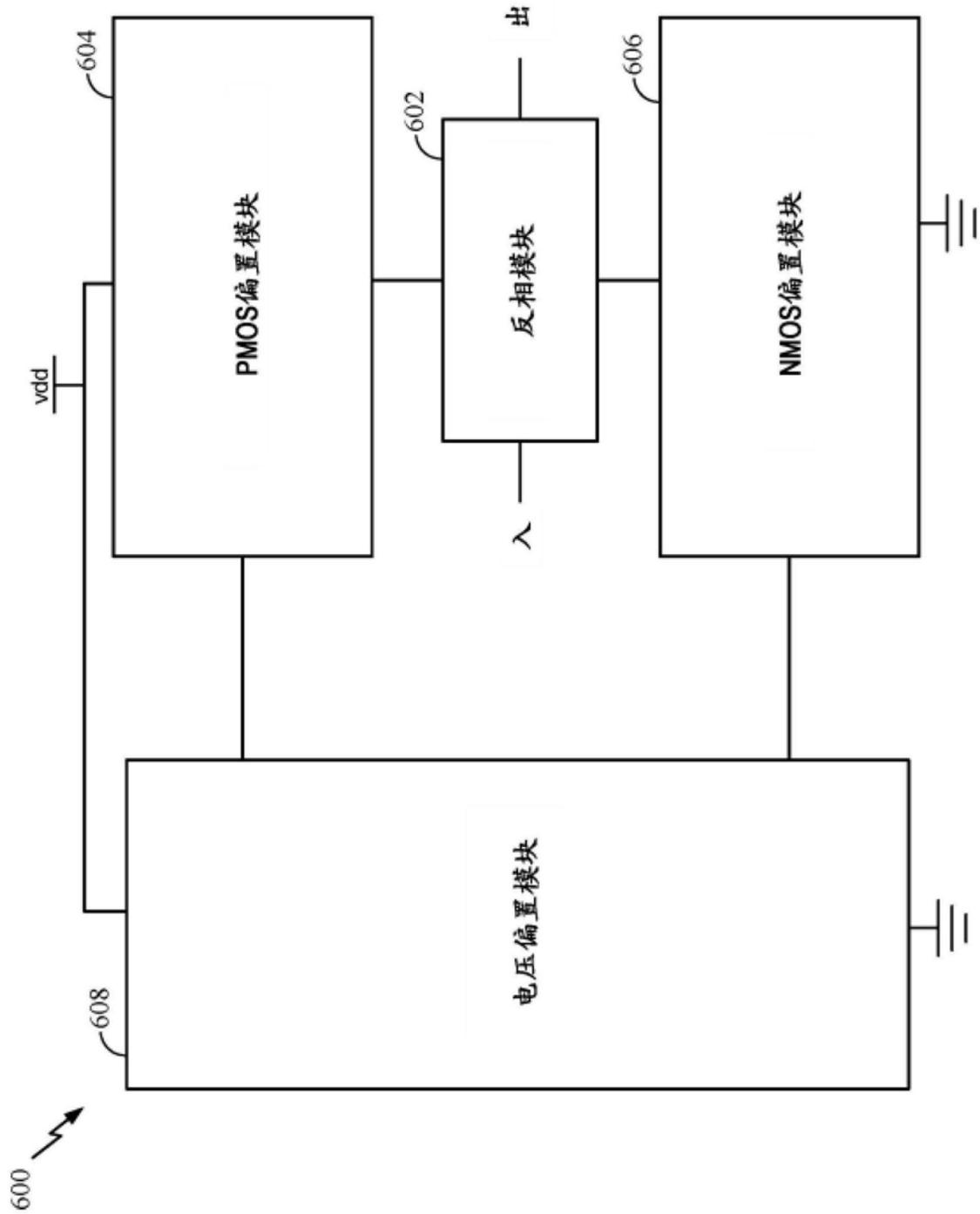


图6

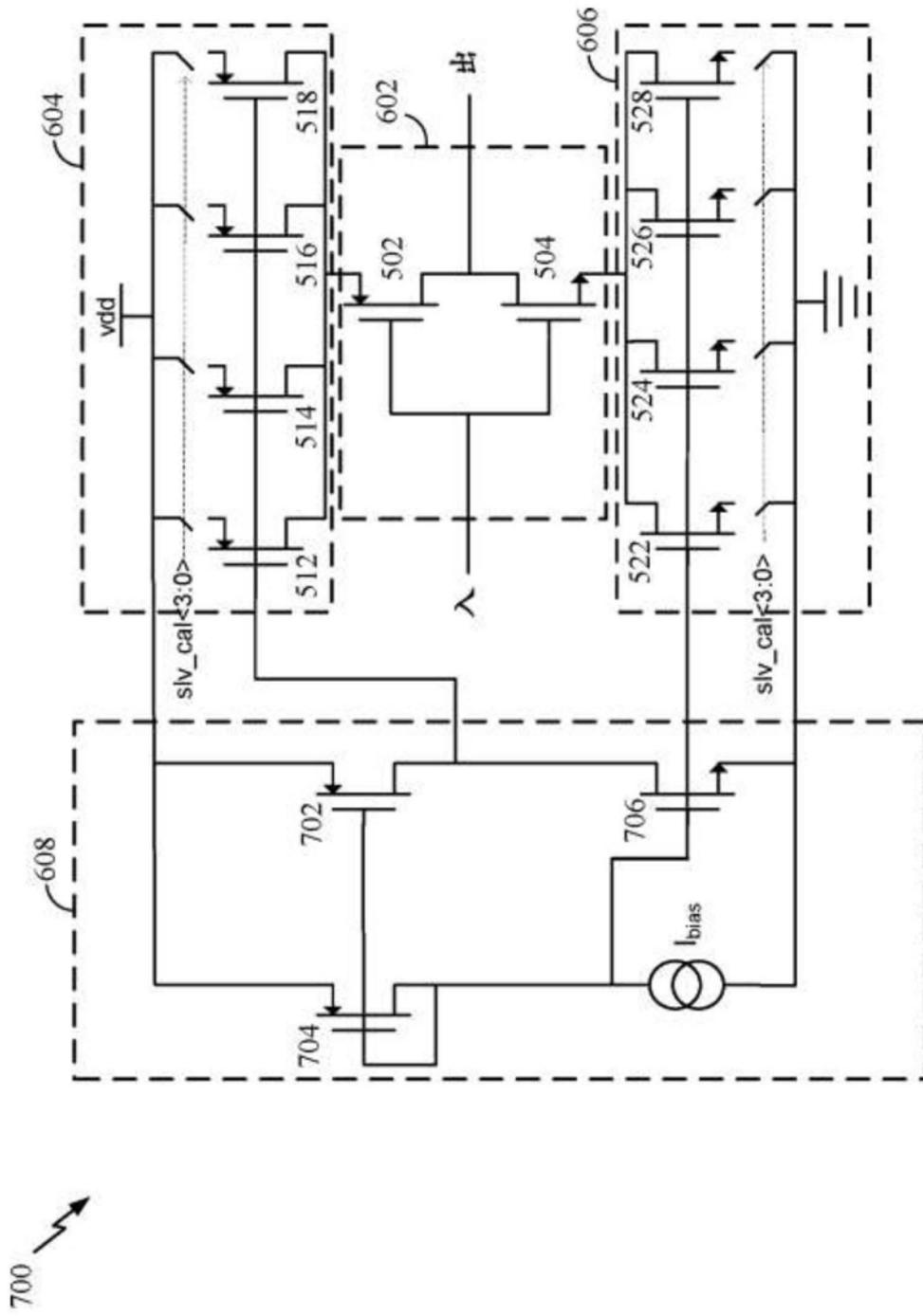


图7

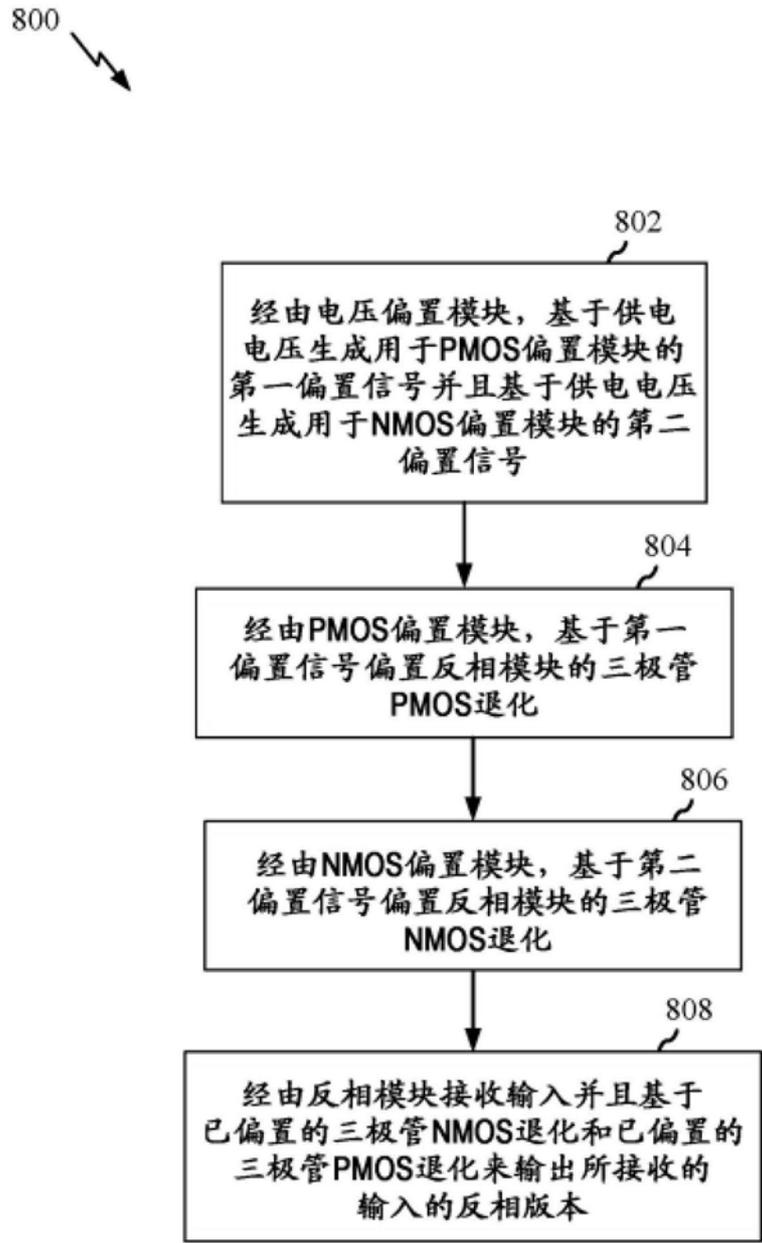


图8