

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3889816号
(P3889816)

(45) 発行日 平成19年3月7日(2007.3.7)

(24) 登録日 平成18年12月8日(2006.12.8)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 7 J

H O 1 L 21/306 (2006.01)

H O 1 L 21/306 M

請求項の数 10 (全 9 頁)

(21) 出願番号 特願平6-204369
 (22) 出願日 平成6年8月5日(1994.8.5)
 (65) 公開番号 特開平7-66429
 (43) 公開日 平成7年3月10日(1995.3.10)
 審査請求日 平成13年6月8日(2001.6.8)
 (31) 優先権主張番号 P4327132.4
 (32) 優先日 平成5年8月12日(1993.8.12)
 (33) 優先権主張国 ドイツ(DE)

(73) 特許権者 390039413
 シーメンス アクチエンゲゼルシャフト
 Siemens Aktiengesellschaft
 ドイツ連邦共和国 D-80333 ミュンヘン
 ヴィッテルスバッハープラッツ 2
 Wittelsbacherplatz 2, D-80333 Muenchen, Germany
 (74) 代理人 100075166
 弁理士 山口 巖

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板(1)と、

基板(1)の表面に配設され、第1の導電形にドーパされたポリシリコン層(2)と、
 ポリシリコン層(2)の表面に配設され、側壁(4)により限定され、かつ第1の導電形と反対の第2の導電形にドーパされたポリシリコン構造物(31)と、

該ポリシリコン構造物(31)の、前記ポリシリコン層(2)との界面と反対側の表面に前記構造物(31)の一部として設けられ、少なくとも側壁(4)の一部と接し、かつ第1の導電形にドーパされたソース/ドレイン領域(111)と、

少なくともポリシリコン構造物(31)の側壁(4)上のソース/ドレイン領域(111)と、同じくソース/ドレイン領域として作用するポリシリコン層(2)に対する界面との間に配設されたゲート誘電体(5)と、

側壁(4)の範囲のゲート誘電体(5)の表面上に配設され、ポリシリコン層(2)及びポリシリコン構造物(31)に対して絶縁されたゲート電極(6)とを有し、

ゲート誘電体(5)及びゲート電極(6)がポリシリコン構造物(31)を環状に囲むと共に、

ソース/ドレイン領域(111)が環状に形成され、その全周にわたりポリシリコン構造物(31)の側壁(4)に接しており、ポリシリコン構造物(31)が、高いドーパント濃度で第2の導電形にドーパされている、該構造物(31)の端子領域(141)を含んでおり、この領域(141)がポリシリコン層(2)とは反対側のポリシリコン構造物

10

20

の表面に接していることを特徴とする薄膜トランジスタ。

【請求項 2】

ポリシリコン構造物(31)の側壁(4)が基板(1)の表面に対し垂直に延びていることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項 3】

ポリシリコン構造物(31)と、ポリシリコン層(2)との間に、ポリシリコン層(2)に直接接し、第1導電形にドーパされた領域(21)を含んでいることを特徴とする請求項1又は2記載の薄膜トランジスタ。

【請求項 4】

ゲート電極(6)がドーパされたポリシリコンを含んでいることを特徴とする請求項1から3の1つに記載の薄膜トランジスタ。 10

【請求項 5】

基板(1)の表面に第1導電形にドーパされた第1のポリシリコン層(2)を形成し、第1ポリシリコン層(2)の上に第1導電形と反対の第2導電形にドーパされた第2ポリシリコン層(3)を形成し、

少なくとも第2ポリシリコン層(3)に対しフォトリソグラフィマスクの使用下にドライエッチングを行うことで、側壁(4)で囲まれたポリシリコン構造物(31)を形成し、

ポリシリコン構造物(31)の側壁(4)を少なくとも部分的に覆うゲート誘電体(5)を形成し、

側壁(4)の範囲のゲート誘電体(5)の表面上に配設され、第1ポリシリコン層(2)及びポリシリコン構造物(31)に対して絶縁されたゲート電極(6)を形成し、 20

ポリシリコン構造物(31)内の、第1ポリシリコン層(2)とは反対側の面に、第1導電形にドーパされかつその全周にわたりポリシリコン構造物(31)の側壁(4)と接する環状のソース/ドレイン領域(111)を形成し、

ポリシリコン構造物(31)内に、高いドーパ濃度で第2の導電形にドーパされた該構造物(31)の端子領域(141)を、第1のポリシリコン層(2)とは反対側のポリシリコン構造物(31)の表面に接するように形成することを特徴とする薄膜トランジスタの製造方法。

【請求項 6】

基板(1)の表面に対し垂直に延びる側壁(4)を有するポリシリコン構造物(31)を形成することを特徴とする請求項5記載の方法。 30

【請求項 7】

前記ポリシリコン構造物(31)を、第2ポリシリコン層(3)のドライエッチングプロセスを行うことで形成し、このエッチング期間を、ポリシリコン構造物(31)が生じ、さらにその下にあり、第1の導電形にドーパされた領域(21)が生じるまで第1ポリシリコン層(2)がエッチングされるように定めることを特徴とする請求項5又は6記載の方法。

【請求項 8】

ゲート誘電体を形成すべく、全面的に一様な厚みを有する誘電体(5)を設けることを特徴とする請求項5から7の1つに記載の方法。 40

【請求項 9】

ゲート電極(6)がドーパされたポリシリコンからなることを特徴とする請求項8記載の方法。

【請求項 10】

ゲート電極(6)を、一様な厚みを有する導電性層の全面的析出と、ポリシリコン構造物(31)の側壁(4)にスペーサが形成されるように行う導電性層の異方性エッチングとにより形成することを特徴とする請求項8又は9記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は薄膜トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】

TFTと呼ばれる薄膜トランジスタは多結晶層又は非晶質半導体層中に形成される。これらの半導体層は例えばポリシリコン、非晶質シリコン、Si-C又はダイヤモンドの析出により、又は必要に応じて引続いての再結晶により形成される。その際半導体層は一つの基板上に施される。

【0003】

薄膜トランジスタは平坦な形で実現される(例えば米国特許第5064775号明細書参照)。基板を介してソース領域とドレイン領域との間に生じる短絡を回避するため基板は少なくとも多結晶半導体層との界面で絶縁されていなければならない。薄膜トランジスタにはガラス、酸化物又は窒化物からなる絶縁性基板を使用すると有利である。

10

【0004】

薄膜トランジスタが導電性の基台上に形成される場合基台と多結晶半導体層との間に電気絶縁性中間層を析出しなければならない。多結晶半導体層と絶縁性中間層との界面で又は基台にある導電路において捕らえられた電荷は薄膜トランジスタ内の電荷移動に悪影響を及ぼす電界を生じることになる。

【0005】

ミトラ(U. Mitra)その他による「J. Electrochem. Soc. 138」第3420頁、1991年から、障害となる酸化物中の界面の電荷を生成ガス中での熱処理により減少させることが知られている。

20

【0006】

イバラキ(N. Ibaraki)その他による「ED36」第2971頁、1989年には、絶縁性中間層を有利な界面特性を有する他の物質、例えば窒化物から形成することが提案されている。このように中間層の材料を選択することにより障害となる界面の電荷数は減少される。

【0007】

薄膜トランジスタの下にある導電路により誘起される電界は薄膜トランジスタの機能状態に悪影響を及ぼすが、この電界は補助的遮蔽層の装入により遮断可能である(ナカシマ(Nakashima)その他による「Electronics Lett. 19」第1095頁(1983年)参照)。

30

【0008】

多結晶半導体層は粒界を有する。この粒界は薄膜トランジスタにおいてMOSチャネル内の電荷移動を妨げることになる。欠陥の不活性化により粒界の電荷移動の障害を減少させることは公知である(チャーン(H. N. Chern)その他による「EDL14」第115頁(1993年)参照)。それには多結晶シリコン層を水素雰囲気中か又は水素及び/又は酸素を含有するプラズマ中で熱処理する。

【0009】

粒界でキャリア(電荷担体)が捕獲されかつキャリアが散乱することにより薄膜トランジスタの特性は劣化される。単結晶シリコン内に集積されたMOSトランジスタに比べて従来の薄膜トランジスタは電流ゲインが約20~100倍低下される。薄膜トランジスタの電流ゲインの低下をその形状寸法を大きくすることにより補償しなければならない。このことは所要面積を高めることになる。

40

【0010】

アダム(A. O. Adam)その他による「VLSI Symp.」1990年、第19頁には、薄膜トランジスタの電流ゲインを薄膜トランジスタの下側に補助的な制御電極を設けることにより高めることが提案されている。しかしこのことはデバイスをより複雑なものとする。

【0011】

【発明が解決しようとする課題】

50

本発明は、所要面積を減少し、任意の基板表面上に設けることのできる薄膜トランジスタを提供することを課題とする。本発明による薄膜トランジスタは特に公知の薄膜トランジスタに比べて電流ゲインを改善するものでなければならない。更に本発明はこの種の薄膜トランジスタの製造方法を提供することを課題とする。

【0012】

【課題を解決するための手段】

これらの課題は本発明により、基板と、基板の表面に配設された第1の導電形によりドーブされているポリシリコン層と、ポリシリコン層の表面に配設され、側壁により限定され、少なくともポリシリコン層との界面に対向しかつ第1の導電形によりドーブされかつ少なくとも側壁の一部と接するソース/ドレイン領域を含んでおりかつそれ以外の部分は第1の導電形と反対の第2の導電形によりドーブされているポリシリコン構造物と、少なくともポリシリコン構造物の側壁上のソース/ドレイン領域と同じくソース/ドレイン領域として作用するポリシリコン層に対する界面との間に配設されているゲート誘電体と、側壁の範囲のゲート誘電体の表面上に配設されポリシリコン層及びポリシリコン構造物に対して絶縁されているゲート電極とを有する薄膜トランジスタ、及び請求項7に記載のその製造方法により解決される。

10

【0013】

本発明による薄膜トランジスタは、ソース/チャンネル/ドレインの配列が基板の表面に対して平行に配置されておらず、ポリシリコン構造物の側壁に沿って配置されているため所要面積が削減されている。薄膜トランジスタの一方のソース/ドレイン領域を形成するポリシリコン層だけが基板の表面と接続しているため、基板の表面は導電性であっても絶縁性であってもよい。従って基板は本発明による薄膜トランジスタでは所定の用途の要求に応じて選択可能である。特にこの基板の表面は導電性とすることができる。それにより本発明による薄膜トランジスタは3次元の回路配列に集積するのにも適している。その場合基板の表面はポリシリコン層により形成される薄膜トランジスタのソース/ドレイン領域と接続する必要のあるデバイスの接触部又は端子を含むことができる。

20

【0014】

有利にはポリシリコン構造物は基板の表面に対してほぼ垂直に延びる側壁を有する。この場合薄膜トランジスタのチャンネル内のキャリアの移動は基板の表面に対してほぼ垂直に行われる。ポリシリコンは有利なことには基板の表面に対して垂直方向に再結晶するため、基板の表面に対してほぼ垂直に延びる細長い結晶子が形成される。従って本発明による薄膜トランジスタではキャリアの移動は晶粒中で十分に行われる。それにより最初からキャリアと粒界の欠陥との相互作用が減少し、そのため電流ゲインは高められる。

30

【0015】

ポリシリコン構造物がポリシリコン層に対する界面に第1導電形によりドーブされた領域を有している場合、一方のソース/ドレイン領域はポリシリコン層上に達し、ドーブ領域はポリシリコン構造物の内部にまで入り込む。この構造の場合ゲート電極が薄膜トランジスタのチャンネル領域上にオーバーラップすることが改善され、このことはトランジスタ内の直列抵抗の減少に通じる。

【0016】

本発明の特に有利な実施態様によれば、ゲート誘電体とゲート電極はポリシリコン構造物を環状に囲んでいる。この薄膜トランジスタではキャリアの移動はポリシリコン構造物の内部で行われ、決して外部の電界に曝されることはない。ゲート電極が薄膜トランジスタを完全に囲むため、ゲート面が最適に利用され、薄膜トランジスタの所要面積は更に削減される。

40

【0017】

多くの回路の用途においてソース領域はMOSトランジスタの基板と同じ電位上に置かれる。従ってポリシリコン構造物中に用意されたソース/ドレイン領域を環状に形成し、それによりこの領域が全周にわたりポリシリコン構造物の側壁と接することは本発明の枠内にある。このポリシリコン構造物は、高められたドーパント濃度で第2の導電形によりド

50

ープされポリシリコン層とは反対側のポリシリコン構造物の表面に接する端子領域を含んでいる。端子領域とソース/ドレイン領域とを金属接触部を介して互いに電氣的に接続し、同じ電位上にあるようにすることは本発明の枠内にある。

【0018】

【実施例】

本発明を実施例及び図面に基づき以下に詳述する。

【0019】

基板1上にその場で n^+ ドーブされた非晶質シリコン層及び更にその上にその場で p ドーブされた非晶質シリコン層を析出する。窒素雰囲気下に例えば600で熱処理することにより非晶質シリコンを再結晶する。その際例えば $1 \cdot 10^{20} P / cm^3$ のドーパント濃度で n^+ ドーブされた層厚50~1000nmの第1のポリシリコン層2が形成される。更に例えば $5 \cdot 10^{16} B / cm^3$ のドーパント濃度で p ドーブされた層厚50~1000nmの第2のポリシリコン層3が形成される(図1参照)。

10

【0020】

フォトレジストマスクの使用下にドライエッチングプロセスで第2ポリシリコン層3及び第1ポリシリコン層2を構造化することによりポリシリコン構造物31を形成する(図2参照)。エッチングは第1ポリシリコン層2をごく僅かに腐食するようにして行われる。その結果ポリシリコン構造物31は第1ポリシリコン層2との界面に n^+ ドーブされた領域21を有することになる。第1ポリシリコン層2及び n^+ ドーブされた領域21は薄膜トランジスタ用のドレイン領域を構成する。ポリシリコン構造物31の p ドーブされた部分は従来のプレーナ形薄膜トランジスタではいわゆるポリシリコン本体に相当する。

20

【0021】

ドライエッチングプロセスとしては例えば HBr / Cl_2 による化学反応が適している。ポリシリコン層31は基板1の表面に平行に例えば長方形の断面を有している。この長方形の側面に沿ってポリシリコン構造物31を環状につながっている側壁4により囲む。側壁4は基板1の表面に対してほぼ垂直に延びている。

【0022】

引続き全面的にほぼ一様なエッジ被覆を有する誘電体層5を析出する(図3参照)。この誘電体層5は薄膜トランジスタではゲート誘電体の役目をする。誘電体層5を例えば SiO_2 又は Si_3N_4 のCVD析出又は熱酸化により5~100nmの厚さに形成する。

30

【0023】

引続きほぼ一様なエッジ被覆を有する例えばその場で n^+ ドーブされた非晶質又は多結晶シリコン層を全面的に析出する。異方性ドライエッチングにより析出されたシリコンを、誘電体層5で覆われたポリシリコン層3の側壁に沿ってスペーサ6が形成されるように逆エッチングする。このスペーサ6はポリシリコン構造物31を環状に囲んでいる。スペーサ6は製造すべき薄膜トランジスタのためのゲート電極となる(図4参照)。ゲート電極は n^+ 又は p^+ ドーブされたシリコンから形成してもよい。ドーパント濃度は有利には 10^{20} 原子/ cm^3 である。

【0024】

引続きスペーサ6の表面に薄い不活性化層7を備える。この薄い不活性化層7は例えばスペーサ6の表面の酸化により又は SiO_2 又は Si_3N_4 のCVD析出により例えば5~20nmの厚さに形成される(図5参照)。

40

【0025】

引続きこの構造物上に全面的に平坦化された絶縁層8を施す(図6参照)。それには例えば全面的に十分な厚さのCVDプラズマ酸化物を析出し、その後これを例えばレジスト及び逆エッチングにより又は電気化学的研磨法で平坦化する。平坦化の際に基板の表面に平行なポリシリコン構造物31の表面に配設されている誘電体層5の部分51は、後の注入時に散布用酸化物としてふさわしいように薄層化される。

【0026】

引続きフォトレジストマスク9の使用下に矢印10により示されている砒素又は燐の第1

50

のイオン注入を行う。その際ポリシリコン構造物 3 1 の側壁に沿って配設されている環状のソース領域 1 1 が注入される (図 7 参照) 。

【 0 0 2 7 】

フォトレジストマスク 9 の除去後もう 1 つのフォトレジストマスク 1 2 を形成する。このもう 1 つのフォトレジストマスク 1 2 の使用下に矢印 1 3 により示されているホウ素又は $B F_2$ イオンでの第 2 のイオン注入を実施する (図 8 参照) 。その際ポリシリコン構造物 3 1 の表面の環状のソース領域 1 1 の内側に p^+ ドープされた端子領域 1 4 が形成される。

【 0 0 2 8 】

引続きドーパントの活性化のために熱処理を行う。その際活性化されたソース領域 1 1 1 及び活性化された端子領域 1 4 1 が形成される (図 9 参照) 。

【 0 0 2 9 】

全面的に不活性化層 1 5 を施す。この不活性化層 1 5 は例えば $S i O_2 / S i_3 N_4$ 層として又は $S i O_2 /$ ホウ燐ケイ酸ガラスとして施される。

【 0 0 3 0 】

不活性化層 1 5 内に端子領域 1 4 1 及びソース領域 1 1 1 に対する接触孔並びにゲート電極として作動するスペーサ 6 に対する接触孔をエッチングする。接触孔を金属化物 1 6 で満たす (図 1 0 参照) 。その際端子領域 1 4 1 及びソース領域 1 1 1 は 1 つの共通した接触部により短絡される。

【 0 0 3 1 】

基板 1 は例えばガラスのような絶縁物質からなっても導電性物質又は半導体物質からなってもよい。3次元の回路配列にとって基板 1 の表面に基板 1 内に形成された薄膜トランジスタのドレイン領域と電気的に接続する必要のある回路素子用の接触部を備えると有利である。第 1 ポリシリコン層 2 を施すことによりこの種の接触部は薄膜トランジスタのドレイン領域と自己整合的に接続される。

【 0 0 3 2 】

本発明では例として n チャネルトランジスタについて記載した。本発明は p チャネルトランジスタにも同様に転用可能である。

【 図面の簡単な説明 】

【 図 1 】 第 1 ポリシリコン層及び第 2 ポリシリコン層を有する基板の断面図。

【 図 2 】 ポリシリコン構造物を形成するためのエッチング工程後の基板の断面図。

【 図 3 】 誘電体層を析出後の基板の断面図。

【 図 4 】 環状のゲート電極を形成した後の基板の断面図。

【 図 5 】 ゲート電極を不活性化後の基板の断面図。

【 図 6 】 絶縁層を全面的に施し、平坦化した後の基板の断面図。

【 図 7 】 環状のソース / ドレイン領域をポリシリコン構造物の側壁に沿って形成するための注入時の基板の断面図。

【 図 8 】 ポリシリコン構造物用の端子領域を形成するための別のマスクによる注入時の基板の断面図。

【 図 9 】 不活性化層を全面的に施した後の基板の断面図。

【 図 1 0 】 接触孔を開け、接触孔内に金属化部を形成した後の基板の断面図。

【 符号の説明 】

- 1 基板
- 2 第 1 ポリシリコン層
- 2 1 n + ドープされた領域
- 3 第 2 ポリシリコン層
- 3 1 ポリシリコン構造物
- 4 側壁
- 5 誘電体
- 6 スペーサ

10

20

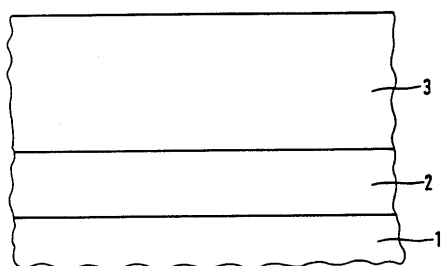
30

40

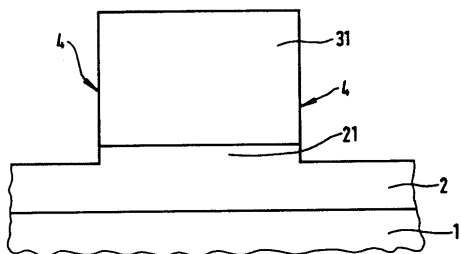
50

- 7、15 不活性化層
- 8 絶縁層
- 9 フォトレジストマスク
- 10 第1のイオン注入
- 11 ソース領域
- 111 ソース/ドレイン領域
- 12 もう1つのフォトレジストマスク
- 13 第2のイオン注入
- 14、141 端子領域
- 16 金属化物

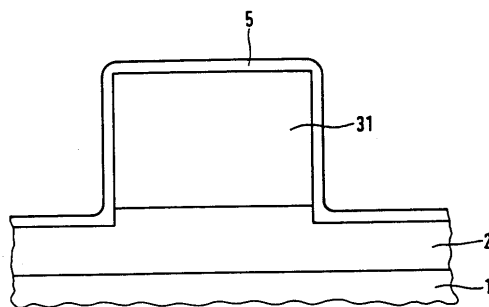
【図1】



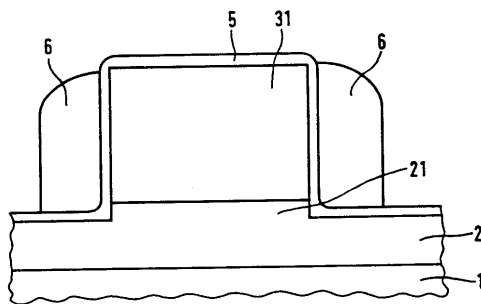
【図2】



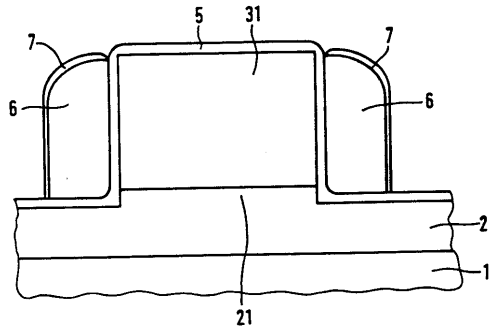
【図3】



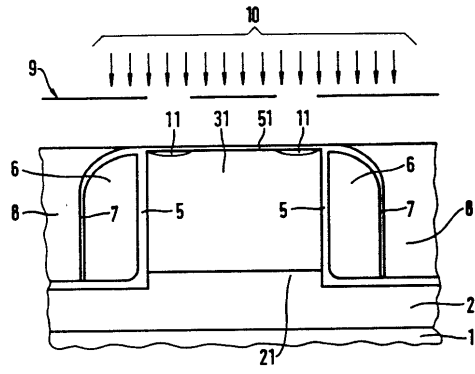
【図4】



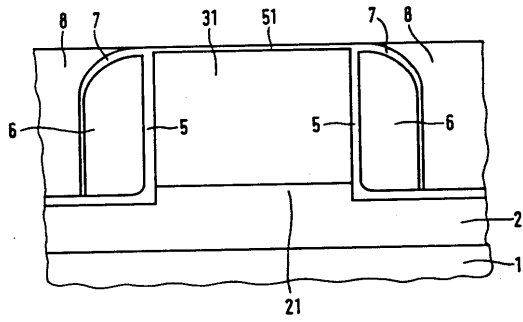
【 図 5 】



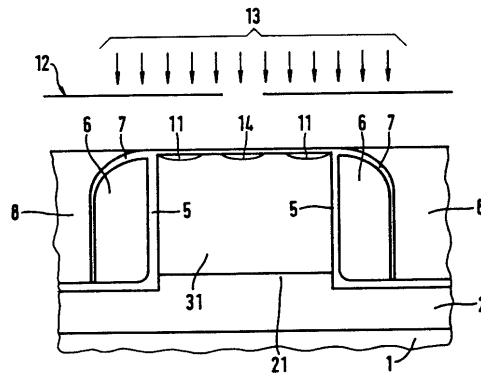
【 図 7 】



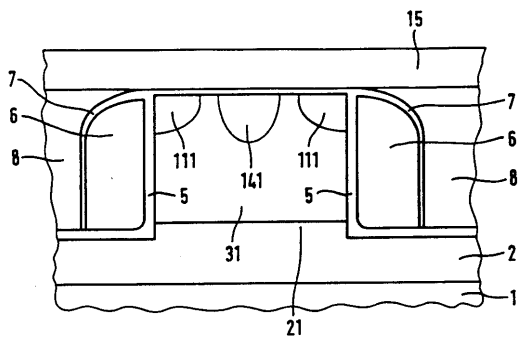
【 図 6 】



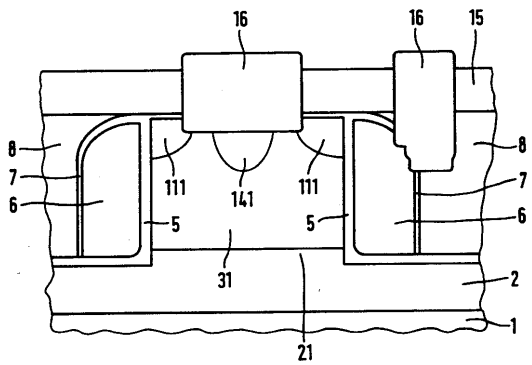
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(72)発明者 ウド シュワルケ

ドイツ連邦共和国 8 4 4 3 1 ヘルデンシュタイン ゲヴェルベシユトラーセ 2 2

審査官 棚田 一也

(56)参考文献 特開平05 - 102486 (JP, A)

特開平02 - 226773 (JP, A)

特開昭56 - 007481 (JP, A)

特開昭58 - 074067 (JP, A)

特開昭58 - 106872 (JP, A)

特開昭59 - 080969 (JP, A)

特開昭63 - 173372 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

H01L 29/786

H01L 21/306