

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7036552号
(P7036552)

(45)発行日 令和4年3月15日(2022.3.15)

(24)登録日 令和4年3月7日(2022.3.7)

(51)国際特許分類

F I

G 0 9 G	3/20 (2006.01)	G 0 9 G	3/20	6 2 3 R
H 0 1 L	29/786 (2006.01)	H 0 1 L	29/78	6 1 8 B
H 0 1 L	21/8234(2006.01)	H 0 1 L	27/088	E
H 0 1 L	27/088 (2006.01)	H 0 1 L	27/088	3 3 1 E
G 0 9 G	3/36 (2006.01)	G 0 9 G	3/20	6 2 3 E

請求項の数 1 (全59頁) 最終頁に続く

(21)出願番号 特願2017-159897(P2017-159897)
 (22)出願日 平成29年8月23日(2017.8.23)
 (65)公開番号 特開2018-36632(P2018-36632A)
 (43)公開日 平成30年3月8日(2018.3.8)
 審査請求日 令和2年8月20日(2020.8.20)
 (31)優先権主張番号 特願2016-167883(P2016-167883)
 (32)優先日 平成28年8月30日(2016.8.30)
 (33)優先権主張国・地域又は機関
 日本国(JP)

(73)特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷3 9 8 番地
 (72)発明者 藤田 雅史
 神奈川県厚木市長谷3 9 8 番地 株式会
 社半導体エネルギー研究所内
 審査官 斎藤 厚志

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

デコーダ回路と、増幅回路と、演算回路と、を有し、
 前記増幅回路は、第1のアンプと、第2のアンプと、を有し、
 前記第1のアンプ又は前記第2のアンプの一方は、前記第1のアンプ又は前記第2のア
 ンプの他方の出力を検査する機能を有し、
 前記デコーダ回路及び前記演算回路には、映像信号が入力され、
 前記映像信号は、デジタルデータであり、
 前記演算回路は、前記デジタルデータを格納する機能と、格納された前記デジタルデー
 タと前記検査の結果とに基づいて、前記第1のアンプ又は前記第2のアンプから出力される
 電位の誤差を算出する機能を有し、
 前記デコーダ回路は、前記デコーダ回路に入力された前記映像信号から前記電位の誤差を
 差し引くことにより、前記映像信号の補正を行う機能を有する半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置、表示装置及び電子機器に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明
 の一態様の技術分野としては、駆動回路、半導体装置、表示装置、発光装置、蓄電装置、

記憶装置、表示システム、表示モジュール、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又はそれらの製造方法、を一例として挙げるができる。

【0003】

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路、演算装置、駆動回路、記憶装置等は半導体装置の一態様である。また、表示装置、撮像装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、表示モジュール、及び電子機器は半導体装置を有している場合がある。

【背景技術】

【0004】

液晶表示装置や発光表示装置に代表されるフラットパネルディスプレイは、映像の表示に広く用いられている。これらの表示装置に用いられているトランジスタとしては主にシリコン半導体などが用いられているが、近年、シリコン半導体に代わって、半導体特性を示す金属酸化物をトランジスタに用いる技術が注目されている。例えば特許文献1、2には、半導体層に、酸化亜鉛、又はIn-Ga-Zn系酸化物を用いたトランジスタを、表示装置の画素に用いる技術が開示されている。

【先行技術文献】

【特許文献】

【0005】

【文献】特開2007-96055号公報

特開2007-123861号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の一態様は、新規な半導体装置又は表示装置の提供を課題とする。又は、本発明の一態様は、高品質な半導体装置又は表示装置の提供を課題とする。又は、本発明の一態様は、信頼性が高い半導体装置又は表示装置の提供を課題とする。又は、本発明の一態様は、映像信号のばらつきが低減された半導体装置又は表示装置の提供を課題とする。又は、本発明の一態様は、消費電力が低い半導体装置又は表示装置の提供を課題とする。

【0007】

なお、本発明の一態様は、必ずしも上記の課題の全てを解決する必要はなく、少なくとも一の課題を解決できるものであればよい。また、上記の課題の記載は、他の課題の存在を妨げるものではない。これら以外の課題は、明細書、特許請求の範囲、図面などの記載から、自ずと明らかとなるものであり、明細書、特許請求の範囲、図面などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0008】

本発明の一態様に係る半導体装置は、デコーダ回路と、増幅回路と、演算回路と、を有し、増幅回路は、第1のアンプと、第2のアンプと、を有し、第1のアンプ又は第2のアンプの一方は、第1のアンプ又は第2のアンプの他方の出力を検査する機能を有し、演算回路は、検査の結果に基づいて、第1のアンプ又は第2のアンプから出力される電位の誤差を算出する機能を有し、デコーダ回路は、デコーダ回路に入力された映像信号から電位の誤差を差し引くことにより、映像信号の補正を行う機能を有する半導体装置である。

【0009】

また、本発明の一態様に係る半導体装置において、第1のアンプは、第1のオペアンプを有し、第2のアンプは、第2のオペアンプと、第1のスイッチと、第2のスイッチと、を有し、第1のスイッチの第1の端子は、第2のオペアンプの反転入力端子と電氣的に接続され、第1のスイッチの第2の端子は、第2のオペアンプの出力端子と電氣的に接続され、第2のスイッチの第1の端子は、第2のオペアンプの反転入力端子と電氣的に接続され、第2のスイッチの第2の端子は、第1のオペアンプの出力端子と電氣的に接続され、第

10

20

30

40

50

2のオペアンプは、第1のオペアンプの出力の検査結果に対応する信号を、演算回路に出力する機能を有していてもよい。

【0010】

また、本発明の一態様に係る半導体装置において、第1のオペアンプの出力の検査は、第2のスイッチをオン状態とし、第2のオペアンプの非反転入力端子に供給される電位を徐々に変化させることにより行ってもよい。

【0011】

また、本発明の一態様に係る半導体装置において、第1のスイッチ及び第2のスイッチは、トランジスタによって構成され、トランジスタは、チャンネル形成領域に金属酸化物を含んでいてもよい。

【0012】

また、本発明の一態様に係る半導体装置において、映像信号はデジタルデータであり、演算回路は、デジタルデータを用いて電位の誤差を算出する機能を有していてもよい。

【0013】

また、本発明の一態様にかかる表示装置は、上記の半導体装置と、画素部と、を有し、画素部は、複数の画素を有し、半導体装置は、補正された映像信号に対応する電位を、画素に供給する機能を有する表示装置である。

【0014】

また、本発明の一態様に係る表示装置において、半導体装置は、DA変換回路を有し、DA変換回路は、選択回路と、電位生成回路と、を有し、電位生成回路は、選択回路に複数の参照電位を供給する機能を有し、参照電位の数は、画素に表示される階調の数よりも多くてもよい。

【0015】

また、本発明の一態様に係る表示装置は、半導体装置を用いた第1の駆動回路と、半導体装置を用いた第2の駆動回路と、を有し、画素部は、反射型の液晶素子を有する第1の画素と、発光素子を有する第2の画素と、を有し、第1の駆動回路は、第1の画素に映像信号を供給する機能を有し、第2の駆動回路は、第2の画素に映像信号を供給する機能を有し、第1の駆動回路が有する電位生成回路は、第1の電位を用いて参照電位を生成する機能を有し、第2の駆動回路が有する電位生成回路は、第2の電位を用いて参照電位を生成する機能を有し、検査を行う際に、第1の電位又は第2の電位の一方は、第1の電位又は第2の電位の他方に変更されてもよい。

【0016】

また、本発明の一態様にかかる電子機器は、上記の表示装置と、プロセッサと、を有し、プロセッサは、半導体装置において、画素部への映像信号の供給を行うか、検査を行うか、を選択する機能を有する電子機器である。

【発明の効果】

【0017】

本発明の一態様により、新規な半導体装置又は表示装置を提供することができる。又は、本発明の一態様により、高品質な半導体装置又は表示装置を提供することができる。又は、本発明の一態様により、信頼性が高い半導体装置又は表示装置を提供することができる。又は、本発明の一態様により、映像信号のばらつきが低減された半導体装置又は表示装置を提供することができる。又は、本発明の一態様により、消費電力が低い半導体装置又は表示装置を提供することができる。

【0018】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。これら以外の効果は、明細書、特許請求の範囲、図面などの記載から、自ずと明らかとなるものであり、明細書、特許請求の範囲、図面などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0019】

10

20

30

40

50

- 【図 1】表示装置の構成例を示す図。
- 【図 2】駆動回路の構成例を示す図。
- 【図 3】駆動回路の構成例を示す図。
- 【図 4】駆動回路の動作例を示す図。
- 【図 5】駆動回路の動作例を示す図。
- 【図 6】駆動回路の動作例を示す図。
- 【図 7】駆動回路の動作例を示す図。
- 【図 8】ラッチ回路の構成例を示す図。
- 【図 9】選択回路の構成例を示す図。
- 【図 10】電位生成回路の構成例を示す図。 10
- 【図 11】画素の構成例を示す図。
- 【図 12】画素の構成例を示す図。
- 【図 13】画素の構成例を示す図。
- 【図 14】画素の構成例を示す図。
- 【図 15】表示装置の構成例を示す図。
- 【図 16】表示装置の構成例を示す図。
- 【図 17】駆動回路の動作例を示す図。
- 【図 18】表示装置の構成例を示す図。
- 【図 19】表示装置の構成例を示す図。
- 【図 20】表示装置の構成例を示す図。 20
- 【図 21】表示装置の構成例を示す図。
- 【図 22】電極の構成例を示す図。
- 【図 23】画素の構成例を示す図。
- 【図 24】画素の構成例を示す図。
- 【図 25】表示モジュールの構成例を示す図。
- 【図 26】トランジスタの構成例を示す図。
- 【図 27】エネルギーバンド構造を示す図。
- 【図 28】表示システムの構成例を示す図。
- 【図 29】電子機器の構成例を示す図。
- 【図 30】電子機器の構成例を示す図。 30
- 【発明を実施するための形態】
- 【0020】
- 以下、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の実施の形態における説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。
- 【0021】
- また、本発明の一態様には、半導体装置、記憶装置、表示装置、撮像装置、RF (Radio Frequency) タグなど、あらゆる装置がその範疇に含まれる。また、表示装置には、液晶表示装置、有機発光素子に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD (Digital Micromirror Device)、PDP (Plasma Display Panel)、FED (Field Emission Display) などが、その範疇に含まれる。 40
- 【0022】
- また、本明細書等において、金属酸化物 (metal oxide) とは、広い表現での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む)、酸化物半導体 (Oxide Semiconductor または単に OS ともいう) などに分類される。例えば、トランジスタのチャネル形成領域に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも 1 つを有する場合、当該金属酸化物 50

を、金属酸化物半導体 (metal oxide semiconductor)、略して OS と呼ぶことができる。以下、チャネル形成領域に金属酸化物を含むトランジスタを、OS トランジスタとも表記する。

【0023】

また、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。金属酸化物の詳細については後述する。

【0024】

また、本明細書等において、X と Y とが接続されている、と明示的に記載されている場合は、X と Y とが電氣的に接続されている場合と、X と Y とが機能的に接続されている場合と、X と Y とが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも、図又は文章に記載されているものとする。ここで、X、Y は、対象物 (例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など) であるとする。

10

【0025】

X と Y とが直接的に接続されている場合の一例としては、X と Y との電氣的な接続を可能とする素子 (例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など) が、X と Y との間に接続されていない場合であり、X と Y との電氣的な接続を可能とする素子 (例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など) を介さずに、X と Y とが、接続されている場合である。

20

【0026】

X と Y とが電氣的に接続されている場合の一例としては、X と Y との電氣的な接続を可能とする素子 (例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など) が、X と Y との間に 1 個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態 (オン状態)、又は、非導通状態 (オフ状態) になり、電流を流すか流さないかを制御する機能を有している。又は、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、X と Y とが電氣的に接続されている場合は、X と Y とが直接的に接続されている場合を含むものとする。

30

【0027】

X と Y とが機能的に接続されている場合の一例としては、X と Y との機能的な接続を可能とする回路 (例えば、論理回路 (インバータ、NAND 回路、NOR 回路など)、信号変換回路 (DA 変換回路、AD 変換回路、ガンマ補正回路など)、電位レベル変換回路 (電源回路 (昇圧回路、降圧回路など)、信号の電位レベルを変えるレベルシフト回路など)、電圧源、電流源、切り替え回路、増幅回路 (信号振幅又は電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など)、信号生成回路、記憶回路、制御回路など) が、X と Y との間に 1 個以上接続されることが可能である。なお、一例として、X と Y との間に別の回路を挟んでいても、X から出力された信号が Y へ伝達される場合は、X と Y とは機能的に接続されているものとする。なお、X と Y とが機能的に接続されている場合は、X と Y とが直接的に接続されている場合と、X と Y とが電氣的に接続されている場合とを含むものとする。

40

【0028】

なお、X と Y とが電氣的に接続されている、と明示的に記載されている場合は、X と Y とが電氣的に接続されている場合 (つまり、X と Y との間に別の素子又は別の回路を挟んで接続されている場合) と、X と Y とが機能的に接続されている場合 (つまり、X と Y との間に別の回路を挟んで機能的に接続されている場合) と、X と Y とが直接接続されている場合 (つまり、X と Y との間に別の素子又は別の回路を挟まずに接続されている場合) とが、本明細書等に開示されているものとする。つまり、電氣的に接続されている、と明示

50

的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等を開示されているものとする。

【0029】

また、図面上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0030】

(実施の形態1)

本実施の形態では、本発明の一態様に係る駆動回路及び表示装置について説明する。

【0031】

<表示装置の構成例>

図1に、表示装置10の構成例を示す。表示装置10は、画素部20、駆動回路40、駆動回路50を有する。また、画素部20は複数の画素31を有する。

【0032】

画素部20は、映像を表示する機能を有する。画素31は表示素子を有し、所定の階調を表示する機能を有する。ここでは、画素部20がm列n行(m、nは2以上の整数)の画素31を有する場合について示す。第i列第j行(iは1以上m以下の整数、jは1以上n以下の整数)の画素31は、配線SL[i]及び配線GL[j]と接続されている。配線GL[1]乃至[n]は駆動回路40と接続され、配線SL[1]乃至[m]は駆動回路50と接続されている。画素31が所定の階調を表示することにより、画素部20に所定の映像が表示される。

【0033】

画素31に設けられる表示素子の例としては、液晶素子、発光素子などが挙げられる。液晶素子としては、透過型の液晶素子、反射型の液晶素子、半透過型の液晶素子などを用いることができる。また、表示素子として、シャッター方式のMEMS(Micro Electro Mechanical System)素子、光干渉方式のMEMS素子、マイクロカプセル方式、電気泳動方式、エレクトロウエット方式、電子粉流体(登録商標)方式等を適用した表示素子などを用いることもできる。

【0034】

また、発光素子の例としては、例えばOLED(Organic Light Emitting Diode)、LED(Light Emitting Diode)、QLED(Quantum-dot Light Emitting Diode)、半導体レーザーなどの、自発光性の発光素子が挙げられる。

【0035】

駆動回路40は、画素31を選択するための信号(以下、選択信号ともいう)を画素部20に供給する機能を有する。具体的には、駆動回路40は、配線GLに選択信号を供給する機能を有し、配線GLは、駆動回路40から出力された選択信号を伝える機能を有する。

【0036】

駆動回路50は、映像を表示するための信号(以下、映像信号ともいう)を生成して画素部20に供給する機能を有する。具体的には、駆動回路50は、配線SLに映像信号を供給する機能を有し、配線SLは、駆動回路50から出力された映像信号を伝える機能を有する。配線SLに供給された映像信号は、駆動回路40によって選択された画素31に書き込まれる。

【0037】

ここで、画素31にはOストランジスタを用いることが好ましい。金属酸化物は、シリコンなどの半導体よりもエネルギーギャップが大きく、少数キャリア密度を低くすることができるため、Oストランジスタのオフ電流は極めて小さくすることができる。そのため、

10

20

30

40

50

画素 3 1 に O S トランジスタを用いた場合、チャンネル形成領域にシリコンを有するトランジスタ（以下、S i トランジスタともいう）などを用いる場合と比較して、画素 3 1 に映像信号を長期間にわたって保持することができる。これにより、画素 3 1 への映像信号の書き込みの頻度を大幅に減らすことができ、消費電力を削減することができる。映像信号の書き込みの頻度は、例えば、1日に1回以上且つ1秒間に0.1回未満、好ましくは1時間に1回以上且つ1秒間に1回未満、より好ましくは30秒間に1回以上且つ1秒間に1回未満とすることができる。O S トランジスタを用いた画素 3 1 の回路構成の詳細については、実施の形態 2 において説明する。

【0038】

駆動回路 5 0 は、シフトレジスタ 5 1、デコーダ回路 5 2、レベルシフト回路 5 3、デジタルアナログ（D A）変換回路 5 4、増幅回路 5 5、演算回路 5 6 を有する。なお、駆動回路 5 0 は半導体装置によって構成することができる。従って、駆動回路 5 0 は半導体装置と呼ぶこともできる。

10

【0039】

シフトレジスタ 5 1 は、スタートパルス S P、クロック信号 C L K、リセット信号 R S T を用いてサンプリングパルスを生成する機能を有する。シフトレジスタ 5 1 によって生成されたサンプリングパルスは、デコーダ回路 5 2 に出力される。

【0040】

デコーダ回路 5 2 は、外部から入力された映像信号（データ S D）をデコードする機能を有する。具体的には、データ S D に基づいて、D A 変換回路 5 4 の動作を制御する制御信号を生成する機能を有する。デコーダ回路 5 2 によってデコードされた信号は、レベルシフト回路 5 3 に出力される。

20

【0041】

レベルシフト回路 5 3 は、デコーダ回路 5 2 から入力された信号のレベルを変換する機能を有する。具体的には、レベルシフト回路 5 3 は、デコーダ回路 5 2 から入力された電位を、D A 変換回路 5 4 の動作を制御するための電位に変換する機能を有する。D A 変換回路 5 4 の動作に負電位が用いられる場合、負電位はレベルシフト回路 5 3 によって生成される。

【0042】

D A 変換回路 5 4 は、データ S D に対応するアナログ信号を生成する機能を有する。具体的には、デジタル信号であるデータ S D を、アナログ値の電位に変換する機能を有する。D A 変換回路 5 4 の動作には、デコーダ回路 5 2 によってデコードされ、レベルシフト回路 5 3 によって変換されたデータ S D が用いられる。なお、D A 変換回路 5 4 には複数の参照電位 V R が供給される。

30

【0043】

増幅回路 5 5 は、D A 変換回路 5 4 によって生成された電位を増幅して、配線 S L に出力する機能を有する。増幅回路 5 5 から配線 S L に供給される電位が、画素 3 1 に供給される映像信号に対応する。

【0044】

ここで、駆動回路 5 0 に含まれる素子の特性などにばらつきがあると、駆動回路 5 0 から配線 S L に供給される映像信号のばらつきが生じ得る。そして、映像信号のばらつきは、画素部 2 0 に表示される映像のムラの原因となる。そのため、高品質な映像を表示するためには、映像信号のばらつき、すなわち配線 S L に供給される電位の期待値と実測値の差（以下、誤差電位ともいう）を抑えることが好ましい。

40

【0045】

本発明の一態様に係る駆動回路 5 0 は、増幅回路 5 5 から出力される信号を検査し、誤差電位を算出する機能を有する。そして、算出された誤差電位に基づいてデータ S D を補正することにより、配線 S L に供給される電位のばらつきを低減することができる。これにより、表示装置 1 0 の品質及び信頼性を向上させることができる。

【0046】

50

具体的には、駆動回路 50 は演算回路 56 を有する。演算回路 56 は、増幅回路 55 から入力された信号に基づいて、誤差電位を算出する機能を有する。そして、算出された誤差電位は、データ D o s としてデコーダ回路 52 に供給される。

【 0 0 4 7 】

デコーダ回路 52 は、データ D o s に基づいて、データ S D を補正する機能を有する。具体的には、デコーダ回路 52 はデータ S D から誤差電位を差し引く機能を有する。これにより、駆動回路 50 は誤差電位が相殺されたデータ S D に基づいて映像信号を生成することができ、配線 S L に供給される電位のばらつきを低減することができる。

【 0 0 4 8 】

< 駆動回路の構成例 >

次に、駆動回路の具体的な構成例について説明する。図 2 に、駆動回路 50 の構成例を示す。

【 0 0 4 9 】

シフトレジスタ 51 は、複数のレジスタ 110 を有する。レジスタ 110 はフリップフロップなどにより構成され、サンプリングパルスを生成してラッチ回路 120 に出力する機能を有する回路である。

【 0 0 5 0 】

デコーダ回路 52 は、複数のラッチ回路 120、複数のデコーダ 130 を有する。ラッチ回路 120 は、入力されたデータ S D を所定のタイミングで格納し、デコーダ 130 に出力する機能を有する回路である。ラッチ回路 120 から信号が出力されるタイミングは、レジスタ 110 から入力されるサンプリングパルスによって制御される。デコーダ 130 は、ラッチ回路 120 から入力された信号を、選択回路 160 の動作を制御する制御信号に変換する機能を有する回路である。

【 0 0 5 1 】

レベルシフト回路 53 は、複数のラッチ回路 140、複数のレベルシフト 150 を有する。ラッチ回路 140 は、入力された信号を所定のタイミングで格納し、レベルシフト 150 に出力する機能を有する回路である。ラッチ回路 140 から信号が出力されるタイミングは、信号 L S によって制御される。レベルシフト 150 は、ラッチ回路 140 から入力された電位を、選択回路 160 の動作を制御するために必要な電位に変換する機能を有する回路である。

【 0 0 5 2 】

D A 変換回路 54 は、複数の選択回路 160、電位生成回路 170 を有する。選択回路 160 は、デコーダ 130 及びレベルシフト 150 によって生成された制御信号に基づいて、データ S D に対応する電位を出力する機能を有する回路である。電位生成回路 170 は、参照電位 V R を用いて、選択回路 160 に供給される参照電位 V r e f を生成する機能を有する回路である。選択回路 160 は、レベルシフト 150 から入力された制御信号に基づいて一の参照電位 V r e f を選択し、アンプ 180 に出力する。すなわち、選択回路 160 は、データ S D を用いて生成された制御信号に基づいて所定の電位（アナログ値）を出力する機能を有する。これにより、映像信号の D A 変換が行われる。

【 0 0 5 3 】

増幅回路 55 は、複数のアンプ 180 を有する。アンプ 180 は、選択回路 160 から入力された電位を増幅して、配線 S L に供給する機能を有する回路である。

【 0 0 5 4 】

レジスタ 110、ラッチ回路 120、デコーダ 130、ラッチ回路 140、レベルシフト 150、選択回路 160、アンプ 180 は、それぞれ配線 S L と同数設けられている。以下、一の配線 S L に供給する映像信号を生成する回路の組を、ライン L と呼ぶ。すなわち、駆動回路 50 には配線 S L と同数のライン L が設けられている。ライン L は、レジスタ 110、ラッチ回路 120、デコーダ 130、ラッチ回路 140、レベルシフト 150、選択回路 160、アンプ 180 によって構成されている。

【 0 0 5 5 】

10

20

30

40

50

ここで、本発明の一態様に係るアンプ180は、他のアンプ180の出力を検査し、検査の結果に対応する信号を演算回路56に出力する機能を有する。そして、演算回路56は、アンプ180から入力された信号、及びデータSDを用いて、アンプ180から配線SLに供給される誤差電位を算出し、データD_{os}としてラッチ回路120に出力する。データD_{os}が入力されたラッチ回路120は、データSDから誤差電位を差し引いたデータSD'を生成して、デコーダ130に出力する。このように、誤差電位に応じてデータSDを補正することにより、配線SLに供給される電位のばらつきを抑えることができる。アンプ180の具体的な構成例及び動作例について、以下説明する。

【0056】

<アンプの構成例>

図3に、駆動回路50が有するアンプ180の具体的な構成例を示す。ここでは、ラインL[x-2]乃至[x](xは3以上m以下の整数)に属するアンプ180(180[x-2]乃至[x])を示しているが、他のアンプ180も同様の構成とすることができる。

【0057】

アンプ180は、オペアンプOP、スイッチSW1、スイッチSW2、スイッチSW3、バッファBUFを有する。オペアンプOPの非反転入力端子は選択回路160と接続され、出力端子は配線SLと接続されている。スイッチSW1の第1の端子はオペアンプOPの反転入力端子と接続され、第2の端子はオペアンプOPの出力端子と接続されている。スイッチSW2の第1の端子はオペアンプOPの反転入力端子と接続され、第2の端子は他のアンプ180のオペアンプOPの出力端子と接続されている。スイッチSW3の第1の端子はバッファBUFの入力端子と接続され、第2の端子は他のアンプ180のオペアンプOPの出力端子と接続されている。バッファBUFの出力端子は演算回路56と接続されている。

【0058】

図3においては、アンプ180[x-2]のスイッチSW2、SW3の第2の端子は、アンプ180[x]のオペアンプOPの出力端子と接続され、アンプ180[x-1]のスイッチSW2、SW3の第2の端子は、アンプ180[x-2]のオペアンプOPの出力端子と接続され、アンプ180[x]のスイッチSW2、SW3の第2の端子は、アンプ180[x-1]のオペアンプOPの出力端子と接続されている。アンプ180[x-2]乃至[x]が有するオペアンプOPを、それぞれオペアンプOP[x-2]乃至[x]と表記する。

【0059】

ラインL[x-2]乃至[x]にはそれぞれデータSD[x-2]乃至[x]が入力される。また、ラインL[x-2]乃至[x]に属する選択回路160はそれぞれ、データSD[x-2]乃至[x]に対応する電位V_{in}[x-2]乃至[x]を出力する。そして、オペアンプOP[x-2]乃至[x]はそれぞれ、電位V_{in}[x-2]乃至[x]を入力電位として、電位V_{out}[x-2]乃至[x]を出力する。

【0060】

アンプ180を通常動作させる際は、図3に示すように、スイッチSW1をオン状態、スイッチSW2、SW3をオフ状態とする。これにより、オペアンプOPはボルテージフォロワを構成し、電位V_{in}を増幅して配線SLに出力することができる。

【0061】

また、アンプ180はそれぞれ、他のアンプ180の出力を検査する機能を有する。図3においては、アンプ180[x-1]はアンプ180[x-2]の出力を検査する機能を有し、アンプ180[x]はアンプ180[x-1]の出力を検査する機能を有し、アンプ180[x-2]はアンプ180[x]の出力を検査する機能を有する。検査の結果に対応する信号は、アンプ180からバッファBUFを介して演算回路56に出力される。

【0062】

演算回路56は、バッファBUFから入力された信号とデータSDに基づいて、アンプ180[x-2]乃至[x]の出力の誤差電位を算出し、これをデータD_{os}[x-2]乃至[x]

10

20

30

40

50

至 $[x]$ としてライン $L[x-2]$ 乃至 $[x]$ に属するラッチ回路 120 に出力する機能を有する。そして、ラッチ回路 120 は、データ SD からデータ Dos を差し引いたデータ SD' をデコーダ 130 (図示せず) に出力する。これにより、誤差電位が相殺された映像信号を生成することができる。

【0063】

なお、アンプ 180 が通常動作をしている期間は、演算回路 56 による演算やデータ Dos の出力は行われない。そのため、この期間において演算回路 56 への電力の供給を停止することが好ましい。これにより、駆動回路 50 の消費電力を削減することができる。

【0064】

スイッチ $SW1$ 、 $SW2$ 、 $SW3$ は、トランジスタ又はアナログスイッチなどによって構成することができる。ここで、スイッチ $SW1$ 、 $SW2$ として、特に OST トランジスタを用いることが好ましい。この場合、スイッチ $SW1$ 、 $SW2$ のオフ電流を極めて小さくすることができるため、オペアンプ OP の反転入力端子に入力される電位の変動を極めて小さく抑えることができる。これにより、アンプ 180 の出力の検査の精度を向上させることができる。

10

【0065】

バッファ BUF は、演算回路 56 に出力される信号のレベルをシフトさせる機能を有してもよい。これにより、スイッチ $SW3$ を介して出力される信号を、演算回路 56 における演算に用いられる信号に変換することができる。

【0066】

<アンプの動作例>

次に、誤差電位の算出及び映像信号の補正を行う際の、アンプ 180 の具体的な動作例について説明する。ここでは一例として、3つのアンプ 180 $[x-2]$ 乃至 $[x]$ の出力を検査することにより、データ $Dos[x-2]$ 乃至 $[x]$ を算出する場合について説明する。

20

【0067】

[検査動作1]

図4は、アンプ 180 $[x-2]$ の出力を、アンプ 180 $[x-1]$ を用いて検査する際の動作例を示す。アンプ 180 $[x-2]$ の出力の検査する際、アンプ 180 $[x-2]$ のスイッチ $SW1$ はオン状態、スイッチ $SW2$ 、 $SW3$ はオフ状態であり、アンプ 180 $[x-1]$ のスイッチ $SW2$ はオン状態、スイッチ $SW1$ 、 $SW3$ はオフ状態であり、アンプ 180 $[x]$ のスイッチ $SW1$ 、 $SW3$ はオン状態、スイッチ $SW2$ はオフ状態である。

30

【0068】

まず、ライン $L[x-2]$ において、ラッチ回路 120 にデータ $SD[x-2]$ が入力され、選択回路 160 からアンプ 180 $[x-2]$ にデータ $SD[x-2]$ のアナログ値に対応する電位 $Vin[x-2]$ が入力される。また、ライン $L[x-1]$ において、ラッチ回路 120 にデータ $SD[x-1]$ が入力され、選択回路 160 からアンプ 180 $[x-1]$ にデータ $SD[x-1]$ のアナログ値に対応する電位 $Vin[x-1]$ が入力される。

40

【0069】

オペアンプ $OP[x-2]$ は、電位 $Vin[x-2]$ を入力電位として、電位 $Vout[x-2]$ を出力する。そして、電位 $Vout[x-2]$ は、オペアンプ $OP[x-1]$ の反転入力端子に入力される。

【0070】

ここで、オペアンプ $OP[x-2]$ はボルテージフォロワを構成している。よって、電位 $Vin[x-2]$ と電位 $Vout[x-2]$ の関係は、理想的には $Vin[x-2] = 電位 Vout[x-2]$ となる。しかしながら、オペアンプ $OP[x-2]$ に含まれる素子の特性などの影響により、オペアンプ $OP[x-2]$ の出力が電位 $Vin[x-2]$ からずれ、電位 $Vout$ の期待値と実測値に差が生じる場合がある(オペアンプ OP の出力電

50

位の期待値と実測値の差は、誤差電位に相当する)。オペアンプOP[x-2]の誤差電位 $V_{os}[x-2]$ を考慮すると、電位 $V_{out}[x-2]$ は以下の式で表される。

【0071】

【数1】

$$V_{out}[x-2] = V_{in}[x-2] + V_{os}[x-2] \dots (1)$$

【0072】

次に、ラインL[x-1]にされるデータSD[x-1]を変化させる。具体的には、データSD[x-1]として、データSD[x-2]の周辺まで徐々に変化する信号を順次する。これにより、電位 $V_{in}[x-1]$ が電位 $V_{in}[x-2]$ の周辺まで徐々に上昇する。そして、電位 $V_{in}[x-1]$ が電位 $V_{out}[x-2]$ に達すると、オペアンプOP[x-1]の出力はローレベルからハイレベルになる。このときの電位 $V_{in}[x-1]$ を、電位 $V_{in}(+)[x-1]$ とする。

10

【0073】

ここで、電位 $V_{in}(+)[x-1]$ は、電位 $V_{out}[x-2]$ にオペアンプOP[x-1]の誤差電位 $V_{os}[x-1]$ が付加された電位である。よって、電位 $V_{in}(+)[x-1]$ は以下の式で表される。

【0074】

【数2】

$$V_{in}(+)[x-1] = V_{in}[x-2] + V_{os}[x-2] + V_{os}[x-1] \dots (2)$$

20

【0075】

オペアンプOP[x-1]の出力は、オペアンプOP[x-2]の出力の検査結果に対応し、アンプ180[x]のスイッチSW3、バッファBUFを介して、演算回路56に入力される。また、演算回路56は、データSD[x-2]と、オペアンプOP[x-1]の出力がローレベルからハイレベルになったときのデータSD[x-1]、すなわちデータSD(+)[x-1]を格納する。ここで、データSD[x-2]、データSD(+)[x-1]はそれぞれ、電位 $V_{in}[x-2]$ 、電位 $V_{in}(+)[x-1]$ に対応するデジタル値である。よって、演算回路56は、データSD[x-2]、データSD(+)[x-1]から、式(2)における電位 $V_{in}[x-2]$ と電位 $V_{in}(+)[x-1]$ の組を得ることができる。

30

【0076】

以上のように、アンプ180[x-2]の出力をアンプ180[x-1]を用いて検査することにより、式(2)に示す誤差電位 $V_{os}[x-2]$ と誤差電位 $V_{os}[x-1]$ の関係を得ることができる。

【0077】

なお、ここでは電位 $V_{in}[x-1]$ を徐々に上昇させることによって検査を行う場合について説明したが、電位 $V_{in}[x-1]$ を電位 $V_{in}[x-2]$ の周辺まで徐々に下降させてもよい。この場合、オペアンプOP[x-1]の出力がハイレベルからローレベルになったときの電位 $V_{in}[x-1]$ が、電位 $V_{in}(+)[x-1]$ に相当する。

40

【0078】

[検査動作2]

図5は、アンプ180[x-1]の出力を、アンプ180[x]を用いて検査する際の動作例を示す。アンプ180[x-1]の出力の検査する際、アンプ180[x-1]のスイッチSW1はオン状態、スイッチSW2、SW3はオフ状態であり、アンプ180[x]のスイッチSW2はオン状態、スイッチSW1、SW3はオフ状態であり、アンプ180[x-2]のスイッチSW1、SW3はオン状態、スイッチSW2はオフ状態である。

【0079】

50

まず、ラインL[x-1]において、ラッチ回路120にデータSD[x-1]が入力され、選択回路160からアンプ180[x-1]にデータSD[x-1]のアナログ値に対応する電位Vin[x-1]が入力される。また、ラインL[x]において、ラッチ回路120にデータSD[x]が入力され、選択回路160からアンプ180[x]にデータSD[x]のアナログ値に対応する電位Vin[x]が入力される。

【0080】

オペアンプOP[x-1]は、電位Vin[x-1]を入力電位として、電位Vout[x-1]を出力する。そして、電位Vout[x-1]は、オペアンプOP[x]の反転入力端子に入力される。オペアンプOP[x-1]のオフセット電位Vos[x-1]を考慮すると、電位Vout[x-1]は以下の式で表される。

10

【0081】

【数3】

$$V_{out}[x-1] = V_{in}[x-1] + V_{os}[x-1] \dots (3)$$

【0082】

次に、ラインL[x]に入力されるデータSD[x]を変化させる。具体的には、データSD[x]として、データSD[x-1]の周辺まで徐々に変化する信号を順次入力する。これにより、電位Vin[x]が電位Vin[x-1]の周辺まで徐々に上昇する。そして、電位Vin[x]が電位Vout[x-1]に達すると、オペアンプOP[x]の出力はローレベルからハイレベルになる。このときの電位Vin[x]を、電位Vin(+)[x]とする。

20

【0083】

ここで、電位Vin(+)[x]は、電位Vout[x-1]にオペアンプOP[x]のオフセット電位Vos[x]が付加された電位である。よって、電位Vin(+)[x]は以下の式で表される。

【0084】

【数4】

$$V_{in}(+)[x] = V_{in}[x-1] + V_{os}[x-1] + V_{os}[x] \dots (4)$$

30

【0085】

オペアンプOP[x]の出力は、オペアンプOP[x-1]の出力の検査結果に対応し、アンプ180[x-2]のスイッチSW3、バッファBUFを介して、演算回路56に入力される。そして、演算回路56は、データSD[x-1]と、オペアンプOP[x]の出力がローレベルからハイレベルになったときのデータSD[x]、すなわちデータSD(+)[x]を格納する。ここで、データSD[x-1]、データSD(+)[x]はそれぞれ、電位Vin[x-1]、電位Vin(+)[x]に対応するデジタル値である。よって、演算回路56は、データSD[x-1]、データSD(+)[x]から、式(4)における電位Vin[x-1]と電位Vin(+)[x]の組を得ることができる。

40

【0086】

以上のように、アンプ180[x-1]の出力をアンプ180[x]を用いて検査することにより、式(4)に示す誤差電位Vos[x-1]と誤差電位Vos[x]の関係を求めることができる。

【0087】

[検査動作3]

図6は、アンプ180[x]の出力を、アンプ180[x-2]を用いて検査する際の動作例を示す。アンプ180[x]の出力の検査する際、アンプ180[x]のスイッチSW1はオン状態、スイッチSW2、SW3はオフ状態であり、アンプ180[x-2]のスイッチSW2はオン状態、スイッチSW1、SW3はオフ状態であり、アンプ180[x]

50

$x - 1$]のスイッチSW1、SW3はオン状態、スイッチSW2はオフ状態である。

【0088】

まず、ラインL[x]において、ラッチ回路120にデータSD[x]が入力され、選択回路160からアンプ180[x]にデータSD[x]のアナログ値に対応する電位 $V_{in}[x]$ が入力される。また、ラインL[$x - 2$]において、ラッチ回路120にデータSD[$x - 2$]が入力され、選択回路160からアンプ180[$x - 2$]にデータSD[$x - 2$]のアナログ値に対応する電位 $V_{in}[x - 2]$ が入力される。

【0089】

オペアンプOP[x]は、電位 $V_{in}[x]$ を入力電位として、電位 $V_{out}[x]$ を出力する。そして、電位 $V_{out}[x]$ は、オペアンプOP[$x - 2$]の反転入力端子に入力される。オペアンプOP[x]の誤差電位 $V_{os}[x]$ を考慮すると、電位 $V_{out}[x]$ は以下の式で表される。

10

【0090】

【数5】

$$V_{out}[x] = V_{in}[x] + V_{os}[x] \dots (5)$$

【0091】

次に、ラインL[$x - 2$]に入力されるデータSD[$x - 2$]を変化させる。具体的には、データSD[$x - 2$]として、データSD[x]の周辺まで徐々に変化する信号を順次入力する。これにより、電位 $V_{in}[x - 2]$ が電位 $V_{in}[x]$ の周辺まで徐々に上昇する。そして、電位 $V_{in}[x - 2]$ が電位 $V_{out}[x]$ に達すると、オペアンプOP[$x - 2$]の出力はローレベルからハイレベルになる。このときの電位 $V_{in}[x - 2]$ を、電位 $V_{in}(+)[x - 2]$ とする。

20

【0092】

ここで、電位 $V_{in}(+)[x - 2]$ は、電位 $V_{out}[x]$ にオペアンプOP[$x - 2$]の誤差電位 $V_{os}[x - 2]$ が付加された電位である。よって、電位 $V_{in}(+)[x - 2]$ は以下の式で表される。

【0093】

【数6】

$$V_{in}(+)[x - 2] = V_{in}[x] + V_{os}[x] + V_{os}[x - 2] \dots (6)$$

30

【0094】

オペアンプOP[$x - 2$]の出力は、オペアンプOP[x]の出力の検査結果に対応し、アンプ180[$x - 1$]のスイッチSW3、バッファBUFを介して、演算回路56に入力される。そして、演算回路56は、データSD[x]と、オペアンプOP[$x - 2$]の出力がローレベルからハイレベルになったときのデータSD[$x - 2$]、すなわちデータSD(+)[$x - 2$]を格納する。ここで、データSD[x]、データSD(+)[$x - 2$]はそれぞれ、電位 $V_{in}[x]$ 、電位 $V_{in}(+)[x - 2]$ に対応するデジタル値である。よって、演算回路56は、データSD[x]、データSD(+)[$x - 2$]から、式(6)における電位 $V_{in}[x]$ と電位 $V_{in}(+)[x - 2]$ の組を得ることができる。

40

【0095】

以上のように、アンプ180[x]の出力をアンプ180[$x - 2$]を用いて検査することにより、式(6)に示す誤差電位 $V_{os}[x - 2]$ と誤差電位 $V_{os}[x]$ の関係を得ることができる。

【0096】

[補正動作]

図7は、演算回路56によってオフセット誤差が算出され、誤差電位に基づいて映像信号

50

が補正される際の動作例を示す。

【0097】

上記の検査動作1乃至3により、式(2)、(4)、(6)の関係を得ることができる。ここで、式(2)、(4)、(6)は、 $Vos[x]$ 、 $Vos[x-1]$ 、 $Vos[x-2]$ を未知数とした3元連立方程式を構成している。演算回路56は、式(2)、(4)、(6)の関係から、誤差電位 $Vos[x]$ 、 $Vos[x-1]$ 、 $Vos[x-2]$ を算出する機能を有する。なお、誤差電位の算出には、上記の検査動作1乃至3によって演算回路56に格納されたデジタルデータ($SD[x-2]$ 、 $SD[x-1]$ 、 $SD[x]$ 、 $SD(+)[x-2]$ 、 $SD(+)[x-1]$ 、 $SD(+)[x]$)が用いられる。演算回路56によって算出された誤差電位 $Vos[x]$ 、 $Vos[x-1]$ 、 $Vos[x-2]$ の値は、それぞれデータ $Dos[x-2]$ 、 $Dos[x-1]$ 、 $Dos[x]$ としてラッチ回路120に供給される。

10

【0098】

ラッチ回路120は、入力されたデータSDから誤差電位を差し引いて、データSD'を生成する。具体的には、ラインL[x-2]のラッチ回路120は、データSD[x-2]からデータDos[x-2]を差し引いたデータSD'[x-2]を、ラインL[x-1]のラッチ回路120は、データSD[x-1]からデータDos[x-1]を差し引いたデータSD'[x-1]を、ラインL[x]のラッチ回路120は、データSD[x]からデータDos[x]を差し引いたデータSD'[x]を、それぞれデコーダ130(図示せず)に出力する。そして、ラインLはデータSD'に基づいてアナログ電位を生成し、配線SLに供給する。これにより、駆動回路50は、アンプ180の特性のばらつきに寄らず、所望の映像信号を配線SLに供給することができる。よって、高品質で信頼性が高い表示装置を実現することができる。

20

【0099】

なお、ここでは3つのアンプ180のセットを用いて誤差電位を算出する場合について説明したが、誤差電位の算出に用いるアンプ180の数はこれに限定されない。

【0100】

<ラッチ回路の構成例>

次に、ラッチ回路120の構成例について説明する。ラッチ回路120は、データSDから誤差電位を差し引く機能を有する。図8(A)に、ラッチ回路120の構成例を示す。

30

【0101】

ラッチ回路120は、減算回路121、複数のフリップフロップFFを有する。減算回路121にはデータSD、データDosが入力され、フリップフロップFFには、減算回路121によって生成されたデータSD'、レジスタ110によって生成されたサンプリングパルスが入力される。

【0102】

減算回路121は、減算を行う機能を有する。減算回路121にデータSD、データDosが入力されると、減算回路121は、データSDからデータDosを差し引き、データSD'としてフリップフロップFFに出力する。フリップフロップFFは、減算回路121から入力されたデータSD'を所定のタイミングで格納し、デコーダ130に出力する機能を有する。データSD'が出力されるタイミングは、レジスタ110によって生成されたサンプリングパルスによって制御される。

40

【0103】

図8(B)に、減算回路121の構成例を示す。減算回路121は、加算器122、インバータ123を有する。なお、ここでは一例として、4ビットのデータA[3:0]と4ビットのデータB[3:0]の減算を行うことにより、データA'[3:0]を得る場合について説明する。この場合、減算回路121には加算器122とインバータ123がそれぞれ4つずつ設けられる。

【0104】

加算器122には、データAと、データBの反転信号が入力される。デジタルデータの演

50

算においては、 $A - B = A + B \bar{b} + 1$ ($B \bar{b}$ はBの反転信号)と表すことができる。そのため、加算器122にデータAとデータ $B \bar{b}$ を入力することにより、データAからデータBを差し引いたデータ A' を得ることができる。

【0105】

加算器122は例えば、図8(C)に示すように、2つのXOR回路と、2つのAND回路と、1つのOR回路から構成することができる。ここで、A、Bは入力データであり、 A' は出力データである。また、データ C_{in} は下位の桁からの繰り上がりに対応するデータであり、データ C_{out} は、 $A + B + C_{in}$ の繰り上がりに対応するデータである。

【0106】

以上のように、ラッチ回路120に減算回路121を設けることにより、データSDからデータ D_{os} を差し引き、誤差電位を相殺することができる。

10

【0107】

<DA変換回路の構成例>

次に、DA変換回路54の構成例について説明する。DA変換回路54は、選択回路160、電位生成回路170を有する。

【0108】

[選択回路]

図9に選択回路160の構成例を示す。選択回路160は、レベルシフタ150から入力された制御信号に基づいて、データSDに対応する電位を出力する機能を有する回路である。ここでは一例として、レベルシフタ150から信号 $P[0]$ 乃至 $[6]$ とその反転信号 $P\bar{B}[0]$ 乃至 $[6]$ 、及び信号 $P\bar{B}[7]$ が制御信号として入力され、電位生成回路170から256種類の参照電位 V_{ref} ($V_{ref}[0]$ 乃至 $[255]$)が入力される場合について説明する。ただし、レベルシフタ150から入力される制御信号の数、及び電位生成回路170から入力される電位の数、画素が表示する階調の数に応じて適宜設定することができる。なお、電位生成回路170から入力される電位は、 $V_{ref}[0]$ が最も低く、 $V_{ref}[0]$ から $V_{ref}[255]$ まで順に高くなる電位であるとする。

20

【0109】

選択回路160は、pチャネル型トランジスタによって構成される回路161Pと、nチャネル型トランジスタによって構成される回路161Nを有する。参照電位 $V_{ref}[0]$ 乃至 $[127]$ は回路161Nに入力され、参照電位 $V_{ref}[128]$ 乃至 $[255]$ は回路161Pに入力される。選択回路160は、レベルシフタ150から入力された制御信号に基づいて、参照電位 $V_{ref}[0]$ 乃至 $[255]$ からいずれかの電位を選択して、アンプ180に出力する機能を有する。これにより、データSDに対応する電位(アナログ値)がアンプ180に出力される。

30

【0110】

ここで、選択回路160に参照電位 $V_{ref}[0]$ 乃至 $[255]$ が入力される場合、配線SLには256種類の電位を供給することができるため、画素は256種類の階調を表示することができる。しかしながら、データSDの補正を行う場合(図7参照)、補正後のデータSDに対応する電位が、参照電位 $V_{ref}[0]$ よりも低い電位、又は参照電位 $V_{ref}[255]$ よりも高い電位となり得る。そのため、選択回路160には、 $V_{ref}[0]$ よりも低い参照電位(ここでは $V_{ref}'[0]$ 、 $[1]$)と、 $V_{ref}[255]$ よりも高い参照電位(ここでは $V_{ref}'[2]$ 、 $[3]$)を供給することが好ましい。これにより、補正されたデータSDに対応する電位をアンプ180に出力することができる。

40

【0111】

制御信号Q、 $Q\bar{B}$ 、 $P\bar{B}[7]$ によって、回路161P及び回路161Nが有するトランジスタの導通状態が制御され、参照電位 $V_{ref}'[0]$ 乃至 $[3]$ のうちいずれか一が選択される。そして、選択された参照電位 V_{ref}' はアンプ180に出力される。なお、制御信号 $Q\bar{B}$ は制御信号Qの反転信号である。

50

【0112】

アンプ180に参照電位 V_{ref} を出力するか参照電位 V_{ref}' を出力するかの選択は、制御信号SEL、SELBを用いてアナログスイッチAS1、AS2の導通状態を制御することにより行うことができる。具体的には、制御信号SEL、SELBによってアナログスイッチAS1がオン状態、アナログスイッチAS2がオフ状態に制御されると、参照電位 $V_{ref}[0]$ 乃至[255]のうちいずれかーがアンプ180に出力される。一方、制御信号SEL、SELBによってアナログスイッチAS1がオフ状態、アナログスイッチAS2がオン状態に制御されると、参照電位 $V_{ref}'[0]$ 乃至[3]のうちいずれかーがアンプ180に出力される。なお、制御信号SELBは制御信号SELの反転信号である。

10

【0113】

以上のように、選択回路160に入力される参照電位の数を、画素に表示される階調の数よりも多くすることにより、映像信号の補正を正確に行うことができる。

【0114】

[電位生成回路]

図10に、電位生成回路170の構成例を示す。電位生成回路170は、参照電位VRを用いて、選択回路160に供給される参照電位 V_{ref} を生成する機能を有する回路である。ここでは、参照電位VR[0]乃至[8]から参照電位 $V_{ref}[0]$ 乃至[255]が生成される例を示しているが、参照電位VRの数は生成する参照電位 V_{ref} の数に応じて適宜設定される。

20

【0115】

参照電位VR[0]乃至[8]はそれぞれ選択回路160に供給され、参照電位 V_{ref} として用いられる。図10における参照電位VR[0]乃至[8]はそれぞれ、参照電位 $V_{ref}[0]$ 、[32]、[64]、[96]、[128]、[160]、[192]、[224]、[255]として用いられる。また、参照電位VR[0]乃至[8]が供給される配線の間には、直列に接続された抵抗Rが設けられている。隣接する2つの参照電位VRの差を抵抗Rによって分割することにより、2つの参照電位VRの間の電位を生成し、これらの電位を、上記の9種類以外の参照電位 V_{ref} として用いることができる。このようにして、参照電位 $V_{ref}[0]$ 乃至[255]を生成することができる。なお、抵抗Rの数は、生成される参照電位 V_{ref} の数に応じて設定される。

30

【0116】

また、電位生成回路170には、VR[0]よりも低い参照電位(ここではVR'[0])と、VR[8]よりも高い参照電位(ここではVR'[1])が供給される。参照電位VR'[0]、[1]はそれぞれ、参照電位 $V_{ref}'[0]$ 、[3]として用いられる。また、抵抗Rによって、参照電位 $V_{ref}'[0]$ と参照電位 $V_{ref}[0]$ の間の参照電位 $V_{ref}'[1]$ と、参照電位 $V_{ref}'[3]$ と参照電位 $V_{ref}[255]$ の間の参照電位 $V_{ref}'[2]$ と、が生成される。

【0117】

以上の通り、本発明の一態様は、増幅回路55を用いて配線SLに供給される映像信号を検査し、演算回路56を用いて誤差電位を算出することができる。また、本発明の一態様は、算出された誤差電位に基づいて映像信号を補正することにより、映像信号の誤差電位を相殺することができる。これにより、画素部20に表示される映像のムラを低減し、高品質で信頼性が高い表示装置を実現することができる。さらに、本発明の一態様は、アンプ180がデータSDに対応する電位を正しく出力しているかを、別途テスト回路を用いることなく検査することができる。

40

【0118】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【0119】

(実施の形態2)

本実施の形態では、上記実施の形態で説明した画素の構成例について説明する。

50

【 0 1 2 0 】

< 構成例 1 >

図 1 1 (A) に、発光素子を用いた画素の構成例を示す。図 1 1 (A) に示す画素 3 1 は、トランジスタ $T r 1 1$ 乃至 $T r 1 3$ 、発光素子 2 1 0、容量素子 $C 1$ を有する。なお、ここでは、トランジスタ $T r 1 1$ 乃至 $T r 1 3$ を n チャネル型としているが、 $T r 1 1$ 乃至 $T r 1 3$ はそれぞれ p チャネル型であってもよい。

【 0 1 2 1 】

トランジスタ $T r 1 1$ のゲートは配線 $G L$ と接続され、ソース又はドレインの一方はトランジスタ $T r 1 2$ のゲート、及び容量素子 $C 1$ の一方の電極と接続され、ソース又はドレインの他方は配線 $S L$ と接続されている。トランジスタ $T r 1 2$ のソース又はドレインの一方は容量素子 $C 1$ の他方の電極、発光素子 2 1 0 の一方の電極、及びトランジスタ $T r 1 3$ のソース又はドレインの一方と接続され、ソース又はドレインの他方は電位 $V a$ が供給される配線 $A L$ と接続されている。発光素子 2 1 0 の他方の電極は、電位 $V c$ が供給される配線 $C L$ と接続されている。トランジスタ $T r 1 3$ のゲートは配線 $G L$ と接続され、ソース又はドレインの他方は配線 $M L$ と接続されている。トランジスタ $T r 1 1$ のソース又はドレインの一方、トランジスタ $T r 1 2$ のゲート、及び容量素子 $C 1$ の一方の電極と接続されたノードを、ノード $N 1$ とする。また、トランジスタ $T r 1 2$ のソース又はドレインの一方、トランジスタ $T r 1 3$ のソース又はドレインの一方、及び容量素子 $C 1$ の他方の電極と接続されたノードを、ノード $N 2$ とする。

【 0 1 2 2 】

ここでは、配線 $A L$ に供給される電位 $V a$ を高電源電位とし、配線 $C L$ に供給される電位 $V a$ を低電源電位とした場合について説明する。また、容量素子 $C 1$ は、ノード $N 2$ の電位を保持するための保持容量としての機能を有する。

【 0 1 2 3 】

トランジスタ $T r 1 1$ は、配線 $S L$ の電位のノード $N 1$ への供給を制御する機能を有する。また、トランジスタ $T r 1 3$ は、配線 $M L$ の電位のノード $N 2$ への供給を制御する機能を有する。具体的には、配線 $G L$ の電位を制御してトランジスタ $T r 1 1$ 、 $T r 1 3$ をオン状態とすることにより、配線 $S L$ の電位がノード $N 1$ に、配線 $M L$ の電位がノード $N 2$ にそれぞれ供給され、画素 3 1 の書き込みが行われる。ここで、配線 $S L$ の電位は映像信号に対応する電位である。その後、配線 $G L$ の電位を制御してトランジスタ $T r 1 1$ 、 $T r 1 3$ をオフ状態とすることにより、ノード $N 1$ 、 $N 2$ の間の電圧が保持される。

【 0 1 2 4 】

そして、ノード $N 1$ 、 $N 2$ の間の電圧に応じてトランジスタ $T r 1 2$ のソース - ドレインの間に流れる電流量が制御され、発光素子 2 1 0 が当該電流量に応じた輝度で発光する。これにより、画素 3 1 の階調を制御することができる。

【 0 1 2 5 】

上記の動作を配線 $G L$ ごとに順次行うことにより、画素部 2 0 において第 1 フレーム分の映像を表示することができる。

【 0 1 2 6 】

なお、配線 $G L$ の選択には、プログレッシブ方式を用いてもよいし、インターレース方式を用いてもよい。また、駆動回路 5 0 から配線 $S L$ への映像信号の供給は、配線 $S L$ に順次映像信号を供給する点順次駆動を用いて行ってもよいし、全ての配線 $S L$ に一斉に映像信号を供給する線順次駆動を用いて行ってもよい。また、複数の配線 $S L$ ごとに順に、映像信号を供給してもよい。

【 0 1 2 7 】

その後、第 2 のフレーム期間において、第 1 のフレーム期間と同様の動作により、映像の表示が行われる。これにより、画素部 2 0 に表示される映像が書き換えられる。なお、映像の書き換えの頻度は、画素部 2 0 の観察者が書き換えによる映像の変化を識別することが難しい頻度で行う。画素部 2 0 に動画を表示する場合は、映像の書き換えの頻度を、例えば、1 秒間に 6 0 回以上とすることが好ましい。これにより、なめらかな動画を表示す

10

20

30

40

50

ることができる。

【0128】

一方、画素部20に静止画を表示する場合や、一定期間映像が変化しない、又は変化が一定以下である動画を表示する場合などは、書き換えを行わず、直前のフレームの映像を維持することが好ましい。これにより、映像の書き換えに伴う消費電力を削減することができる。

【0129】

映像の書き換えの頻度を減らす場合、ノードN1、N2の間の電圧が長時間保持されることが好ましい。そのため、トランジスタTr11、Tr13にはOSトランジスタを用いることが好ましい。これにより、ノードN1、N2の電位を極めて長期間にわたって保持することができ、映像の書き換えの頻度を減らしても、表示状態を維持することができる。映像の書き換えの頻度は、例えば、1日に1回以上且つ1秒間に0.1回未満、好ましくは1時間に1回以上且つ1秒間に1回未満、より好ましくは30秒間に1回以上且つ1秒間に1回未満とすることができる。

10

【0130】

なお、表示状態を維持するとは、映像の変化が一定の範囲より大きくなるように保持することをいう。上記一定の範囲は適宜設定することができ、例えば使用者が映像を閲覧する場合に、同じ映像であると認識できる範囲に設定することが好ましい。

【0131】

また、映像の書き換えの頻度を減らすことにより、映像を表示際のちらつき（フリッカーともいう）を低減することができる。これにより、画素部20の観察者の目の疲労を低減することができる。

20

【0132】

また、映像の書き換えを行わない期間においては、駆動回路40及び駆動回路50に供給される電源電位や信号を停止することができる。これにより、駆動回路40及び駆動回路50における消費電力を低減することができる。

【0133】

なお、トランジスタTr11、Tr13には、OSトランジスタ以外のトランジスタを用いてもよい。例えば、金属酸化物以外の単結晶半導体を有する基板の一部にチャンネル形成領域が形成されるトランジスタを用いてもよい。このような基板としては、単結晶シリコン基板や単結晶ゲルマニウム基板などが挙げられる。また、トランジスタTr11、Tr13として、金属酸化物以外の材料を含む膜にチャンネル形成領域が形成されるトランジスタを用いることもできる。金属酸化物以外の材料としては、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体などがあげられる。これらの材料は、単結晶半導体であってもよいし、非晶質半導体、微結晶半導体、多結晶半導体などの非単結晶半導体であってもよい。

30

【0134】

また、トランジスタTr12、及び以下で説明するトランジスタのチャンネル形成領域に用いることができる材料の例は、トランジスタTr11、Tr13と同様である。

40

【0135】

<構成例2>

図11(B)に、液晶素子を用いた画素の構成例を示す。図11(B)に示す画素31は、トランジスタTr21、液晶素子220、容量素子C2を有する。なお、ここでは、トランジスタTr21をnチャンネル型としているが、pチャンネル型であってもよい。

【0136】

トランジスタTr21のゲートは配線GLと接続され、ソース又はドレインの一方は液晶素子220の一方の電極、及び容量素子C2の一方の電極と接続され、ソース又はドレインの他方は配線SLと接続されている。液晶素子220の他方の電極、及び容量素子C2の他方の電極は、それぞれ所定の電位が供給される配線と接続されている。トランジスタ

50

Tr 21のソース又はドレインの一方、液晶素子220の一方の電極、及び容量素子C2の一方の電極と接続されたノードを、ノードN3とする。

【0137】

液晶素子220の他方の電極の電位は、複数の画素31で共通の電位(コモン電位)としてもよいし、容量素子C2の他方の電極と同電位としてもよい。また、液晶素子220の他方の電極の電位は、画素31ごとに異なってもよい。また、容量素子C2は、ノードN3の電位を保持するための保持容量としての機能を有する。

【0138】

トランジスタTr 21は、配線SLの電位のノードN3への供給を制御する機能を有する。具体的には、配線GLの電位を制御してトランジスタTr 21をオン状態とすることにより、配線SL電位がノードN3に供給され、画素31の書き込みが行われる。その後、配線GLの電位を制御してトランジスタTr 21をオフ状態とすることにより、ノードN3の電位が保持される。

10

【0139】

液晶素子220は、一对の電極と、一对の電極間の電圧が印加される液晶材料を含んだ液晶層と、を有する。液晶素子220に含まれる液晶分子の配向は、一对の電極間に印加される電圧の値に応じて変化し、これにより液晶層の透過率が変化する。そのため、配線SLからノードN3に供給する電位を制御することにより、画素31の階調を制御することができる。

【0140】

トランジスタTr 21には、OSTランジスタを用いることが好ましい。これにより、ノードN3の電位を極めて長期間にわたって保持することができる。なお、上記以外の動作については、図11(A)の説明を援用することができる。

20

【0141】

<変形例>

次に、図11に示した画素31の変形例について説明する。図12、図13に発光素子を用いた画素31の変形例、図14に液晶素子を用いた画素31の変形例を示す。

【0142】

図12に示す画素31は、トランジスタTr 11乃至Tr 13が一对のゲートを有している点において、図11(A)と異なる。なお、トランジスタが一对のゲートを有する場合、一方のゲートを第1のゲート、フロントゲート、又は単にゲートと呼ぶことがあり、他方のゲートを第2のゲート、又はバックゲートと呼ぶことがある。

30

【0143】

図12(A)に示すトランジスタTr 11乃至Tr 13はバックゲートを有し、バックゲートはフロントゲートと接続されている。この場合、バックゲートにはフロントゲートと同じ電位が印加され、トランジスタのオン電流を増加させることができる。これにより、高速な動作が可能な画素31を実現することができる。

【0144】

図12(B)に示すトランジスタTr 11乃至Tr 13は、バックゲートが配線BGLと接続されている。配線BGLは、バックゲートに所定の電位を供給する機能を有する配線である。配線BGLの電位を制御することにより、トランジスタTr 11乃至Tr 13の閾値電圧を制御することができる。特に、トランジスタTr 11、Tr 13はそれぞれノードN1、N2の電位の保持に用いられるため、配線BGLの電位を制御してトランジスタTr 11、Tr 13の閾値電圧をプラス側にシフトさせることにより、トランジスタTr 11、Tr 13のオフ電流を低減してもよい。なお、配線BGLに供給される電位は、固定電位であってもよいし、変動する電位であってもよい。

40

【0145】

配線BGLは、トランジスタTr 11乃至Tr 13ごとに個別に設けることもできる。また、配線BGLは、画素部20が有する全て又は一部の画素31で共有されていてもよい。

【0146】

50

また、画素 3 1 は、図 1 3 に示す構成とすることもできる。図 1 3 では、配線 G L からトランジスタ T r 1 1、T r 1 3 のバックゲートに選択信号が供給されることによって、トランジスタ T r 1 1、T r 1 3 がオン状態となり、ノード N 1、N 2 に所定の電位が供給される。なお、トランジスタ T r 1 1、T r 1 3 のフロントゲートは、配線 M L と接続されている。

【 0 1 4 7 】

また、上記では特に発光素子を用いた画素 3 1 について説明したが、液晶素子を用いた画素 3 1 においても、同様にバックゲートを設けることができる。例えば、トランジスタ T r 2 1 にフロントゲートと接続されたバックゲートを設けてもよいし（図 1 4 (A)）、トランジスタ T r 2 1 に配線 B G L と接続されたバックゲートを設けてもよい（図 1 4 (B)）。

10

【 0 1 4 8 】

以上のように、画素 3 1 に O S トランジスタを用いることにより、消費電力の削減を図ることができる。

【 0 1 4 9 】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【 0 1 5 0 】

（実施の形態 3）

本実施の形態では、複数の画素群を有する表示装置の構成例について説明する。

【 0 1 5 1 】

< 表示装置の構成例 >

図 1 5 (A) に、表示装置 1 0 の変形例を示す。図 1 5 (A) に示す表示装置 1 0 は、複数の駆動回路 4 0、複数の駆動回路 5 0 を有する。また、画素部 2 0 は複数の画素群 3 0 を有する。以下では一例として、表示装置 1 0 が 2 つの画素群 3 0 (3 0 a、3 0 b)、2 つの駆動回路 4 0 (4 0 a、4 0 b)、2 つの駆動回路 5 0 (5 0 a、5 0 b) を有する構成について説明するが、これらの数は 3 以上であってもよい。

20

【 0 1 5 2 】

画素群 3 0 a は複数の画素 3 1 a によって構成され、画素群 3 0 b は複数の画素 3 1 b によって構成されている。画素 3 1 a、3 1 b はそれぞれ表示素子を有し、所定の階調を表示する機能を有する。画素 3 1 a が有する表示素子と画素 3 1 b が有する表示素子の種類や特性は、それぞれ同じであっても異なってもよい。また、画素 3 1 a と画素 3 1 b の回路構成は、同じであっても異なってもよい。複数の画素 3 1 a 又は複数の画素 3 1 b が所定の階調を表示することにより、画素部 2 0 に所定の映像が表示される。

30

【 0 1 5 3 】

画素 3 1 a、3 1 b に設けられる表示素子の例としては、実施の形態 1 で説明した表示素子が挙げられる。映像の表示には、画素群 3 0 a と画素群 3 0 b の両方を用いてもよいし、一方のみを用いてもよい。両方を用いる場合、画素群 3 0 a と画素群 3 0 b を用いて 1 つの映像を表示してもよいし、画素群 3 0 a と画素群 3 0 b にそれぞれ異なる映像を表示してもよい。

【 0 1 5 4 】

映像の表示に画素群 3 0 a と画素群 3 0 b の一方のみを用いる場合は、自動又は手動で、映像を表示する画素群 3 0 を切り替えることができる。ここで、画素 3 1 a と画素 3 1 b に異なる表示素子を設けることにより、画素群 3 0 a と画素群 3 0 b に表示される映像の特性や品質などを異ならせることができる。この場合、表示を行う画素群 3 0 を、周囲の環境や表示内容などに合わせて選択することができる。以下では一例として、画素 3 1 a に反射型の液晶素子が設けられ、画素 3 1 b に発光素子が設けられた構成について説明する。

40

【 0 1 5 5 】

図 1 5 (B) は、反射型の液晶素子 6 0 と発光素子 7 0 を用いて表示を行う画素部 2 0 の構成を説明する模式図である。液晶素子 6 0 は、反射電極 6 1、液晶層 6 2、透明電極 6

50

3を有する。

【0156】

液晶素子60の階調の制御は、反射電極61によって反射された光64に対する液晶層62の透過率を、液晶の配向によって制御することにより行われる。反射電極61によって反射された光64は、液晶層62、透明電極63を通過して外部に放出される。また、反射電極61は開口部65を有し、発光素子70は開口部65と重なる位置に設けられる。発光素子70の階調の制御は、発光素子70に流れる電流を制御して、発光素子70が発する光71の強度を制御することにより行われる。発光素子70が発する光71は、開口部65、液晶層62、透明電極63を通過して外部に放出される。光64及び光71が放出される方向が、表示装置10の表示面となる。

10

【0157】

このような構成により、反射型の液晶素子60及び発光素子70を用いて画素部20に映像を表示することができる。

【0158】

なお、表示装置10は、反射型の液晶素子を用いて映像を表示する第1のモード、発光素子を用いて映像を表示する第2のモード、並びに、反射型の液晶素子及び発光素子を用いて映像を表示する第3のモードを自動または手動で切り替えて使用することができる。

【0159】

第1のモードでは、反射型の液晶素子と外光を用いて映像を表示する。第1のモードは光源が不要であるため、極めて低消費電力なモードである。例えば、表示装置に外光が十分に入射されるとき（明るい環境下など）は、反射型の液晶素子が反射した光を用いて表示を行うことができる。例えば、外光が十分に強く、かつ外光が白色光またはその近傍の光である場合に有効である。第1のモードは、文字を表示することに適したモードである。また、第1のモードは、外光を反射した光を用いるため、目に優しい表示を行うことができ、目が疲れにくいという効果を奏する。

20

【0160】

なお、第1のモードでは、映像の書き換え頻度を減らし、映像の書き換えが行われない期間において、駆動回路40b、駆動回路50bの動作を停止することができる。これにより、消費電力を低減することができる。

【0161】

第2のモードでは、発光素子による発光を利用して画像を表示する。そのため、照度や外光の色度によらず、極めて鮮やかな（コントラストが高く、且つ色再現性の高い）表示を行うことができる。例えば、夜間や暗い室内など、照度が極めて低い場合などに有効である。また周囲が暗い場合、明るい表示を行うと使用者が眩しく感じてしまう場合がある。これを防ぐために、第2のモードでは輝度を抑えた表示を行うことが好ましい。これにより、眩しさを抑えることに加え、消費電力も低減することができる。第2のモードは、鮮やかな画像（静止画及び動画）などを表示することに適したモードである。

30

【0162】

第3のモードでは、反射型の液晶素子による反射光と、発光素子による発光の両方を利用して表示を行う。第1のモードよりも鮮やかな表示をしつつ、第2のモードよりも消費電力を抑えることができる。例えば、室内照明下や、朝方や夕方の時間帯など、照度が比較的低い場合、外光の色度が白色ではない場合などに有効である。また、反射光と発光とを混合させた光を用いることで、まるで絵画を見ているかのように感じさせる画像を表示することが可能となる。

40

【0163】

このような構成とすることで、周囲の明るさによらず、視認性が高く利便性の高い表示装置または全天候型の表示装置を実現できる。

【0164】

画素31a及び画素31bは、それぞれ、1つ以上の副画素を有する構成とすることができる。例えば、画素には、副画素を1つ有する構成（白色（W）など）、副画素を3つ有

50

する構成（赤色（R）、緑色（G）、及び青色（B）の3色、または、黄色（Y）、シアン（C）、及びマゼンタ（M）の3色など）、または、副画素を4つ有する構成（赤色（R）、緑色（G）、青色（B）、白色（W）の4色、または、赤色（R）、緑色（G）、青色（B）、黄色（Y）の4色など）を適用できる。

【0165】

表示装置10は、画素31aと画素31bのどちらでも、フルカラー表示を行う構成とすることができる。または、表示装置10は、画素31aでは白黒表示またはグレースケールでの表示を行い、画素31bではフルカラー表示を行う構成とすることができる。画素31aを用いた白黒表示またはグレースケールでの表示は、文書情報など、カラー表示を必要としない情報を表示することに適している。

10

【0166】

また、第3のモードでは、反射型の液晶素子による映像の表示に、発光素子の発光を用いることにより、色調を補正することができる。例えば、夕暮れ時の赤みがかった環境において映像を表示する場合、反射型の液晶素子による表示のみではB（青）成分が不足する場合がある。このとき、発光素子を発光させることで、色調を補正することができる。

【0167】

また、第3のモードでは、例えば反射型の液晶素子には背景となる静止画や文字などを表示し、発光素子には動画などを表示することができる。これにより、消費電力の低減と高品質の映像の表示を両立させることができる。このような構成は、表示装置を教科書などの教材、又はノートなどとして利用する場合に適している。

20

【0168】

また、表示装置10は、表示される映像の解像度に応じて、第1のモード又は第2のモードと、第3のモードとの切り替えが可能な構成とすることもできる。例えば、高精細な映像や写真を表示する際は第3のモードで表示を用い、背景や文字などを表示する際は第1のモード又は第2のモードで表示を行うことができる。これにより、表示される映像に合わせて解像度を変更することができ、汎用性が高い表示装置を実現することができる。

【0169】

なお、図15（B）では一例として、画素31aに反射型の液晶素子を設け、画素31bに発光素子を設ける場合について説明したが、画素31a、31bに設ける表示素子は特に限定されず、自由に選択することができる。例えば、画素31a、31bの一方に透過型の液晶素子を設け、他方に反射型の液晶素子を設けることもできる。この場合、画素31a、31bを用いて半透過型の液晶素子を実現することができる。また、画素31a、31bにそれぞれ異なる種類の発光素子を設けることもできる。

30

【0170】

駆動回路40aは、画素31aと接続された配線GLaに選択信号を供給する機能を有し、駆動回路40bは、画素31bと接続された配線GLbに選択信号を供給する機能を有する。また、駆動回路50aは、画素31aと接続された配線SLaに映像信号を供給する機能を有し、駆動回路50bは、画素31bと接続された配線SLbに映像信号を供給する機能を有する。

【0171】

次に、表示装置10のより具体的な構成例について説明する。図16に、画素部20と駆動回路50の具体的な構成例を示す。

40

【0172】

画素部20は、m列n行の画素31a、31bを有する。i列j行の画素31aは、配線SLa[i]及び配線GLa[j]と接続され、i列j行の画素31bは、配線SLb[i]及び配線GLb[j]と接続されている。配線GLa[1]乃至[n]は駆動回路40aと接続され、配線GLb[1]乃至[n]は駆動回路40bと接続されている。配線SLa[1]乃至[m]は駆動回路50aと接続され、配線SLb[1]乃至[m]は駆動回路50bと接続されている。ここでは、画素31aと画素31bは行方向（紙面上下方向）に交互に設けられており、画素31aと画素31bによって画素ユニット21が構

50

成されている。このように、画素 3 1 a と画素 3 1 b は画素部 2 0 の同一領域内に混在させることができる。なお、画素 3 1 a、3 1 b にはそれぞれ、実施の形態 2 で説明した構成を適用することができる。

【0173】

駆動回路 5 0 a には、データ S D a 及び参照電位 V R a が入力され、駆動回路 5 0 b にはデータ S D b 及び参照電位 V R b が入力される。データ S D a、S D b は図 1 におけるデータ S D に対応し、参照電位 V R a、V R b は図 1 における参照電位 V R に対応する。なお、ここでは画素 3 1 a、3 1 b に設けられている表示素子の種類が異なるため、駆動回路 5 0 a、5 0 b に入力される参照電位 (V R a、V R b) も異なる。

【0174】

駆動回路 5 0 a が有する増幅回路 5 5 と、駆動回路 5 0 b が有する増幅回路 5 5 は、演算回路 5 6 と接続されている。よって、駆動回路 5 0 a、5 0 b はそれぞれ、映像信号の検査及び補正を行うことができる。なお、駆動回路 5 0 a、5 0 b は、1 つの演算回路 5 6 を共有していてもよい。

【0175】

<表示装置の動作例>

次に、図 1 5、図 1 6 に示す表示装置 1 0 において、映像信号の補正を行う際の動作例について説明する。図 1 7 に、駆動回路 5 0 a、5 0 b の動作例を示す。

【0176】

まず、図 1 7 (A) に示すように、駆動回路 5 0 a、5 0 b はそれぞれ、アンプ 1 8 0 の出力の検査を行い、演算回路を用いて誤差電位を算出する。そして、データ D o s に基づいて映像信号を補正する。これにより、駆動回路 5 0 a の内部の誤差電位、及び駆動回路 5 0 b の内部の誤差電位が相殺される。映像信号の補正を行うための動作の詳細は、実施の形態 1 の説明を参酌することができる。

【0177】

次に、駆動回路 5 0 a と駆動回路 5 0 b 間における、アンプ 1 8 0 の出力の差を補正する。具体的には、図 1 7 (B) に示すように、駆動回路 5 0 a、5 0 b からそれぞれ特定のアンプ 1 8 0 を選択し、駆動回路 5 0 a が有するアンプ 1 8 0 から出力された電位 V o u t a と、駆動回路 5 0 b が有するアンプ 1 8 0 から出力された電位 V o u t b を、表示装置 1 0 に設けられた回路 8 0 に入力する。そして、回路 8 0 は、電位 V o u t a と電位 V o u t b の差を算出し、この差が相殺されるように、駆動回路 5 0 a に入力されるデータ S D a をデータ S D a ' に補正し、又は、駆動回路 5 0 b に入力されるデータ S D b をデータ S D b ' に補正する。このように、駆動回路 5 0 a 又は駆動回路 5 0 b に供給される映像信号を一律に補正することにより、駆動回路 5 0 a と駆動回路 5 0 b の間の映像信号の差を相殺することができる。

【0178】

なお、映像信号の補正は、データ S D a 又はデータ S D b の一方を補正することによって行っても良いし、双方を補正することによって行っても良い。

【0179】

また、画素部 2 0 において映像の表示を行う際、駆動回路 5 0 a は画素 3 1 a に供給される映像信号を生成し、駆動回路 5 0 b は画素 3 1 b に供給される映像信号を生成する。ここで、画素 3 1 a が有する表示素子と画素 3 1 b が有する表示素子の種類は異なるため、駆動回路 5 0 a の電位生成回路 1 7 0 に供給される参照電位 V R a と、駆動回路 5 0 b の電位生成回路 1 7 0 に供給される参照電位 V R b は個別に設定されている。この場合、映像信号の補正を行う際は、駆動回路 5 0 b に供給される参照電位 V R b を参照電位 V R a に変更することにより、駆動回路 5 0 b の選択回路 1 6 0 に供給される参照電位 V r e f を、駆動回路 5 0 a の選択回路 1 6 0 に供給される参照電位 V r e f と等しくする。これにより、駆動回路 5 0 a のアンプ 1 8 0 の出力と駆動回路 5 0 b のアンプ 1 8 0 の出力を揃えることができる、画素 3 1 a、3 1 b が異なる表示素子を有する場合であっても、駆動回路 5 0 a と駆動回路 5 0 b の間の映像信号の差を正確に算出することができる。

10

20

30

40

50

【 0 1 8 0 】

なお、図 1 7 において、駆動回路 5 0 a に供給される参照電位 V R a を参照電位 V R b に変更してもよい。また、ここでは 2 つの駆動回路 5 0 間の映像信号の差を相殺する場合について説明したが、駆動回路 5 0 が 3 つ以上設けられている場合においても、同様にデータ S D を補正することができる。

【 0 1 8 1 】

以上のように、本発明の一態様に係る表示装置 1 0 は、駆動回路 5 0 が複数設けられている場合において、駆動回路 5 0 間の映像信号の差を相殺することができ、高品質で信頼性が高い表示装置を実現することができる。

【 0 1 8 2 】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【 0 1 8 3 】

(実施の形態 4)

本実施の形態では、本発明の一態様に係る表示装置の具体的な構成例について説明する。

【 0 1 8 4 】

前述の通り、図 1 5、図 1 6 に示す画素 3 1 a、3 1 b には、異なる表示素子を設けることができる。以下、画素 3 1 a、3 1 b に異なる表示素子を設けた場合の表示装置の構成例について説明する。なお、ここでは一例として、画素 3 1 a に反射型の液晶素子が設けられ、画素 3 1 b に発光素子が設けられた表示装置の構成例について説明する。

【 0 1 8 5 】

< 表示装置の構成例 >

図 1 8 乃至図 2 1 を用いて、本実施の形態の表示装置の構成例について説明する。

【 0 1 8 6 】

[構成例 1]

図 1 8 は、表示装置 6 0 0 の斜視概略図である。表示装置 6 0 0 は、基板 6 5 1 と基板 6 6 1 とが貼り合わされた構成を有する。図 1 8 では、基板 6 6 1 を破線で明示している。

【 0 1 8 7 】

表示装置 6 0 0 は、表示部 6 6 2、回路 6 6 4、配線 6 6 5 等を有する。図 1 8 では表示装置 6 0 0 に I C (集積回路) 6 7 3 及び F P C 6 7 2 が実装されている例を示している。そのため、図 1 8 に示す構成は、表示装置 6 0 0、I C、及び F P C を有する表示モジュールということもできる。

【 0 1 8 8 】

回路 6 6 4 としては、例えば駆動回路 4 0 を用いることができる。

【 0 1 8 9 】

配線 6 6 5 は、表示部 6 6 2 及び回路 6 6 4 に信号及び電力を供給する機能を有する。当該信号及び電力は、F P C 6 7 2 を介して外部から、または I C 6 7 3 から配線 6 6 5 に入力される。

【 0 1 9 0 】

図 1 8 では、COG (C h i p O n G l a s s) 方式または COF (C h i p o n F i l m) 方式等により、基板 6 5 1 に I C 6 7 3 が設けられている例を示す。I C 6 7 3 は、例えば駆動回路 5 0 などを有する I C を適用できる。なお、表示装置 6 0 0 及び表示モジュールは、I C を設けない構成としてもよい。また、I C を、COF 方式等により、F P C に実装してもよい。

【 0 1 9 1 】

図 1 8 には、表示部 6 6 2 の一部の拡大図を示している。表示部 6 6 2 には、複数の表示素子が有する電極 6 1 1 b がマトリクス状に配置されている。電極 6 1 1 b は、可視光を反射する機能を有し、液晶素子の反射電極として機能する。

【 0 1 9 2 】

また、図 1 8 に示すように、電極 6 1 1 b は開口 4 5 1 を有する。さらに表示部 6 6 2 は、電極 6 1 1 b よりも基板 6 5 1 側に、発光素子を有する。発光素子からの光は、電極 6

10

20

30

40

50

11bの開口451を介して基板661側に射出される。発光素子の発光領域の面積と開口451の面積とは等しくてもよい。発光素子の発光領域の面積と開口451の面積のうち一方が他方よりも大きいと、位置ずれに対するマージンが大きくなるため好ましい。特に、開口451の面積は、発光素子の発光領域の面積に比べて大きいことが好ましい。開口451が小さいと、発光素子からの光の一部が電極611bによって遮られ、外部に取り出せないことがある。開口451を十分に大きくすることで、発光素子の発光が無駄になることを抑制できる。

【0193】

図19に、図18で示した表示装置600の、FPC672を含む領域の一部、回路664を含む領域の一部、及び表示部662を含む領域の一部をそれぞれ切断したときの断面の一例を示す。

10

【0194】

図19に示す表示装置600は、基板651と基板661の間に、トランジスタ501、トランジスタ503、トランジスタ505、トランジスタ506、液晶素子480、発光素子470、絶縁層520、着色層431、着色層434等を有する。基板661と絶縁層520は接着層441を介して接着されている。基板651と絶縁層520は接着層442を介して接着されている。

【0195】

基板661には、着色層431、遮光層432、絶縁層421、及び液晶素子480の共通電極として機能する電極413、配向膜433b、絶縁層417等が設けられている。基板661の外側の面には、偏光板435を有する。絶縁層421は、平坦化層としての機能を有していてもよい。絶縁層421により、電極413の表面を概略平坦にできるため、液晶層412の配向状態を均一にできる。絶縁層417は、液晶素子480のセルギャップを保持するためのスペーサとして機能する。絶縁層417が可視光を透過する場合は、絶縁層417を液晶素子480の表示領域と重ねて配置してもよい。

20

【0196】

液晶素子480は反射型の液晶素子である。液晶素子480は、画素電極として機能する電極611a、液晶層412、電極413が積層された積層構造を有する。電極611aの基板651側に接して、可視光を反射する電極611bが設けられている。電極611bは開口451を有する。電極611a及び電極413は可視光を透過する。液晶層412と電極611aの間に配向膜433aが設けられている。液晶層412と電極413の間に配向膜433bが設けられている。

30

【0197】

液晶素子480において、電極611bは可視光を反射する機能を有し、電極413は可視光を透過する機能を有する。基板661側から入射した光は、偏光板435により偏光され、電極413、液晶層412を透過し、電極611bで反射する。そして液晶層412及び電極413を再度透過して、偏光板435に達する。このとき、電極611bと電極413の間に与える電圧によって液晶の配向を制御し、光の光学変調を制御することができる。すなわち、偏光板435を介して射出される光の強度を制御することができる。また光は着色層431によって特定の波長領域以外の光が吸収されることにより、取り出される光は、例えば赤色を呈する光となる。

40

【0198】

図19に示すように、開口451には可視光を透過する電極611aが設けられていることが好ましい。これにより、開口451と重なる領域においてもそれ以外の領域と同様に液晶層412が配向するため、これらの領域の境界部で液晶の配向不良が生じ、意図しない光が漏れてしまうことを抑制できる。

【0199】

接続部507において、電極611bは、導電層521bを介して、トランジスタ506が有する導電層522aと接続されている。トランジスタ506は、液晶素子480の駆動を制御する機能を有する。

50

【0200】

接着層441が設けられる一部の領域には、接続部552が設けられている。接続部552において、電極611aと同一の導電膜を加工して得られた導電層と、電極413の一部が、接続体543により接続されている。したがって、基板661側に形成された電極413に、基板651側に接続されたFPC672から入力される信号または電位を、接続部552を介して供給することができる。

【0201】

接続体543としては、例えば導電性の粒子を用いることができる。導電性の粒子としては、有機樹脂またはシリカなどの粒子の表面を金属材料で被覆したものをを用いることができる。金属材料としてニッケルや金を用いると接触抵抗を低減できるため好ましい。またニッケルをさらに金で被覆するなど、2種類以上の金属材料を層状に被覆させた粒子を用いることが好ましい。また接続体543として、弾性変形、または塑性変形する材料を用いることが好ましい。このとき導電性の粒子である接続体543は、図19に示すように上下方向に潰れた形状となる場合がある。こうすることで、接続体543と、これと電氣的に接続する導電層との接触面積が増大し、接触抵抗を低減できるほか、接続不良などの不具合の発生を抑制することができる。

10

【0202】

接続体543は、接着層441に覆われるように配置することが好ましい。例えば硬化前の接着層441に接続体543を分散させておけばよい。

【0203】

発光素子470は、ボトムエミッション型の発光素子である。発光素子470は、絶縁層520側から画素電極として機能する電極491、EL層492、及び共通電極として機能する電極493の順に積層された積層構造を有する。電極491は、絶縁層514に設けられた開口を介して、トランジスタ505が有する導電層522bと接続されている。トランジスタ505は、発光素子470の駆動を制御する機能を有する。絶縁層516が電極491の端部を覆っている。電極493は可視光を反射する材料を含み、電極491は可視光を透過する材料を含む。電極493を覆って絶縁層494が設けられている。発光素子470が発する光は、着色層434、絶縁層520、開口451、電極611a等を介して、基板661側に射出される。

20

【0204】

液晶素子480及び発光素子470は、画素によって着色層の色を変えることで、様々な色を呈することができる。表示装置600は、液晶素子480を用いて、カラー表示を行うことができる。表示装置600は、発光素子470を用いて、カラー表示を行うことができる。

30

【0205】

トランジスタ501、トランジスタ503、トランジスタ505、及びトランジスタ506は、いずれも絶縁層520の基板651側の面上に形成されている。これらのトランジスタは、同一の工程を用いて作製することができる。

【0206】

液晶素子480と電氣的に接続される回路は、発光素子470と接続される回路と同一面上に形成されることが好ましい。これにより、2つの回路を別々の面上に形成する場合に比べて、表示装置の厚さを薄くすることができる。また、2つのトランジスタを同一の工程で作製できるため、2つのトランジスタを別々の面上に形成する場合に比べて、作製工程を簡略化することができる。

40

【0207】

液晶素子480の画素電極は、トランジスタが有するゲート絶縁層を挟んで、発光素子470の画素電極とは反対に位置する。

【0208】

ここで、トランジスタ506にOSTランジスタを適用した場合や、トランジスタ506と接続される記憶素子を適用した場合などでは、液晶素子480を用いて静止画を表示す

50

る際に画素への書き込み動作を停止しても、階調を維持させることが可能となる。すなわち、フレームレートを極めて小さくしても表示を保つことができる。本発明の一態様では、フレームレートを極めて小さくでき、消費電力の低い駆動を行うことができる。

【0209】

トランジスタ503は、画素の選択、非選択状態を制御するトランジスタ（スイッチングトランジスタ、または選択トランジスタともいう）である。トランジスタ505は、発光素子470に流れる電流を制御するトランジスタ（駆動トランジスタともいう）である。

【0210】

絶縁層520の基板651側には、絶縁層511、絶縁層512、絶縁層513、絶縁層514等の絶縁層が設けられている。絶縁層511は、その一部が各トランジスタのゲート絶縁層として機能する。絶縁層512は、トランジスタ506等を覆って設けられる。絶縁層513は、トランジスタ505等を覆って設けられている。絶縁層514は、平坦化層としての機能を有する。なお、トランジスタを覆う絶縁層の数は限定されず、単層であっても2層以上であってもよい。

10

【0211】

各トランジスタを覆う絶縁層の少なくとも一層に、水や水素などの不純物が拡散しにくい材料を用いることが好ましい。これにより、絶縁層をバリア膜として機能させることができる。このような構成とすることで、トランジスタに対して外部から不純物が拡散することを効果的に抑制することが可能となり、信頼性の高い表示装置を実現できる。

【0212】

トランジスタ501、トランジスタ503、トランジスタ505、及びトランジスタ506は、ゲートとして機能する導電層521a、ゲート絶縁層として機能する絶縁層511、ソース及びドレインとして機能する導電層522a及び導電層522b、並びに、半導体層531を有する。ここでは、同一の導電膜を加工して得られる複数の層に、同じハッチングパターンを付している。

20

【0213】

トランジスタ501及びトランジスタ505は、トランジスタ503及びトランジスタ506の構成に加えて、ゲートとして機能する導電層523を有する。

【0214】

トランジスタ501及びトランジスタ505には、チャネル形成領域を有する半導体層を2つのゲートで挟持する構成が適用されている。このような構成とすることで、トランジスタの閾値電圧を制御することができる。2つのゲートを接続し、これらに同一の信号を供給することによりトランジスタを駆動してもよい。このようなトランジスタは他のトランジスタと比較して電界効果移動度を高めることが可能であり、オン電流を増大させることができる。その結果、高速駆動が可能な回路を作製することができる。さらには、回路部の占有面積を縮小することが可能となる。オン電流の大きなトランジスタを適用することで、表示装置を大型化、または高精細化したときに配線数が増大したとしても、各配線における信号遅延を低減することが可能であり、表示ムラを抑制することができる。

30

【0215】

または、2つのゲートのうち、一方に閾値電圧を制御するための電位を与え、他方に駆動のための電位を与えることで、トランジスタの閾値電圧を制御することができる。

40

【0216】

表示装置が有するトランジスタの構造に限定はない。回路664が有するトランジスタと、表示部662が有するトランジスタは、同じ構造であってもよく、異なる構造であってもよい。回路664が有する複数のトランジスタは、全て同じ構造であってもよく、2種類以上の構造が組み合わせて用いられていてもよい。同様に、表示部662が有する複数のトランジスタは、全て同じ構造であってもよく、2種類以上の構造が組み合わせて用いられていてもよい。

【0217】

導電層523には、酸化物を含む導電性材料を用いることが好ましい。導電層523を構

50

成する導電膜の成膜時に、酸素を含む雰囲気下で成膜することで、絶縁層 5 1 2 に酸素を供給することができる。成膜ガス中の酸素ガスの割合を 9 0 % 以上 1 0 0 % 以下の範囲とすることが好ましい。絶縁層 5 1 2 に供給された酸素は、後の熱処理により半導体層 5 3 1 に供給され、半導体層 5 3 1 中の酸素欠損の低減を図ることができる。

【 0 2 1 8 】

特に、導電層 5 2 3 には、低抵抗化された金属酸化物を用いることが好ましい。このとき、絶縁層 5 1 3 に水素を放出する絶縁膜、例えば窒化シリコン膜等を用いることが好ましい。絶縁層 5 1 3 の成膜中、またはその後の熱処理によって導電層 5 2 3 中に水素が供給され、導電層 5 2 3 の電気抵抗を効果的に低減することができる。

【 0 2 1 9 】

絶縁層 5 1 3 に接して着色層 4 3 4 が設けられている。着色層 4 3 4 は、絶縁層 5 1 4 に覆われている。

【 0 2 2 0 】

基板 6 5 1 と基板 6 6 1 が重ならない領域には、接続部 5 0 4 が設けられている。接続部 5 0 4 では、配線 6 6 5 が接続層 5 4 2 を介して F P C 6 7 2 と接続されている。接続部 5 0 4 は接続部 5 0 7 と同様の構成を有している。接続部 5 0 4 の上面は、電極 6 1 1 a と同一の導電膜を加工して得られた導電層が露出している。これにより、接続部 5 0 4 と F P C 6 7 2 とを接続層 5 4 2 を介して接続することができる。

【 0 2 2 1 】

基板 6 6 1 の外側の面に配置する偏光板 4 3 5 として直線偏光板を用いてもよいが、円偏光板を用いることもできる。円偏光板としては、例えば直線偏光板と 1 / 4 波長位相差板を積層したものをを用いることができる。これにより、外光反射を抑制することができる。また、偏光板の種類に応じて、液晶素子 4 8 0 に用いる液晶素子のセルギャップ、配向、駆動電圧等を調整することで、所望のコントラストが実現されるようにすればよい。

【 0 2 2 2 】

なお、基板 6 6 1 の外側には各種光学部材を配置することができる。光学部材としては、偏光板、位相差板、光拡散層（拡散フィルムなど）、反射防止層、及び集光フィルム等が挙げられる。また、基板 6 6 1 の外側には、ゴミの付着を抑制する帯電防止膜、汚れを付着しにくくする撥水性の膜、使用に伴う傷の発生を抑制するハードコート膜等を配置してもよい。

【 0 2 2 3 】

基板 6 5 1 及び基板 6 6 1 には、それぞれ、ガラス、石英、セラミック、サファイヤ、有機樹脂などを用いることができる。基板 6 5 1 及び基板 6 6 1 に可撓性を有する材料を用いると、表示装置の可撓性を高めることができる。

【 0 2 2 4 】

反射型の液晶素子を用いる場合には、表示面側に偏光板 4 3 5 を設ける。またこれとは別に、表示面側に光拡散板を配置すると、視認性を向上させられるため好ましい。

【 0 2 2 5 】

偏光板 4 3 5 よりも外側に、フロントライトを設けてもよい。フロントライトとしては、エッジライト型のフロントライトを用いることが好ましい。LED (L i g h t E m i t t i n g D i o d e) を備えるフロントライトを用いると、消費電力を低減できるため好ましい。

【 0 2 2 6 】

[構成例 2]

図 2 0 に示す表示装置 6 0 0 A は、トランジスタ 5 0 1、トランジスタ 5 0 3、トランジスタ 5 0 5、及びトランジスタ 5 0 6 を有さず、トランジスタ 5 8 1、トランジスタ 5 8 4、トランジスタ 5 8 5、及びトランジスタ 5 8 6 を有する点で、主に表示装置 6 0 0 と異なる。

【 0 2 2 7 】

なお、図 2 0 では、絶縁層 4 1 7 及び接続部 5 0 7 等の位置も図 1 9 と異なる。図 2 0 で

10

20

30

40

50

は、画素の端部を図示している。絶縁層 4 1 7 は、着色層 4 3 1 の端部に重ねて配置されている。また、絶縁層 4 1 7 は、遮光層 4 3 2 の端部に重ねて配置されている。このように、絶縁層は、表示領域と重ならない部分（遮光層 4 3 2 と重なる部分）に配置されてもよい。

【 0 2 2 8 】

トランジスタ 5 8 4 及びトランジスタ 5 8 5 のように、表示装置が有する 2 つのトランジスタは、部分的に積層して設けられていてもよい。これにより、画素回路の占有面積を縮小することが可能なため、精細度を高めることができる。また、発光素子 4 7 0 の発光面積を大きくでき、開口率を向上させることができる。発光素子 4 7 0 は、開口率が高いと、必要な輝度を得るための電流密度を低くできるため、信頼性が向上する。

10

【 0 2 2 9 】

トランジスタ 5 8 1、トランジスタ 5 8 4、及びトランジスタ 5 8 6 は、導電層 5 2 1 a、絶縁層 5 1 1、半導体層 5 3 1、導電層 5 2 2 a、及び導電層 5 2 2 b を有する。導電層 5 2 1 a は、絶縁層 5 1 1 を介して半導体層 5 3 1 と重なる。導電層 5 2 2 a 及び導電層 5 2 2 b は、半導体層 5 3 1 と電氣的に接続される。トランジスタ 5 8 1 は、導電層 5 2 3 を有する。

【 0 2 3 0 】

トランジスタ 5 8 5 は、導電層 5 2 2 b、絶縁層 5 1 7、半導体層 5 6 1、導電層 5 2 3、絶縁層 5 1 2、絶縁層 5 1 3、導電層 5 6 3 a、及び導電層 5 6 3 b を有する。導電層 5 2 2 b は、絶縁層 5 1 7 を介して半導体層 5 6 1 と重なる。導電層 5 2 3 は、絶縁層 5 1 2 及び絶縁層 5 1 3 を介して半導体層 5 6 1 と重なる。導電層 5 6 3 a 及び導電層 5 6 3 b は、半導体層 5 6 1 と電氣的に接続される。

20

【 0 2 3 1 】

導電層 5 2 1 a は、ゲートとして機能する。絶縁層 5 1 1 は、ゲート絶縁層として機能する。導電層 5 2 2 a はソースまたはドレインの一方として機能する。トランジスタ 5 8 6 が有する導電層 5 2 2 b は、ソースまたはドレインの他方として機能する。

【 0 2 3 2 】

トランジスタ 5 8 4 とトランジスタ 5 8 5 が共有している導電層 5 2 2 b は、トランジスタ 5 8 4 のソースまたはドレインの他方として機能する部分と、トランジスタ 5 8 5 のゲートとして機能する部分を有する。絶縁層 5 1 7、絶縁層 5 1 2、及び絶縁層 5 1 3 は、ゲート絶縁層として機能する。導電層 5 6 3 a 及び導電層 5 6 3 b のうち、一方はソースとして機能し、他方はドレインとして機能する。導電層 5 2 3 は、ゲートとして機能する。

30

【 0 2 3 3 】

[構成例 3]

図 2 1 に、表示装置 6 0 0 B の表示部の断面図を示す。

【 0 2 3 4 】

図 2 1 に示す表示装置 6 0 0 B は、基板 6 5 1 と基板 6 6 1 の間に、トランジスタ 5 4 0、トランジスタ 5 8 0、液晶素子 4 8 0、発光素子 4 7 0、絶縁層 5 2 0、着色層 4 3 1、着色層 4 3 4 等を有する。

【 0 2 3 5 】

液晶素子 4 8 0 では、外光を電極 6 1 1 b が反射し、基板 6 6 1 側に反射光を射出する。発光素子 4 7 0 は、基板 6 6 1 側に光を射出する。

40

【 0 2 3 6 】

基板 6 6 1 には、着色層 4 3 1、絶縁層 4 2 1、及び液晶素子 4 8 0 の共通電極として機能する電極 4 1 3、配向膜 4 3 3 b が設けられている。

【 0 2 3 7 】

液晶層 4 1 2 は、配向膜 4 3 3 a 及び配向膜 4 3 3 b を介して、電極 6 1 1 a 及び電極 4 1 3 の間に挟持されている。

【 0 2 3 8 】

トランジスタ 5 4 0 は、絶縁層 5 1 2 及び絶縁層 5 1 3 で覆われている。絶縁層 5 1 3 と

50

着色層 4 3 4 は、接着層 4 4 2 によって、絶縁層 4 9 4 と貼り合わされている。

【 0 2 3 9 】

表示装置 6 0 0 B は、液晶素子 4 8 0 を駆動するトランジスタ 5 4 0 と発光素子 4 7 0 を駆動するトランジスタ 5 8 0 とを、異なる面上に形成するため、それぞれの表示素子を駆動するために適した構造、材料を用いて形成することが容易である。

【 0 2 4 0 】

< 画素の構成例 >

次に、表示装置が有する画素の具体的な構成例について、図 2 2 乃至図 2 4 を用いて説明する。

【 0 2 4 1 】

図 1 6 における画素ユニット 2 1 が有する電極の構成例を、図 2 2 に示す。電極 6 1 1 は、液晶素子の反射電極として機能する。図 2 2 (A)、(B) の電極 6 1 1 には、開口 4 5 1 が設けられている。

10

【 0 2 4 2 】

図 2 2 (A)、(B) には、電極 6 1 1 と重なる領域に位置する発光素子 6 6 0 を破線で示している。発光素子 6 6 0 は、電極 6 1 1 が有する開口 4 5 1 と重ねて配置されている。これにより、発光素子 6 6 0 が発する光は、開口 4 5 1 を介して表示面側に射出される。

【 0 2 4 3 】

図 2 2 (A) では、矢印 R で示す方向に隣接する画素ユニット 2 1 が異なる色に対応する画素である。このとき、図 2 2 (A) に示すように、矢印 R で示す方向に隣接する 2 つの画素ユニット 2 1 において、開口 4 5 1 が一列に配列されないように、電極 6 1 1 の異なる位置に設けられていることが好ましい。これにより、2 つの発光素子 6 6 0 を離すことが可能で、発光素子 6 6 0 が発する光が隣接する画素ユニット 2 1 が有する着色層に入射してしまう現象(クロストークともいう)を抑制することができる。また、隣接する 2 つの発光素子 6 6 0 を離して配置することができるため、発光素子 6 6 0 の E L 層をシャドウマスク等により作り分ける場合であっても、高い精細度の表示装置を実現できる。

20

【 0 2 4 4 】

図 2 2 (B) では、矢印 C で示す方向に隣接する画素ユニット 2 1 が異なる色に対応する画素である。図 2 2 (B) においても同様に、矢印 C で示す方向に隣接する 2 つの画素において、開口 4 5 1 が一列に配列されないように、電極 6 1 1 の異なる位置に設けられていることが好ましい。

30

【 0 2 4 5 】

非開口部の総面積に対する開口 4 5 1 の総面積の比の値が小さいほど、液晶素子を用いた表示を明るくすることができる。また、非開口部の総面積に対する開口 4 5 1 の総面積の比の値が大きいほど、発光素子 6 6 0 を用いた表示を明るくすることができる。

【 0 2 4 6 】

開口 4 5 1 の形状は、例えば多角形、四角形、楕円形、円形または十字等の形状とすることができる。また、細長い筋状、スリット状、市松模様状の形状としてもよい。また、開口 4 5 1 を隣接する画素に寄せて配置してもよい。好ましくは、開口 4 5 1 を同じ色を表示する他の画素に寄せて配置する。これにより、クロストークを抑制できる。

40

【 0 2 4 7 】

また、図 2 2 (C)、(D) に示すように、電極 6 1 1 が設けられていない部分に、発光素子 6 6 0 の発光領域が位置していてもよい。これにより、発光素子 6 6 0 が発する光は、表示面側に射出される。

【 0 2 4 8 】

図 2 2 (C) では、矢印 R で示す方向に隣接する 2 つの画素ユニット 2 1 において、発光素子 6 6 0 が一列に配列されていない。図 2 2 (D) では、矢印 R で示す方向に隣接する 2 つの画素ユニット 2 1 において、発光素子 6 6 0 が一列に配列されている。

【 0 2 4 9 】

図 2 2 (C) の構成は、隣接する 2 つの画素ユニット 2 1 が有する発光素子 6 6 0 どうし

50

を離すことができるため、上述の通り、クロストークの抑制、及び、高精細化が可能となる。また、図 2 2 (D) の構成では、発光素子 6 6 0 の矢印 C に平行な辺側に、電極 6 1 1 が位置しないため、発光素子 6 6 0 の光が電極 6 1 1 に遮られることを抑制でき、高い視野角特性を実現できる。

【 0 2 5 0 】

図 2 3 は、画素ユニット 2 1 の回路図の一例である。図 2 3 では、隣接する 2 つの画素ユニット 2 1 を示している。

【 0 2 5 1 】

画素ユニット 2 1 は、スイッチ S W 1 1、容量素子 C 1 1、液晶素子 6 4 0 を有する画素 3 1 a と、スイッチ S W 1 2、トランジスタ M、容量素子 C 1 2、及び発光素子 6 6 0 を有する画素 3 1 b を有する。また、画素ユニット 2 1 には、配線 G L a、配線 G L b、配線 A N O、配線 C S C O M、配線 S L a、及び配線 S L b が接続されている。また、図 2 3 では、液晶素子 6 4 0 と接続する配線 V C O M 1、及び発光素子 6 6 0 と接続する配線 V C O M 2 を示している。

10

【 0 2 5 2 】

図 2 3 では、スイッチ S W 1 1 及びスイッチ S W 1 2 にトランジスタを用いた場合の例を示している。

【 0 2 5 3 】

スイッチ S W 1 1 のゲートは、配線 G L a と接続されている。スイッチ S W 1 1 のソース又はドレインの一方は、配線 S L a と接続され、ソース又はドレインの他方は、容量素子 C 1 1 の一方の電極、及び液晶素子 6 4 0 の一方の電極と接続されている。容量素子 C 1 1 の他方の電極は、配線 C S C O M と接続されている。液晶素子 6 4 0 の他方の電極は配線 V C O M 1 と接続されている。

20

【 0 2 5 4 】

スイッチ S W 1 2 のゲートは、配線 G L b と接続されている。スイッチ S W 1 2 のソース又はドレインの一方は、配線 S L b と接続され、ソース又はドレインの他方は、容量素子 C 1 2 の一方の電極、及びトランジスタ M のゲートと接続されている。容量素子 C 1 2 の他方の電極は、トランジスタ M のソース又はドレインの一方、及び配線 A N O と接続されている。トランジスタ M のソース又はドレインの他方は、発光素子 6 6 0 の一方の電極と接続されている。発光素子 6 6 0 の他方の電極は、配線 V C O M 2 と接続されている。

30

【 0 2 5 5 】

図 2 3 では、トランジスタ M が半導体を挟む 2 つのゲートを有し、これらが接続されている例を示している。これにより、トランジスタ M が流すことのできる電流を増大させることができる。

【 0 2 5 6 】

配線 V C O M 1、配線 C S C O M には、それぞれ所定の電位を与えることができる。

【 0 2 5 7 】

配線 V C O M 2 及び配線 A N O には、発光素子 6 6 0 が発光する電位差が生じる電位をそれぞれ与えることができる。

【 0 2 5 8 】

図 2 3 に示す画素ユニット 2 1 は、例えば反射モードの表示を行う場合には、配線 G L a 及び配線 S L a に与える信号により駆動し、液晶素子 6 4 0 による光学変調を利用して表示することができる。また、透過モードで表示を行う場合には、配線 G L b 及び配線 S L b に与える信号により駆動し、発光素子 6 6 0 を発光させて表示することができる。また両方のモードで駆動する場合には、配線 G L a、配線 G L b、配線 S L a 及び配線 S L b のそれぞれに与える信号により駆動することができる。

40

【 0 2 5 9 】

なお、スイッチ S W 1 1 及びスイッチ S W 1 2 には、O S トランジスタを用いることが好ましい。これにより、画素 3 1 a、3 1 b に映像信号を極めて長期間保持することができ、画素 3 1 a、3 1 b に表示された階調を長期間維持することができる。

50

【0260】

なお、図23では一つの画素ユニット21に、一つの液晶素子640と一つの発光素子660とを有する例を示したが、これに限られない。図24(A)は、一つの画素ユニット21に一つの液晶素子640と4つの発光素子660(発光素子660r、660g、660b、660w)を有する例を示している。図24(A)に示す画素31bは、図23とは異なり、1つの画素で発光素子を用いたフルカラーの表示が可能である。

【0261】

図24(A)では、画素ユニット21に配線GLba、配線GLbb、配線SLba、配線SLbbが接続されている。

【0262】

図24(A)に示す例では、例えば4つの発光素子660に、それぞれ赤色(R)、緑色(G)、青色(B)、及び白色(W)を呈する発光素子を用いることができる。また液晶素子640として、白色を呈する反射型の液晶素子を用いることができる。これにより、反射モードの表示を行う場合には、反射率の高い白色の表示を行うことができる。また透過モードで表示を行う場合には、演色性の高い表示を低い電力で行うことができる。

【0263】

図24(B)に、図24(A)に対応した画素ユニット21の構成例を示す。画素ユニット21は、電極611が有する開口部と重なる発光素子660wと、電極611の周囲に配置された発光素子660r、発光素子660g、及び発光素子660bとを有する。発光素子660r、発光素子660g、及び発光素子660bは、発光面積がほぼ同等であることが好ましい。

【0264】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【0265】

(実施の形態5)

本実施の形態では、上記実施の形態で説明した表示装置を用いた表示モジュールの構成例について説明する。

【0266】

図25示す表示モジュール1000は、上部カバー1001と下部カバー1002との間に、FPC1003に接続されたタッチパネル1004、FPC1005に接続された表示装置1006、フレーム1009、プリント基板1010、及びバッテリー1011を有する。

【0267】

上記実施の形態で説明した表示装置は、表示装置1006として用いることができる。

【0268】

上部カバー1001及び下部カバー1002は、タッチパネル1004及び表示装置1006のサイズに合わせて、形状や寸法を適宜変更することができる。

【0269】

タッチパネル1004としては、抵抗膜方式又は静電容量方式のタッチパネルを表示装置1006に重畳して用いることができる。また、タッチパネル1004を設けず、表示装置1006に、タッチパネル機能を持たせるようにすることも可能である。

【0270】

フレーム1009は、表示装置1006の保護機能の他、プリント基板1010の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム1009は、放熱板としての機能を有していてもよい。

【0271】

プリント基板1010は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー1011による電源であってもよい。バッテリー1011は、商用電源を用いる場合には、省略可能である。

10

20

30

40

50

【 0 2 7 2 】

また、表示モジュール 1 0 0 0 は、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

【 0 2 7 3 】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【 0 2 7 4 】

(実施の形態 6)

本実施の形態では、上記実施の形態において用いることができる O S トランジスタの構成例について説明する。

【 0 2 7 5 】

< トランジスタの構成例 >

図 2 6 (A) は、トランジスタの構成例を示す上面図である。図 2 6 (B) は、図 2 6 (A) の X 1 - X 2 線断面図であり、図 2 6 (C) は Y 1 - Y 2 線断面図である。ここでは、X 1 - X 2 線方向をチャンネル長方向と、Y 1 - Y 2 線方向をチャンネル幅方向と呼称する場合がある。図 2 6 (B) は、トランジスタのチャンネル長方向の断面構造を示す図であり、図 2 6 (C) は、トランジスタのチャンネル幅方向の断面構造を示す図である。なお、デバイス構造を明確にするため、図 2 6 (A) では、一部の構成要素が省略されている。

【 0 2 7 6 】

本発明の一態様に係る半導体装置は、絶縁層 8 1 2 乃至 8 2 0、金属酸化物膜 8 2 1 乃至 8 2 4、導電層 8 5 0 乃至 8 5 3 を有する。トランジスタ 8 0 1 は絶縁表面に形成される。図 2 6 では、トランジスタ 8 0 1 が絶縁層 8 1 1 上に形成される場合を例示している。トランジスタ 8 0 1 は絶縁層 8 1 8 及び絶縁層 8 1 9 で覆われている。

【 0 2 7 7 】

なお、トランジスタ 8 0 1 を構成している絶縁層、金属酸化物膜、導電層等は、単層であっても、複数の膜が積層されたものであってもよい。これらの作製には、スパッタリング法、分子線エピタキシー法 (M B E 法)、パルスレーザーアブレーション法 (P L A 法)、C V D 法、原子層堆積法 (A L D 法) などの各種の成膜方法を用いることができる。なお、C V D 法は、プラズマ C V D 法、熱 C V D 法、有機金属 C V D 法などがある。

【 0 2 7 8 】

導電層 8 5 0 は、トランジスタ 8 0 1 のゲート電極として機能する領域を有する。導電層 8 5 1、導電層 8 5 2 は、ソース電極又はドレイン電極として機能する領域を有する。導電層 8 5 3 は、バックゲート電極として機能する領域を有する。絶縁層 8 1 7 は、ゲート電極 (フロントゲート電極) 側のゲート絶縁層として機能する領域を有し、絶縁層 8 1 4 乃至絶縁層 8 1 6 の積層で構成される絶縁層は、バックゲート電極側のゲート絶縁層として機能する領域を有する。絶縁層 8 1 8 は層間絶縁層としての機能を有する。絶縁層 8 1 9 はバリア層としてとしての機能を有する。

【 0 2 7 9 】

金属酸化物膜 8 2 1 乃至 8 2 4 をまとめて酸化物層 8 3 0 と呼ぶ。図 2 6 (B)、図 2 6 (C) に示すように、酸化物層 8 3 0 は、金属酸化物膜 8 2 1、金属酸化物膜 8 2 2、金属酸化物膜 8 2 4 が順に積層されている領域を有する。また、一对の金属酸化物膜 8 2 3 は、それぞれ導電層 8 5 1、導電層 8 5 2 上に位置する。トランジスタ 8 0 1 がオン状態のとき、チャンネル形成領域は酸化物層 8 3 0 のうち主に金属酸化物膜 8 2 2 に形成される。

【 0 2 8 0 】

金属酸化物膜 8 2 4 は、金属酸化物膜 8 2 1 乃至 8 2 3、導電層 8 5 1、導電層 8 5 2 を覆っている。絶縁層 8 1 7 は金属酸化物膜 8 2 3 と導電層 8 5 0 との間に位置する。導電層 8 5 1、導電層 8 5 2 はそれぞれ、金属酸化物膜 8 2 3、金属酸化物膜 8 2 4、絶縁層 8 1 7 を介して、導電層 8 5 0 と重なる領域を有する。

【 0 2 8 1 】

導電層 8 5 1 及び導電層 8 5 2 は、金属酸化物膜 8 2 1 及び金属酸化物膜 8 2 2 を形成するためのハードマスクから作製されている。そのため、導電層 8 5 1 及び導電層 8 5 2 は

10

20

30

40

50

、金属酸化物膜 8 2 1 および金属酸化物膜 8 2 2 の側面に接する領域を有していない。例えば、次のような工程を経て、金属酸化物膜 8 2 1、8 2 2、導電層 8 5 1、導電層 8 5 2 を作製することができる。まず、積層された 2 層の金属酸化物膜上に導電膜を形成する。この導電膜を所望の形状に加工（エッチング）して、ハードマスクを形成する。ハードマスクを用いて、2 層の金属酸化物膜の形状を加工し、積層された金属酸化物膜 8 2 1 及び金属酸化物膜 8 2 2 を形成する。次に、ハードマスクを所望の形状に加工して、導電層 8 5 1 及び導電層 8 5 2 を形成する。

【 0 2 8 2 】

絶縁層 8 1 1 乃至 8 1 8 に用いられる絶縁材料には、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、酸化マグネシウム、窒化シリコン、酸化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、アルミニウムシリケートなどがある。絶縁層 8 1 1 乃至 8 1 8 はこれらの絶縁材料でなる単層、又は積層して構成される。絶縁層 8 1 1 乃至 8 1 8 を構成する層は、複数の絶縁材料を含んでいてもよい。

10

【 0 2 8 3 】

なお、本明細書等において、酸化窒化物とは、酸素の含有量が窒素よりも多い化合物であり、窒化酸化物とは、窒素の含有量が酸素よりも多い化合物のことを意味する。

【 0 2 8 4 】

酸化物層 8 3 0 の酸素欠損の増加を抑制するため、絶縁層 8 1 6 乃至絶縁層 8 1 8 は、酸素を含む絶縁層であることが好ましい。絶縁層 8 1 6 乃至絶縁層 8 1 8 は、加熱により酸素が放出される絶縁膜（以下、「過剰酸素を含む絶縁膜」ともいう）で形成されることがより好ましい。過剰酸素を含む絶縁膜から酸化物層 8 3 0 に酸素を供給することで、酸化物層 8 3 0 の酸素欠損を補償することができる。トランジスタ 8 0 1 の信頼性および電気的特性を向上することができる。

20

【 0 2 8 5 】

過剰酸素を含む絶縁層とは、TDS (Thermal Desorption Spectroscopy : 昇温脱離ガス分光法) において、膜の表面温度が 100 以上 700 以下、又は 100 以上 500 以下の範囲における酸素分子の放出量が 1.0×10^{18} [分子/cm³] 以上である膜とする。酸素分子の放出量は、 3.0×10^{20} 分子/cm³ 以上であることがより好ましい。

30

【 0 2 8 6 】

過剰酸素を含む絶縁膜は、絶縁膜に酸素を添加する処理を行って形成することができる。酸素を添加する処理は、酸素雰囲気下による熱処理や、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、又はプラズマ処理などを用いて行うことができる。酸素を添加するためのガスとしては、 $^{16}\text{O}_2$ もしくは $^{18}\text{O}_2$ などの酸素ガス、亜酸化窒素ガス又はオゾンガスなどを用いることができる。

【 0 2 8 7 】

酸化物層 8 3 0 の水素濃度の増加を防ぐために、絶縁層 8 1 2 乃至 8 1 9 中の水素濃度を低減することが好ましい。特に絶縁層 8 1 3 乃至 8 1 8 の水素濃度を低減することが好ましい。具体的には、水素濃度は、 2×10^{20} atoms/cm³ 以下であり、好ましくは 5×10^{19} atoms/cm³ 以下が好ましく、 1×10^{19} atoms/cm³ 以下がより好ましく、 5×10^{18} atoms/cm³ 以下がさらに好ましい。

40

【 0 2 8 8 】

上掲の水素濃度は、二次イオン質量分析法 (SIMS : Secondary Ion Mass Spectrometry) で測定された値である。

【 0 2 8 9 】

トランジスタ 8 0 1 において、酸素および水素に対してバリア性をもつ絶縁層（以下、バリア層ともいう）によって酸化物層 8 3 0 が包み込まれる構造であることが好ましい。このような構造であることで、酸化物層 8 3 0 から酸素が放出されること、酸化物層 8 3 0

50

に水素が侵入することを抑えることができる。トランジスタ 801 の信頼性、電気的特性を向上できる。

【0290】

例えば、絶縁層 819 をバリア層として機能させ、かつ絶縁層 811、812、814 の少なくとも一つをバリア層と機能させればよい。バリア層は、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、窒化シリコンなどの材料で形成することができる。

【0291】

絶縁層 811 乃至 818 の構成例を記す。この例では、絶縁層 811、812、815、819 は、それぞれ、バリア層として機能する。絶縁層 816 乃至 818 は過剰酸素を含む酸化層である。絶縁層 811 は窒化シリコンであり、絶縁層 812 は酸化アルミニウムであり、絶縁層 813 は酸化窒化シリコンである。バックゲート電極側のゲート絶縁層としての機能を有する絶縁層 814 乃至 816 は、酸化シリコン、酸化アルミニウム、酸化シリコンの積層である。フロントゲート側のゲート絶縁層としての機能を有する絶縁層 817 は、酸化窒化シリコンである。層間絶縁層としての機能を有する絶縁層 818 は、酸化シリコンである。絶縁層 819 は酸化アルミニウムである。

10

【0292】

導電層 850 乃至 853 に用いられる導電材料には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジウム、スカンジウム等の金属、又は上述した金属を成分とする金属窒化物（窒化タンタル、窒化チタン、窒化モリブデン、窒化タングステン）等がある。インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を用いることができる。

20

【0293】

導電層 850 乃至 853 の構成例を記す。導電層 850 は窒化タンタル、又はタングステン単層である。あるいは、導電層 850 は窒化タンタル、タンタルおよび窒化タンタルなる積層である。導電層 851 は、窒化タンタル単層、又は窒化タンタルとタングステンとの積層である。導電層 852 の構成は導電層 851 と同じである。導電層 853 a は窒化タンタルであり、導電層 853 b はタングステンである。

30

【0294】

トランジスタ 801 のオフ電流の低減のために、金属酸化物膜 822 は、例えば、エネルギーギャップが大きいことが好ましい。金属酸化物膜 822 のエネルギーギャップは、2.5 eV 以上 4.2 eV 以下であり、2.8 eV 以上 3.8 eV 以下が好ましく、3 eV 以上 3.5 eV 以下がさらに好ましい。

【0295】

酸化物層 830 は、結晶性を有することが好ましい。少なくとも、金属酸化物膜 822 は結晶性を有することが好ましい。上記構成により、信頼性、および電気的特性の良いトランジスタ 801 を実現できる。

40

【0296】

金属酸化物膜 822 に適用できる酸化物は、例えば、In-Ga 酸化物、In-Zn 酸化物、In-M-Zn 酸化物（M は Al、Ga、Y、又は Sn）である。金属酸化物膜 822 は、インジウムを含む酸化物層に限定されない。金属酸化物膜 822 は、例えば、Zn-Sn 酸化物、Ga-Sn 酸化物、Zn-Mg 酸化物等で形成することができる。金属酸化物膜 821、823、824 も、金属酸化物膜 822 と同様の酸化物で形成することができる。特に、金属酸化物膜 821、823、824 は、それぞれ、Ga 酸化物で形成することができる。

【0297】

金属酸化物膜 822 と金属酸化物膜 821 の界面に界面準位が形成されると、界面近傍の

50

領域にもチャンネル形成領域が形成されるために、トランジスタ 801 の閾値電圧が変動してしまう。そのため、金属酸化物膜 821 は、構成要素として、金属酸化物膜 822 を構成する金属元素の少なくとも 1 つを含むことが好ましい。これにより、金属酸化物膜 822 と金属酸化物膜 821 の界面には、界面準位が形成されにくくなり、トランジスタ 801 の閾値電圧等の電気的特性のばらつきを低減することができる。

【0298】

金属酸化物膜 824 は、構成要素として、金属酸化物膜 822 を構成する金属元素の少なくとも 1 つを含むことが好ましい。これにより、金属酸化物膜 822 と金属酸化物膜 824 との界面では、界面散乱が起こりにくくなり、キャリアの動きが阻害されにくくなるので、トランジスタ 801 の電界効果移動度を高くすることができる。

10

【0299】

金属酸化物膜 821 乃至 824 のうち、金属酸化物膜 822 のキャリア移動度が最も高いことが好ましい。これにより、絶縁層 816、817 から離間している金属酸化物膜 822 にチャンネルを形成することができる。

【0300】

例えば、In-M-Zn 酸化物等の In 含有金属酸化物は、In の含有率を高めることで、キャリア移動度を高めることができる。In-M-Zn 酸化物では主として重金属の s 軌道がキャリア伝導に寄与しており、インジウムの含有率を多くすることにより、より多くの s 軌道が重なるため、インジウムの含有率が多い酸化物はインジウムの含有率が少ない酸化物と比較して移動度が高くなる。そのため、金属酸化物膜にインジウムの含有量が多い酸化物を用いることで、キャリア移動度を高めることができる。

20

【0301】

そのため、例えば、In-Ga-Zn 酸化物で金属酸化物膜 822 を形成し、Ga 酸化物で金属酸化物膜 821、823 を形成する。例えば、In-M-Zn 酸化物で、金属酸化物膜 821 乃至 823 を形成する場合、In の含有率は金属酸化物膜 822 の In の含有率を金属酸化物膜 821、823 よりも高くする。In-M-Zn 酸化物をスパッタリング法で形成する場合、ターゲットの金属元素の原子数比を変えることで、In 含有率を変化させることができる。

【0302】

例えば、金属酸化物膜 822 の成膜に用いるターゲットの金属元素の原子数比 In : M : Zn は、1 : 1 : 1、3 : 1 : 2、又は 4 : 2 : 4.1 が好ましい。例えば、金属酸化物膜 821、823 の成膜に用いるターゲットの金属元素の原子数比 In : M : Zn は、1 : 3 : 2、又は 1 : 3 : 4 が好ましい。In : M : Zn = 4 : 2 : 4.1 のターゲットで成膜した In-M-Zn 酸化物の原子数比は、およそ In : M : Zn = 4 : 2 : 3 である。

30

【0303】

トランジスタ 801 に安定した電気的特性を付与するには、酸化物層 830 の不純物濃度を低減することが好ましい。金属酸化物において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンおよび炭素は金属酸化物中で不純物準位の形成に寄与する。不純物準位はトラップとなり、トランジスタの電気的特性を劣化させることがある。

40

【0304】

例えば、酸化物層 830 は、シリコン濃度が $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは、 $2 \times 10^{17} \text{ atoms/cm}^3$ 以下の領域を有する。酸化物層 830 の炭素濃度も同様である。

【0305】

酸化物層 830 は、アルカリ金属濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以下の、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下の領域を有する。酸化物層 830 のアルカリ土類金属の濃度についても同様である。

【0306】

50

酸化物層 830 は、水素濃度が $1 \times 10^{20} \text{ atoms/cm}^3$ 未満の、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満の、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満の、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満の領域を有する。

【0307】

上掲した酸化物層 830 の不純物濃度は、SIMS により得られる値である。

【0308】

金属酸化物膜 822 が酸素欠損を有する場合、酸素欠損のサイトに水素が入り込むことでドナー準位を形成することがある。その結果、トランジスタ 801 のオン電流を低下させる要因となる。なお、酸素欠損のサイトは、水素が入るよりも酸素が入る方が安定する。したがって、金属酸化物膜 822 中の酸素欠損を低減することで、トランジスタ 801 のオン電流を大きくすることができる場合がある。よって、金属酸化物膜 822 の水素を低減することで、酸素欠損のサイトに水素が入りこまないようにすることが、オン電流特性に有効である。

10

【0309】

金属酸化物に含まれる水素は、金属原子に結合している酸素と反応して水になるため、酸素欠損を形成することがある。酸素欠損に水素が入ることで、キャリアである電子が生成されることがある。また、水素の一部が金属原子に結合している酸素と結合して、キャリアである電子を生成することがある。金属酸化物膜 822 にチャネル形成領域が設けられるので、金属酸化物膜 822 に水素が含まれていると、トランジスタ 801 はノーマリーオン特性となりやすい。このため、金属酸化物膜 822 中の水素はできる限り低減されていることが好ましい。

20

【0310】

図 26 は、酸化物層 830 が 4 層構造の例であるが、これに限定されない。例えば、酸化物層 830 を金属酸化物膜 821 又は金属酸化物膜 823 のない 3 層構造とすることができる。又は、酸化物層 830 の任意の層の間、酸化物層 830 の上、酸化物層 830 の下のいずれか二箇所以上に、金属酸化物膜 821 乃至 824 と同様の金属酸化物膜を 1 層又は複数層を設けることができる。

【0311】

図 27 を参照して、金属酸化物膜 821、822、824 の積層によって得られる効果を説明する。図 27 は、トランジスタ 801 のチャネル形成領域のエネルギーバンド構造の模式図である。

30

【0312】

図 27 中、 E_{c816e} 、 E_{c821e} 、 E_{c822e} 、 E_{c824e} 、 E_{c817e} は、それぞれ、絶縁層 816、金属酸化物膜 821、金属酸化物膜 822、金属酸化物膜 824、絶縁層 817 の伝導帯下端のエネルギーを示している。

【0313】

ここで、真空準位と伝導帯下端のエネルギーとの差（「電子親和力」ともいう）は、真空準位と価電子帯上端のエネルギーとの差（イオン化ポテンシャルともいう）からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリプソメータ（HORIBA JOBIN YVON 社 UT-300）を用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析（UPS: Ultraviolet Photoelectron Spectroscopy）装置（PHI 社 VersaProbe）を用いて測定できる。

40

【0314】

絶縁層 816、817 は絶縁体であるため、 E_{c816e} と E_{c817e} は、 E_{c821e} 、 E_{c822e} 、および E_{c824e} よりも真空準位に近い（電子親和力が小さい）。

【0315】

金属酸化物膜 822 は、金属酸化物膜 821、824 よりも電子親和力が大きい。例えば、金属酸化物膜 822 と金属酸化物膜 821 との電子親和力の差、および金属酸化物膜 822 と金属酸化物膜 824 との電子親和力の差は、それぞれ、 0.07 eV 以上 1.3 eV

50

V以下である。電子親和力の差は、 0.1 eV 以上 0.7 eV 以下が好ましく、 0.15 eV 以上 0.4 eV 以下がさらに好ましい。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

【0316】

トランジスタ801のゲート電極(導電層850)に電圧を印加すると、金属酸化物膜821、金属酸化物膜822、金属酸化物膜824のうち、電子親和力が大きい金属酸化物膜822に主にチャンネルが形成される。

【0317】

インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、金属酸化物膜824がインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合 $[Ga / (In + Ga)]$ は、例えば、70%以上、好ましくは80%以上、さらに好ましくは90%以上とする。

10

【0318】

また、金属酸化物膜821と金属酸化物膜822の間には金属酸化物膜821と金属酸化物膜822の混合領域が存在する場合がある。また、金属酸化物膜824と金属酸化物膜822の間には金属酸化物膜824と金属酸化物膜822の混合領域が存在する場合がある。混合領域は、界面準位密度が低くなるため、金属酸化物膜821、822、824の積層されている領域は、それぞれの界面近傍においてエネルギーが連続的に変化する(連続接合ともいう)バンド構造となる。

【0319】

このようなエネルギーバンド構造を有する酸化物層830において、電子は主に金属酸化物膜822を移動することになる。そのため、金属酸化物膜821と絶縁層816との界面に、又は、金属酸化物膜824と絶縁層817との界面に準位が存在したとしても、これらの界面準位により、酸化物層830中を移動する電子の移動が阻害されにくくなるため、トランジスタ801のオン電流を高くすることができる。

20

【0320】

また、図27に示すように、金属酸化物膜821と絶縁層816の界面近傍、および金属酸化物膜824と絶縁層817の界面近傍には、それぞれ、不純物や欠陥に起因したトラップ準位 E_{t826e} 、 E_{t827e} が形成され得るものの、金属酸化物膜821、824があることにより、金属酸化物膜822をトラップ準位 E_{t826e} 、 E_{t827e} から離間することができる。

30

【0321】

なお、 E_{c821e} と E_{c822e} との差が小さい場合、金属酸化物膜822の電子が該エネルギー差を越えてトラップ準位 E_{t826e} に達することがある。トラップ準位 E_{t826e} に電子が捕獲されることで、絶縁膜の界面にマイナスの固定電荷が生じ、トランジスタの閾値電圧はプラス方向にシフトしてしまう。 E_{c822e} と E_{c824e} とのエネルギー差が小さい場合も同様である。

【0322】

トランジスタ801の閾値電圧の変動が低減され、トランジスタ801の電気的特性を良好なものとするため、 E_{c821e} と E_{c822e} との差、 E_{c824e} と E_{c822e} との差を、それぞれ 0.1 eV 以上とすることが好ましく、 0.15 eV 以上とすることがより好ましい。

40

【0323】

なお、トランジスタ801はバックゲート電極を有さない構造とすることもできる。

【0324】

<金属酸化物>

次に、上記のOSトランジスタに用いることができる、金属酸化物について説明する。以下では特に、金属酸化物とCAC(Cloud- Aligned Composite)の詳細について説明する。

【0325】

50

CAC-OSまたはCAC-metal oxideは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OSまたはCAC-metal oxideを、トランジスタのチャンネル形成領域に用いる場合、導電性の機能は、キャリアとなる電子（またはホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能（On/Offさせる機能）をCAC-OSまたはCAC-metal oxideに付与することができる。CAC-OSまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

【0326】

また、CAC-OSまたはCAC-metal oxideは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

【0327】

また、CAC-OSまたはCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

【0328】

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャンネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

【0329】

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材(matrix composite)、または金属マトリックス複合材(metal matrix composite)と呼称することもできる。したがって、CAC-OSを、Cloud-Aligned Composite-OSと呼称してもよい。

【0330】

CAC-OSは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上2nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つあるいはそれ以上の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上2nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

【0331】

なお、金属酸化物は、少なくともインジウムを含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

10

20

30

40

50

【0332】

例えば、In-Ga-Zn酸化物におけるCAC-OS (CAC-OSの中でもIn-Ga-Zn酸化物を、特にCAC-IGZOと呼称してもよい。)とは、インジウム酸化物(以下、 $InOx_1$ (x_1 は0よりも大きい実数)とする。)、またはインジウム亜鉛酸化物(以下、 $Inx_2Zny_2Oz_2$ (x_2 、 y_2 、および z_2 は0よりも大きい実数)とする。)と、ガリウム酸化物(以下、 $GaOx_3$ (x_3 は0よりも大きい実数)とする。)、またはガリウム亜鉛酸化物(以下、 $Gax_4Zny_4Oz_4$ (x_4 、 y_4 、および z_4 は0よりも大きい実数)とする。)などと、に材料が分離することでモザイク状となり、モザイク状の $InOx_1$ 、または $Inx_2Zny_2Oz_2$ が、膜中に均一に分布した構成(以下、クラウド状ともいう。)である。

10

【0333】

つまり、CAC-OSは、 $GaOx_3$ が主成分である領域と、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域とが、混合している構成を有する複合金属酸化物である。なお、本明細書において、例えば、第1の領域の元素Mに対するInの原子数比が、第2の領域の元素Mに対するInの原子数比よりも大きいことを、第1の領域は、第2の領域と比較して、Inの濃度が高いとする。

【0334】

なお、IGZOは通称であり、In、Ga、Zn、およびOによる1つの化合物をいう場合がある。代表例として、 $InGaO_3(ZnO)_{m_1}$ (m_1 は自然数)、または $In(1+x_0)Ga(1-x_0)O_3(ZnO)_{m_0}$ ($-1 < x_0 < 1$ 、 m_0 は任意数)で表される結晶性の化合物が挙げられる。

20

【0335】

上記結晶性の化合物は、単結晶構造、多結晶構造、またはCAAC (c-axis aligned) 構造を有する。なお、CAAC構造とは、複数のIGZOのナノ結晶がc軸配向を有し、かつa-b面においては配向せずに連結した結晶構造である。

【0336】

一方、CAC-OSは、金属酸化物の材料構成に関する。CAC-OSとは、In、Ga、Zn、およびOを含む材料構成において、一部にGaを主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。従って、CAC-OSにおいて、結晶構造は副次的な要素である。

30

【0337】

なお、CAC-OSは、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、Inを主成分とする膜と、Gaを主成分とする膜との2層からなる構造は、含まない。

【0338】

なお、 $GaOx_3$ が主成分である領域と、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域とは、明確な境界が観察できない場合がある。

【0339】

なお、ガリウムの代わりに、アルミニウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれている場合、CAC-OSは、一部に該金属元素を主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。

40

【0340】

CAC-OSは、例えば基板を意図的に加熱しない条件で、スパッタリング法により形成することができる。また、CAC-OSをスパッタリング法で形成する場合、成膜ガスと

50

して、不活性ガス（代表的にはアルゴン）、酸素ガス、及び窒素ガスの中から選ばれたいずれか一つまたは複数を用いればよい。また、成膜時の成膜ガスの総流量に対する酸素ガスの流量比は低いほど好ましく、例えば酸素ガスの流量比を0%以上30%未満、好ましくは0%以上10%以下とすることが好ましい。

【0341】

CAC-OSは、X線回折(XRD: X-ray diffraction)測定法のひとつであるOut-of-plane法による $\theta/2$ スキャンを用いて測定したときに、明確なピークが観察されないという特徴を有する。すなわち、X線回折から、測定領域のa-b面方向、およびc軸方向の配向は見られないことが分かる。

【0342】

またCAC-OSは、プローブ径が1nmの電子線(ナノビーム電子線ともいう。)を照射することで得られる電子線回折パターンにおいて、リング状に輝度の高い領域と、該リング領域に複数の輝点が観測される。従って、電子線回折パターンから、CAC-OSの結晶構造が、平面方向、および断面方向において、配向性を有さないnc(nano-crystal)構造を有することがわかる。

【0343】

また例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法(EDX: Energy Dispersive X-ray spectroscopy)を用いて取得したEDXマッピングにより、 $GaOx_3$ が主成分である領域と、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域とが、偏在し、混合している構造を有することが確認できる。

【0344】

CAC-OSは、金属元素が均一に分布したIGZO化合物とは異なる構造であり、IGZO化合物と異なる性質を有する。つまり、CAC-OSは、 $GaOx_3$ などが主成分である領域と、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。

【0345】

ここで、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域は、 $GaOx_3$ などが主成分である領域と比較して、導電性が高い領域である。つまり、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域を、キャリアが流れることにより、酸化物半導体としての導電性が発現する。従って、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域が、酸化物半導体中にクラウド状に分布することで、高い電界効果移動度(μ)が実現できる。

【0346】

一方、 $GaOx_3$ などが主成分である領域は、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域と比較して、絶縁性が高い領域である。つまり、 $GaOx_3$ などが主成分である領域が、酸化物半導体中に分布することで、リーク電流を抑制し、良好なスイッチング動作を実現できる。

【0347】

従って、CAC-OSを半導体素子に用いた場合、 $GaOx_3$ などに起因する絶縁性と、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ に起因する導電性とが、相補的に作用することにより、高いオン電流(I_{on})、および高い電界効果移動度(μ)を実現することができる。

【0348】

また、CAC-OSを用いた半導体素子は、信頼性が高い。従って、CAC-OSは、さまざまな半導体装置に最適である。

【0349】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【0350】

(実施の形態7)

10

20

30

40

50

本実施の形態では、上記実施の形態で説明した駆動回路又は表示装置を用いた表示システムの構成例について説明する。

【0351】

図28に、表示システム900の構成例を示す。表示システム900は、表示部910、制御部920を有する。

【0352】

制御部920は、画像データに基づいて映像信号を生成する機能を有する。制御部920は、インターフェース921、フレームメモリ922、デコーダ923、センサコントローラ924、コントローラ925、クロック生成回路926、画像処理部930、記憶装置941、タイミングコントローラ942、レジスタ943、駆動回路950、タッチセンサコントローラ961、演算回路962を有する。

10

【0353】

表示部910は、制御部920から入力された映像信号を用いて映像を表示する機能を有する。ここでは一例として、表示部910に複数の表示ユニット911a、911bが設けられている場合について説明する。また、表示部910は、タッチの有無、タッチ位置などの情報を得る機能を有するタッチセンサユニット912を有していてもよい。表示部910がタッチセンサユニット912を有しない場合、タッチセンサコントローラ961は省略することができる。

【0354】

表示ユニット911a、911bにはそれぞれ、液晶素子を用いて表示を行う表示ユニットや、発光素子を用いて表示を行う表示ユニットなどを用いることができる。ここでは一例として、表示部910が、反射型の液晶素子を用いて表示を行う表示ユニット911aと、発光素子を用いて表示を行う表示ユニット911bを有する構成について説明する。表示ユニット911a、911bはそれぞれ、図15における画素群30aと駆動回路40aから構成されるユニット、画素群30bと駆動回路40bから構成されるユニットに相当する。

20

【0355】

駆動回路950は、表示部910に映像信号を供給する機能を有する回路である。駆動回路950は、駆動回路951a、951bを有する。駆動回路951a、951bは、図15、図16における駆動回路50a、50bに対応する。

30

【0356】

ホスト970は、制御部920に画像データ、制御信号などを送信する機能を有するプロセッサなどに対応する。制御部920とホスト970との通信は、インターフェース921を介して行われる。また、制御部920からホスト970には、タッチセンサコントローラ961が取得したタッチの有無、タッチ位置などの情報が送られる。なお、制御部920が有するそれぞれの回路は、ホスト970の規格、表示部910の仕様等によって、適宜取捨される。

【0357】

フレームメモリ922は、制御部920に入力された画像データを記憶する機能を有する記憶回路である。ホスト970から制御部920に圧縮された画像データが送られる場合、フレームメモリ922は、圧縮された画像データを格納することができる。デコーダ923は、圧縮された画像データを伸長するための回路である。画像データを伸長する必要がない場合、デコーダ923は処理を行わない。なお、デコーダ923は、フレームメモリ922とインターフェース921との間に配置することもできる。

40

【0358】

画像処理部930は、フレームメモリ922又はデコーダ923から入力された画像データに対して、各種の画像処理を行い、映像信号を生成する機能を有する。例えば、画像処理部930は、ガンマ補正回路931、調光回路932、調色回路933を有する。

【0359】

また、駆動回路951bが、表示ユニット911bが有する発光素子に流れる電流を検出

50

する機能を有する回路（電流検出回路）を有する場合、画像処理部 930 には EL 補正回路 934 を設けてもよい。EL 補正回路 934 は、電流検出回路から送信される信号に基づいて、発光素子の輝度を調節する機能を有する。

【0360】

画像処理部 930 で生成された映像信号は、記憶装置 941 を経て、駆動回路 950 へ出力される。記憶装置 941 は、映像信号を一時的に格納する機能を有する。駆動回路 951a、951b は、記憶装置 941 から入力された映像信号に対して各種の処理を行い、表示ユニット 911a、911b へ出力する機能を有する。

【0361】

タイミングコントローラ 942 は、駆動回路 950、タッチセンサコントローラ 961、表示ユニット 911 が有する駆動回路で用いられるタイミング信号などを生成する機能を有する。

10

【0362】

タッチセンサコントローラ 961 は、タッチセンサユニット 912 の動作を制御する機能を有する。タッチセンサユニット 912 で検出されたタッチ情報を含む信号は、タッチセンサコントローラ 961 で処理された後、インターフェース 921 を介してホスト 970 へ送信される。ホスト 970 は、タッチ情報を反映した画像データを生成し、制御部 920 へ送信する。なお、制御部 920 が画像データにタッチ情報を反映させる機能を有していてもよい。また、タッチセンサコントローラ 961 は、タッチセンサユニット 912 に設けられていてもよい。

20

【0363】

クロック生成回路 926 は、制御部 920 で使用されるクロック信号を生成する機能を有する。コントローラ 925 は、インターフェース 921 を介してホスト 970 から送られる各種制御信号を処理し、制御部 920 内の各種回路を制御する機能を有する。また、コントローラ 925 は、制御部 920 内の各種回路への電源供給を制御する機能を有する。例えばコントローラ 925 は、停止状態の回路への電源供給を一時的に遮断することができる。

【0364】

演算回路 962 は、駆動回路 951a、951b から入力された電位（図 17（B）における電位 V_{outa} 、 V_{outb} に対応）の差 V_{out} を算出する機能を有する。演算回路 962 によって算出された V_{out} の値は、レジスタ 943 に格納される。なお、演算回路 962 として、図 1 等に示す演算回路 56 を用いることもできる。

30

【0365】

また、画像処理部 930 は補正回路 935 を有する。補正回路 935 は、データ SD を、 V_{out} が相殺されるように補正する機能を有する。これにより、図 17（B）に示すように、駆動回路 951a と駆動回路 951b の間の映像信号の差を相殺することができる。

【0366】

なお、図 17（B）における回路 80 は、演算回路 962 の機能と補正回路 935 の機能を有する回路に相当する。

40

【0367】

レジスタ 943 は、制御部 920 の動作に用いられるデータを格納する機能を有する。レジスタ 943 が格納するデータとしては、画像処理部 930 が補正処理を行うために使用するパラメータ、タイミングコントローラ 942 が各種タイミング信号の波形生成に用いるパラメータなどが挙げられる。レジスタ 943 は、複数のレジスタで構成されるスキャンチェーンレジスタによって構成することができる。

【0368】

また、制御部 920 には、光センサ 980 と接続されたセンサコントローラ 924 を設けることができる。光センサ 980 は、外光 981 を検知して、検知信号を生成する機能を有する。センサコントローラ 924 は、検知信号に基づいて制御信号を生成する機能を有

50

する。センサコントローラ 9 2 4 で生成された制御信号は、例えば、コントローラ 9 2 5 に出力される。

【 0 3 6 9 】

表示ユニット 9 1 1 a と表示ユニット 9 1 1 b が映像を表示する場合、画像処理部 9 3 0 は、表示ユニット 9 1 1 a の映像信号と表示ユニット 9 1 1 b の映像信号とを分けて生成する機能を有する。この場合、光センサ 9 8 0 およびセンサコントローラ 9 2 4 を用いて測定した外光 9 8 1 の明るさに応じて、表示ユニット 9 1 1 a が有する反射型の液晶素子の反射強度と、表示ユニット 9 1 1 b が有する発光素子の発光強度を調整することができる。ここでは、当該調整を調光、あるいは調光処理と呼ぶ。また、当該処理を実行する回路を調光回路と呼ぶ。

10

【 0 3 7 0 】

画像処理部 9 3 0 は、表示部 9 1 0 の仕様によって、RGB - RGBW 変換回路など、他の処理回路を有していてもよい。RGB - RGBW 変換回路とは、RGB (赤、緑、青) 画像データを、RGBW (赤、緑、青、白) 画像信号に変換する機能をもつ回路である。すなわち、表示部 9 1 0 が RGBW 4 色の画素を有する場合、画像データ内の W (白) 成分を、W (白) 画素を用いて表示することで、消費電力を低減することができる。なお、表示部 9 1 0 が RGBY 4 色の画素を有する場合、例えば、RGB - RGBY (赤、緑、青、黄) 変換回路を用いることができる。

【 0 3 7 1 】

制御部 9 2 0 は、半導体装置によって構成することができる。従って、制御部 9 2 0 は半導体装置と呼ぶこともできる。また、制御部 9 2 0 に含まれる回路は、1つの集積回路に集約することができる。この集積回路は、図 1 8 における IC 6 7 3 として用いることができる。この場合、表示装置 6 0 0 に制御部 9 2 0 を実装することができる。

20

【 0 3 7 2 】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【 0 3 7 3 】

(実施の形態 8)

本実施の形態では、上記実施の形態で説明した表示装置又は表示システムを搭載した電子機器の構成例について説明する。図 2 9 に、電子機器の一例として、タブレット型の情報端末の構成例を示す。

30

【 0 3 7 4 】

図 2 9 (A) に、タブレット型の情報端末の構成例を示す。情報端末 1 1 7 0 は、筐体 1 1 7 1、表示部 1 1 7 2、操作キー 1 1 7 3、スピーカ 1 1 7 4 を有する。ここで、表示部 1 1 7 2 には、位置入力装置としての機能を有する表示装置を用いることができる。位置入力装置としての機能は例えば、表示装置にタッチパネルを設ける、表示装置に光電変換素子を有する画素部を設けるなどの方法によって付加することができる。また、操作キー 1 1 7 3 は、情報端末 1 1 7 0 を起動する電源スイッチ、情報端末 1 1 7 0 のアプリケーションを操作するボタン、音量調整ボタン、又は表示部 1 1 7 2 を点灯、あるいは消灯するスイッチとして用いることができる。

【 0 3 7 5 】

図 2 9 (A) には操作キー 1 1 7 3 を 4 個示しているが、情報端末 1 1 7 0 の有する操作キーの数及び配置は、これに限定されない。また、情報端末 1 1 7 0 はマイクロホンを用いてもよい。これにより、例えば、情報端末 1 1 7 0 に携帯電話のような通話機能を付することができる。また、情報端末 1 1 7 0 はカメラを用いてもよい。また、情報端末 1 1 7 0 はフラッシュライト、又は照明として用いることができる発光装置を用いてもよい。

40

【 0 3 7 6 】

また、情報端末 1 1 7 0 は、筐体 1 1 7 1 の内部にセンサ(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線などを測定する

50

機能を含むもの)を有していてもよい。特に、ジャイロセンサ、加速度センサなどの傾きを検出するセンサを有する検出装置を設けることで、情報端末1170の向き(鉛直方向に対して情報端末がどの向きに向いているか)を判断して、表示部1172の画面表示を、情報端末1170の向きに応じて自動的に切り替えるようにすることができる。

【0377】

なお、表示部1172には、図28における表示部910を用いることができる。また、情報端末1170には、図28における制御部920に対応する集積回路1160、図28におけるホスト970に対応するプロセッサ1161を搭載することができる。これにより、情報端末1170に表示システムが搭載される。

【0378】

図29(B)に、情報端末1170に搭載される表示システム1180の構成例を示す。表示システム1180は、プロセッサ1161、集積回路1160、表示部1172によって構成される。

【0379】

プロセッサ1161から集積回路1160には、画像データDi、制御信号Scが送信される。集積回路1160は、制御信号Scに基づいて、表示部1172への映像信号の供給、又は、映像信号の検査及び補正を行う。すなわち、プロセッサ1161は、集積回路1160において、表示部1172への映像信号の供給を行うか、映像信号の検査及び補正を行うかを選択する機能を有する。

【0380】

制御信号Scによって表示部1172への映像信号の供給が命令されると、集積回路1160は画像データDiに基づいて映像信号を生成し、データSDとして表示部1172に供給する。一方、制御信号Scによって映像信号の検査及び補正が命令されると、集積回路1160は図4乃至7に示す動作により、映像信号の補正を行う。そして、補正された映像信号は、データSD'として表示部1172に供給される。

【0381】

このように、電子機器に表示システム1180を備えることにより、プロセッサ1161を用いて映像信号の検査及び補正を行うことが可能な電子機器を実現することができる。

【0382】

なお、本発明の一態様に係る電子機器は、図29に示す情報端末に限られない。図30に、電子機器の他の例を示す。

【0383】

図30(A)、(B)に、携帯情報端末2000の一例を示す。携帯情報端末2000は、筐体2001、筐体2002、表示部2003、表示部2004、及びヒンジ部2005等を有する。

【0384】

筐体2001と筐体2002は、ヒンジ部2005で連結されている。携帯情報端末2000は、図30(A)に示すように折り畳んだ状態から、図30(B)に示すように筐体2001と筐体2002を開くことができる。

【0385】

例えば表示部2003及び表示部2004に文書情報を表示することが可能であり、電子書籍端末としても用いることができる。また、表示部2003及び表示部2004に静止画像や動画像を表示することもできる。また、表示部2003は、タッチパネルを有していてもよい。

【0386】

このように、携帯情報端末2000は、持ち運ぶ際には折り畳んだ状態にできるため、汎用性に優れる。

【0387】

なお、筐体2001及び筐体2002には、電源ボタン、操作ボタン、外部接続ポート、スピーカ、マイク等を有していてもよい。

10

20

30

40

50

【0388】

なお、携帯情報端末2000は、表示部2003に設けられたタッチセンサを用いて、文字、図形、イメージを識別する機能を有していてもよい。この場合、例えば、数学又は言語などを学ぶための問題集などを表示する情報端末に対して、指、又はスタイラスペンなどで解答を書き込んで、携帯情報端末2000で正誤の判定を行うといった学習を行うことができる。また、携帯情報端末2000は、音声解読を行う機能を有していてもよい。この場合、例えば、携帯情報端末2000を用いて外国語の学習などを行うことができる。このような携帯情報端末は、教科書などの教材、又はノートなどとして利用する場合に適している。

【0389】

なお、表示部2003に設けられたタッチセンサによって取得したタッチ情報は、本発明の一態様に係る半導体装置による、電力供給の有無の予測に用いることができる。

【0390】

図30(C)に携帯情報端末の一例を示す。図30(C)に示す携帯情報端末2010は、筐体2011、表示部2012、操作ボタン2013、外部接続ポート2014、スピーカ2015、マイク2016、カメラ2017等を有する。

【0391】

携帯情報端末2010は、表示部2012にタッチセンサを備える。電話を掛ける、或いは文字を入力するなどのあらゆる操作は、指やスタイラスなどで表示部2012に触れることで行うことができる。

【0392】

また、操作ボタン2013の操作により、電源のオン、オフ動作や、表示部2012に表示される画像の種類を切り替えることができる。例えば、メール作成画面から、メインメニュー画面に切り替えることができる。

【0393】

また、携帯情報端末2010の内部に、ジャイロセンサまたは加速度センサ等の検出装置を設けることで、携帯情報端末2010の向き（縦か横か）を判断して、表示部2012の画面表示の向きを自動的に切り替えるようにすることができる。また、画面表示の向きの切り替えは、表示部2012に触れること、操作ボタン2013の操作、またはマイク2016を用いた音声入力等により行うこともできる。

【0394】

携帯情報端末2010は、例えば、電話機、手帳または情報閲覧装置等から選ばれた一つまたは複数の機能を有する。例えば、携帯情報端末2010はスマートフォンとして用いることができる。また、携帯情報端末2010は、例えば、移動電話、電子メール、文章閲覧及び作成、音楽再生、動画再生、インターネット通信、ゲームなどの種々のアプリケーションを実行することができる。

【0395】

図30(D)に、カメラの一例を示す。カメラ2020は、筐体2021、表示部2022、操作ボタン2023、シャッターボタン2024等を有する。またカメラ2020には、着脱可能なレンズ2026が取り付けられている。

【0396】

ここではカメラ2020として、レンズ2026を筐体2021から取り外して交換することが可能な構成としたが、レンズ2026と筐体2021が一体となってもよい。

【0397】

カメラ2020は、シャッターボタン2024を押すことにより、静止画、または動画を撮像することができる。また、表示部2022はタッチパネルとしての機能を有し、表示部2022をタッチすることにより撮像することも可能である。

【0398】

なお、カメラ2020は、ストロボ装置や、ビューファインダーなどを別途装着することができる。または、これらが筐体2021に組み込まれていてもよい。

10

20

30

40

50

【 0 3 9 9 】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【 符号の説明 】

【 0 4 0 0 】

1 0	表示装置	
2 0	画素部	
2 1	画素ユニット	
3 0	画素群	
3 1	画素	
4 0	駆動回路	10
5 0	駆動回路	
5 1	シフトレジスタ	
5 2	デコーダ回路	
5 3	レベルシフト回路	
5 4	D A 変換回路	
5 5	増幅回路	
5 6	演算回路	
6 0	液晶素子	
6 1	反射電極	
6 2	液晶層	20
6 3	透明電極	
6 4	光	
6 5	開口部	
7 0	発光素子	
7 1	光	
8 0	回路	
1 1 0	レジスタ	
1 2 0	ラッチ回路	
1 2 1	減算回路	
1 2 2	加算器	30
1 2 3	インバータ	
1 3 0	デコーダ	
1 4 0	ラッチ回路	
1 5 0	レベルシフト	
1 6 0	選択回路	
1 6 1	回路	
1 7 0	電位生成回路	
1 8 0	アンプ	
2 1 0	発光素子	
2 2 0	液晶素子	40
4 1 2	液晶層	
4 1 3	電極	
4 1 7	絶縁層	
4 2 1	絶縁層	
4 3 1	着色層	
4 3 2	遮光層	
4 3 3	配向膜	
4 3 4	着色層	
4 3 5	偏光板	
4 4 1	接着層	50

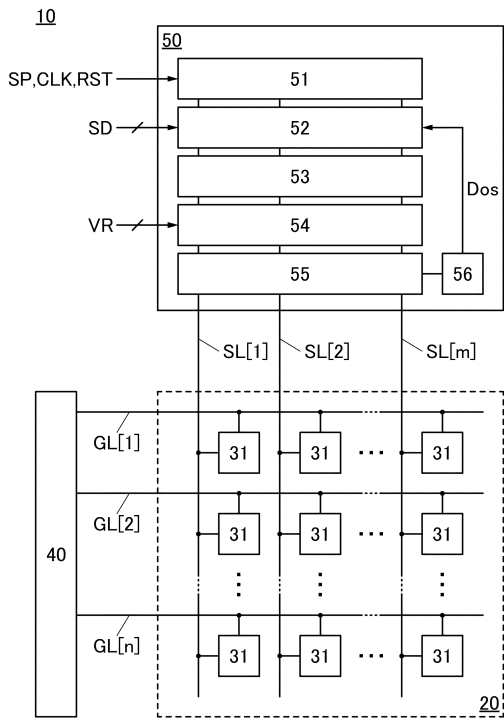
4 4 2	接着層	
4 5 1	開口	
4 7 0	発光素子	
4 8 0	液晶素子	
4 9 1	電極	
4 9 2	E L 層	
4 9 3	電極	
4 9 4	絶縁層	
5 0 1	トランジスタ	
5 0 3	トランジスタ	10
5 0 4	接続部	
5 0 5	トランジスタ	
5 0 6	トランジスタ	
5 0 7	接続部	
5 1 1	絶縁層	
5 1 2	絶縁層	
5 1 3	絶縁層	
5 1 4	絶縁層	
5 1 6	絶縁層	
5 1 7	絶縁層	20
5 1 8	絶縁層	
5 2 0	絶縁層	
5 2 1	導電層	
5 2 3	導電層	
5 3 1	半導体層	
5 4 0	トランジスタ	
5 4 2	接続層	
5 4 3	接続体	
5 5 2	接続部	
5 6 1	半導体層	30
5 6 3	導電層	
5 8 0	トランジスタ	
5 8 1	トランジスタ	
5 8 4	トランジスタ	
5 8 5	トランジスタ	
5 8 6	トランジスタ	
6 0 0	表示装置	
6 0 0 A	表示装置	
6 0 0 B	表示装置	
6 1 1	電極	40
6 4 0	液晶素子	
6 5 1	基板	
6 6 0	発光素子	
6 6 1	基板	
6 6 2	表示部	
6 6 4	回路	
6 6 5	配線	
6 7 2	F P C	
6 7 3	I C	
8 0 1	トランジスタ	50

8 1 1	絶縁層	
8 1 2	絶縁層	
8 1 3	絶縁層	
8 1 4	絶縁層	
8 1 5	絶縁層	
8 1 6	絶縁層	
8 1 7	絶縁層	
8 1 8	絶縁層	
8 1 9	絶縁層	
8 2 0	絶縁層	10
8 2 1	金属酸化物膜	
8 2 2	金属酸化物膜	
8 2 3	金属酸化物膜	
8 2 4	金属酸化物膜	
8 3 0	酸化物層	
8 5 0	導電層	
8 5 1	導電層	
8 5 2	導電層	
8 5 3	導電層	
9 0 0	表示システム	20
9 1 0	表示部	
9 1 1	表示ユニット	
9 1 2	タッチセンサユニット	
9 2 0	制御部	
9 2 1	インターフェース	
9 2 2	フレームメモリ	
9 2 3	デコーダ	
9 2 4	センサコントローラ	
9 2 5	コントローラ	
9 2 6	クロック生成回路	30
9 3 0	画像処理部	
9 3 1	ガンマ補正回路	
9 3 2	調光回路	
9 3 3	調色回路	
9 3 4	E L 補正回路	
9 3 5	補正回路	
9 4 1	記憶装置	
9 4 2	タイミングコントローラ	
9 4 3	レジスタ	
9 5 0	駆動回路	40
9 5 1	駆動回路	
9 6 1	タッチセンサコントローラ	
9 6 2	演算回路	
9 7 0	ホスト	
9 8 0	光センサ	
9 8 1	外光	
1 0 0 0	表示モジュール	
1 0 0 1	上部カバー	
1 0 0 2	下部カバー	
1 0 0 3	F P C	50

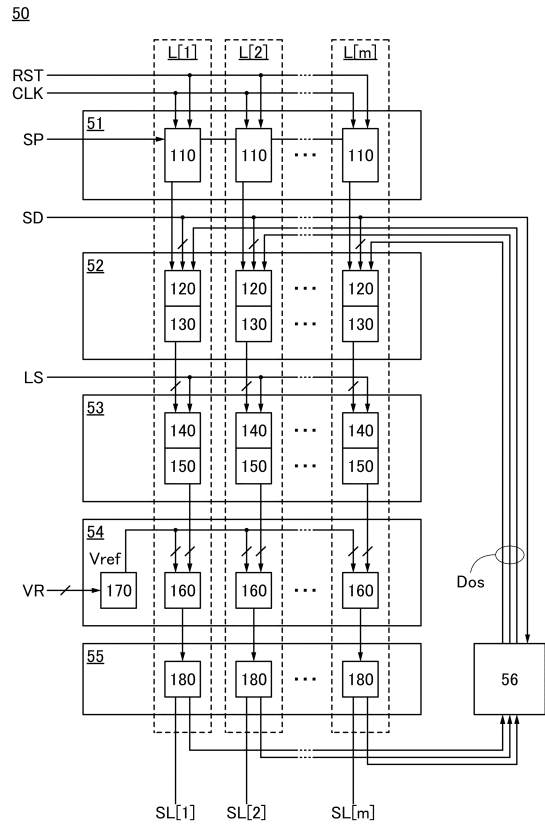
1 0 0 4	タッチパネル	
1 0 0 5	F P C	
1 0 0 6	表示装置	
1 0 0 9	フレーム	
1 0 1 0	プリント基板	
1 0 1 1	バッテリー	
1 1 6 0	集積回路	
1 1 6 1	プロセッサ	
1 1 7 0	情報端末	
1 1 7 1	筐体	10
1 1 7 2	表示部	
1 1 7 3	操作キー	
1 1 7 4	スピーカ	
1 1 8 0	表示システム	
2 0 0 0	携帯情報端末	
2 0 0 1	筐体	
2 0 0 2	筐体	
2 0 0 3	表示部	
2 0 0 4	表示部	
2 0 0 5	ヒンジ部	20
2 0 1 0	携帯情報端末	
2 0 1 1	筐体	
2 0 1 2	表示部	
2 0 1 3	操作ボタン	
2 0 1 4	外部接続ポート	
2 0 1 5	スピーカ	
2 0 1 6	マイク	
2 0 1 7	カメラ	
2 0 2 0	カメラ	
2 0 2 1	筐体	30
2 0 2 2	表示部	
2 0 2 3	操作ボタン	
2 0 2 4	シャッターボタン	
2 0 2 6	レンズ	

【 図面 】

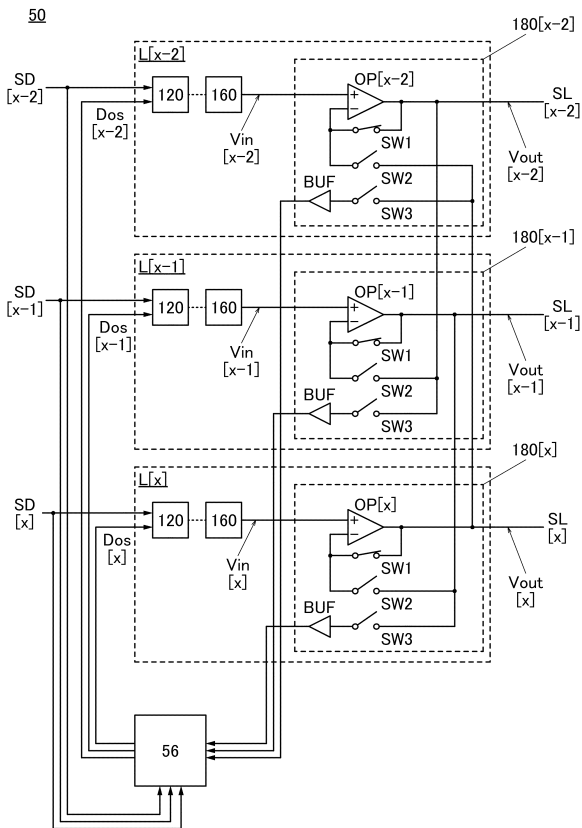
【 図 1 】



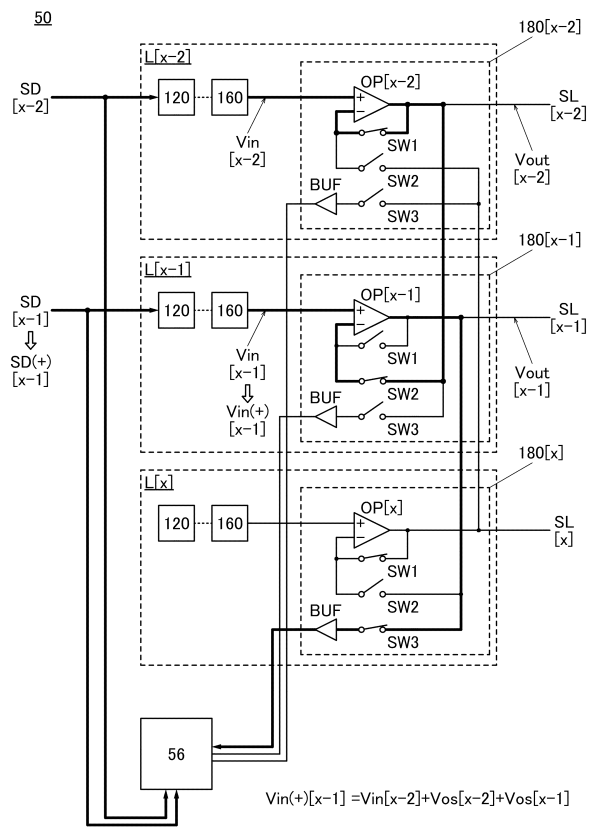
【 図 2 】



【 図 3 】



【 図 4 】



10

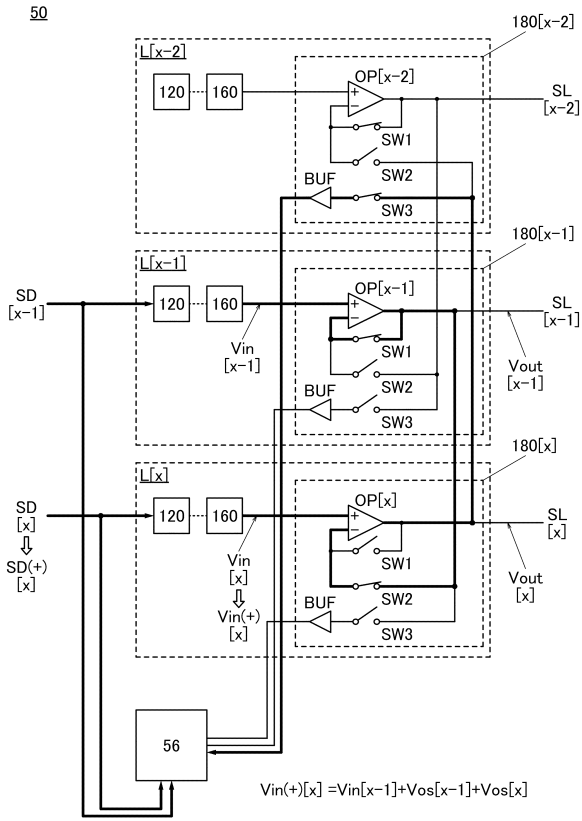
20

30

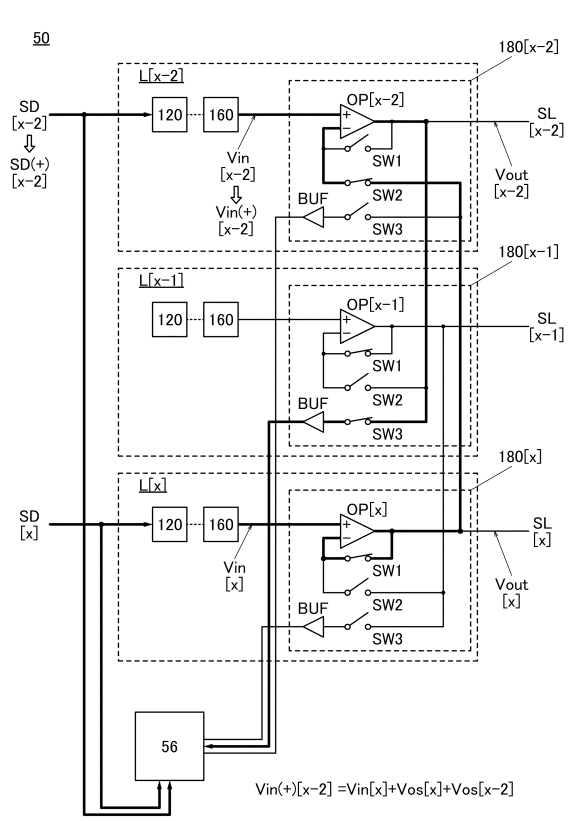
40

50

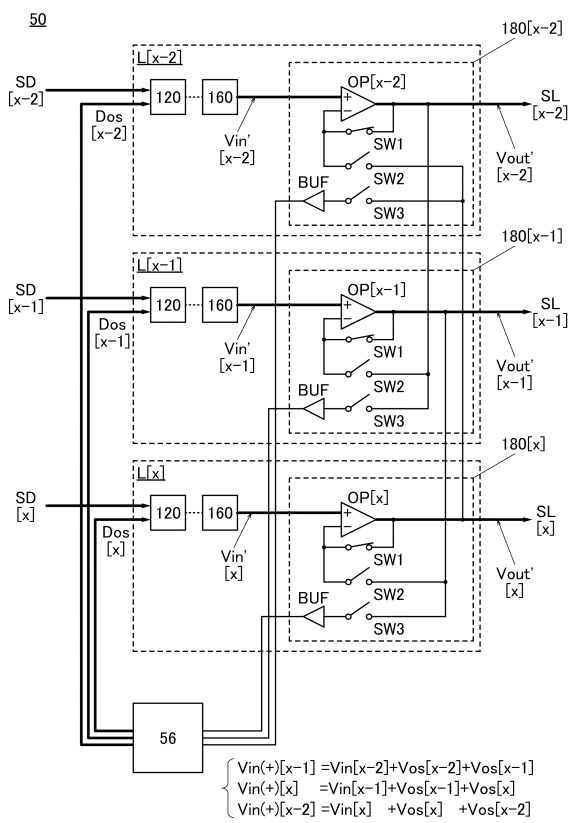
【 図 5 】



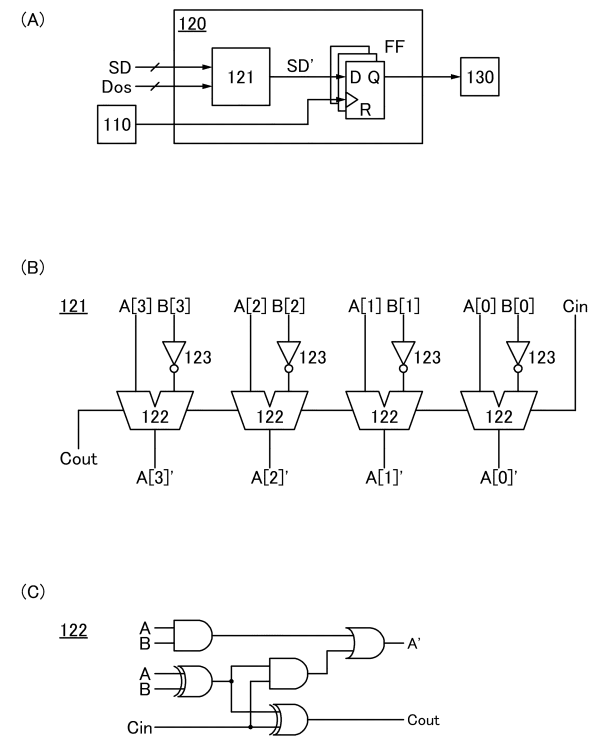
【 図 6 】



【 図 7 】



【 図 8 】



10

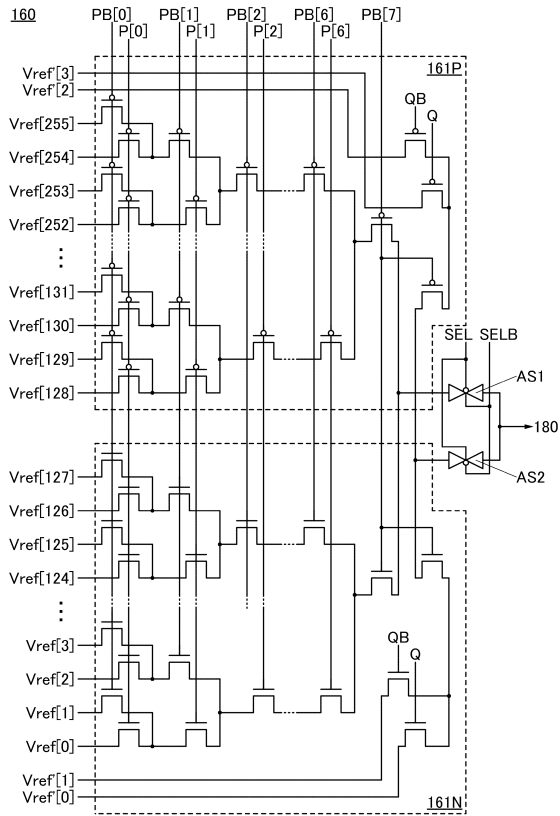
20

30

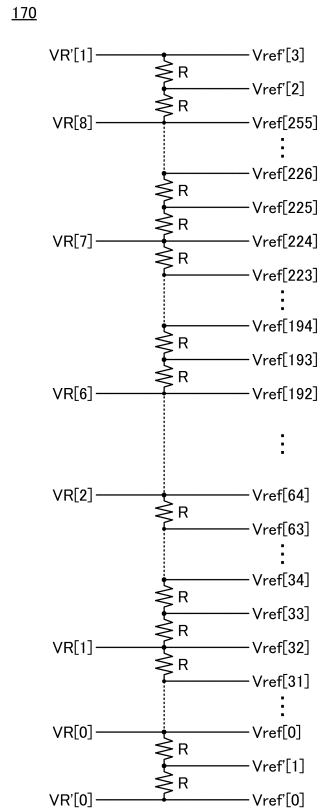
40

50

【 図 9 】



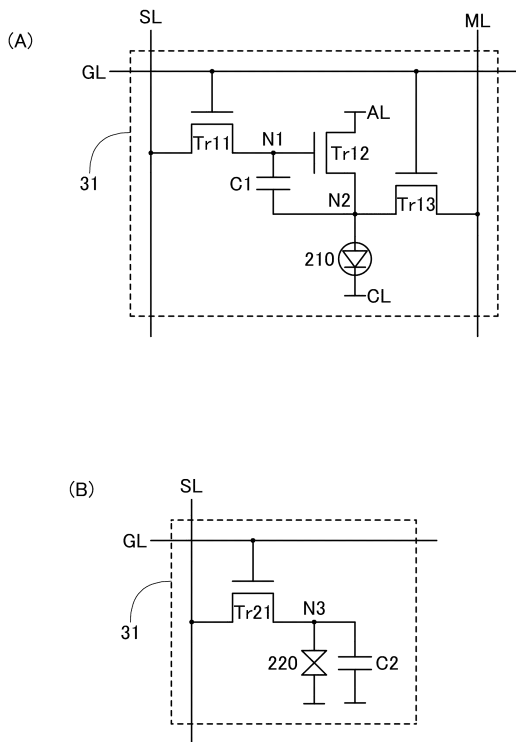
【 図 10 】



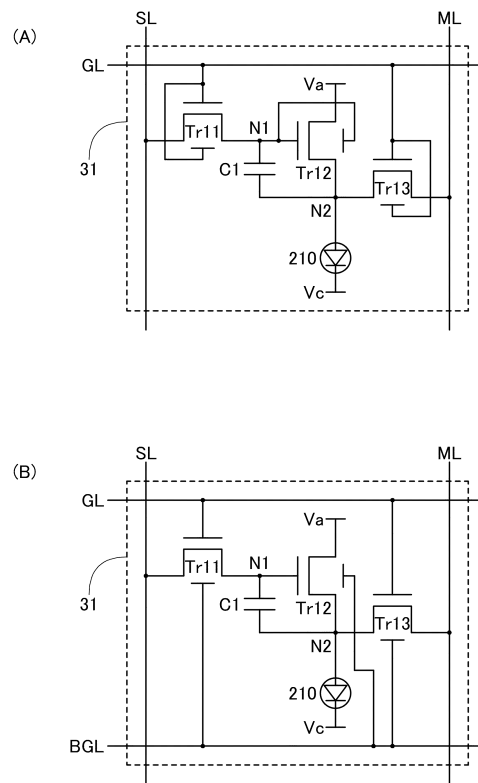
10

20

【 図 11 】



【 図 12 】

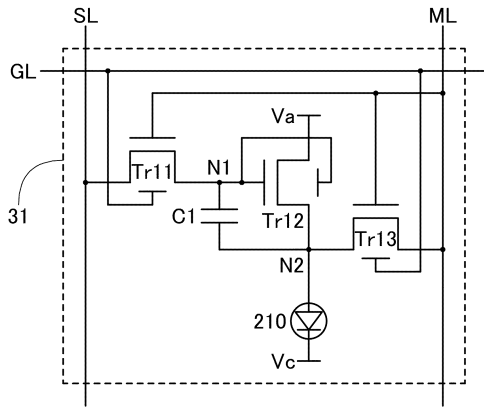


30

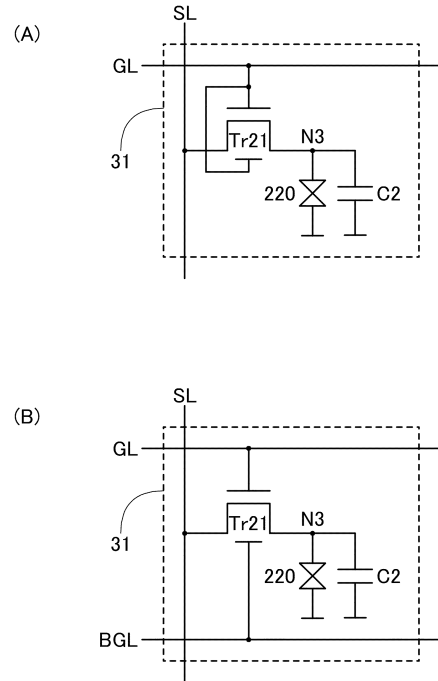
40

50

【図 13】



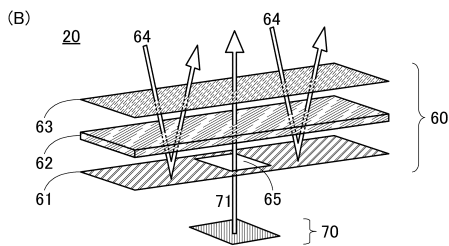
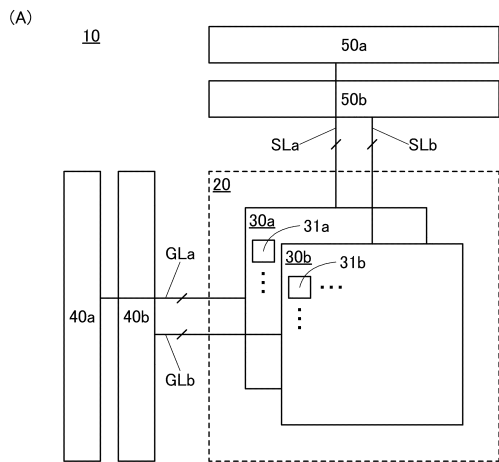
【図 14】



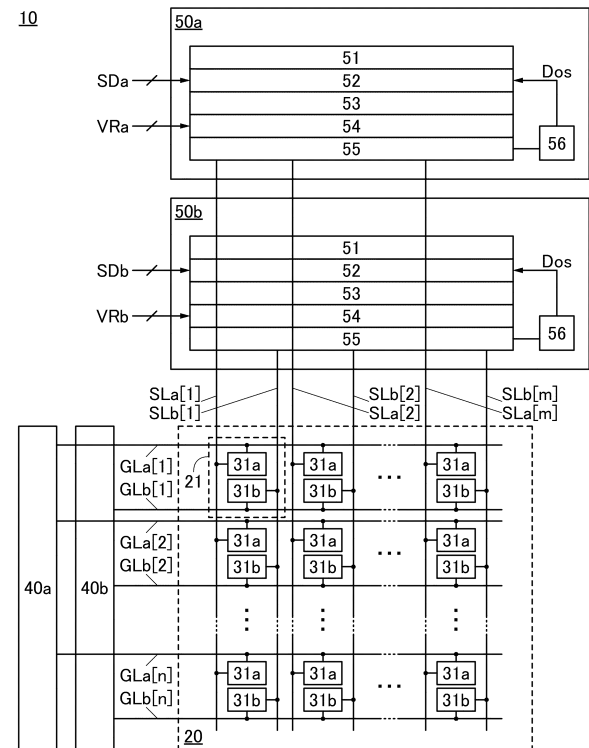
10

20

【図 15】



【図 16】

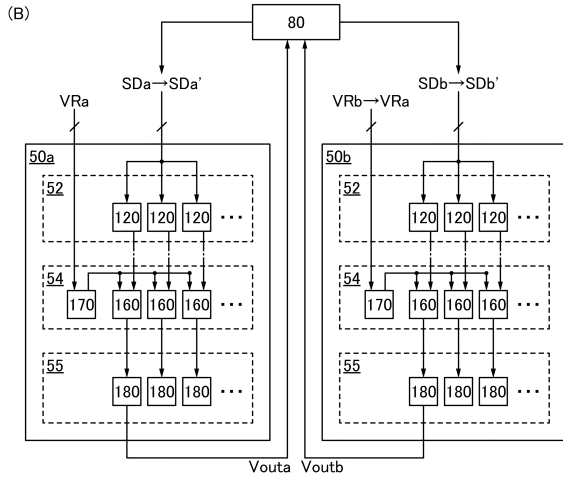
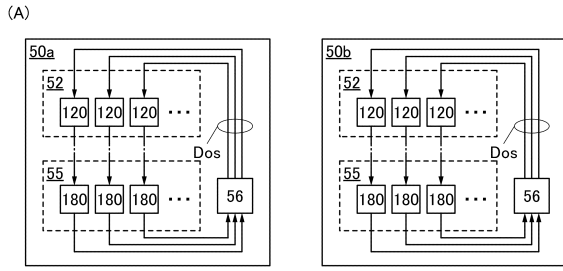


30

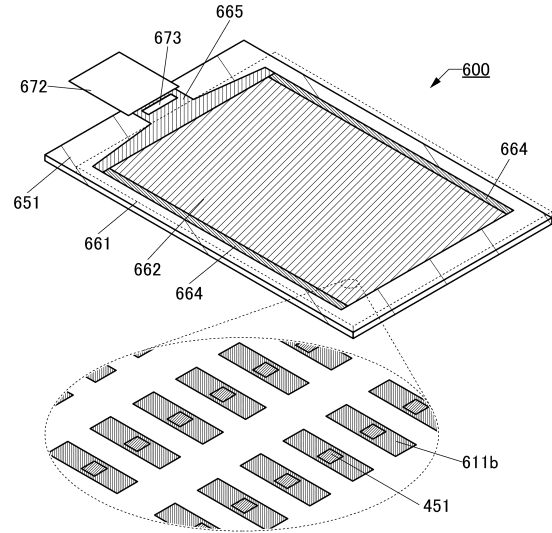
40

50

【 図 1 7 】



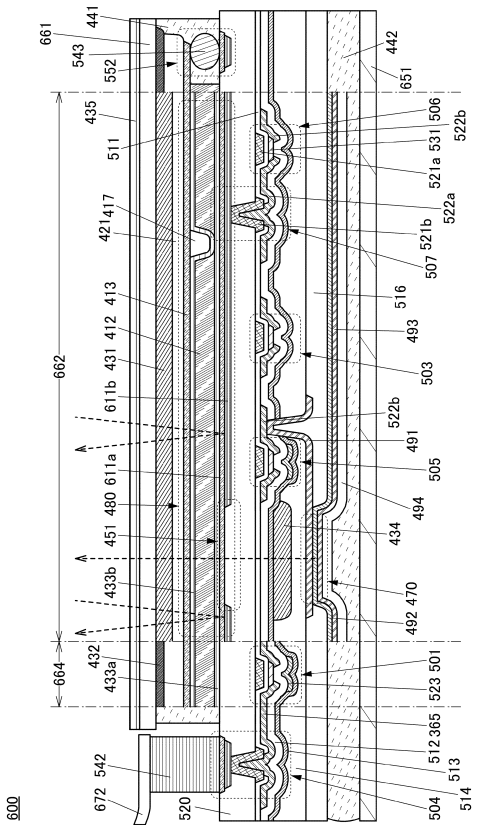
【 図 1 8 】



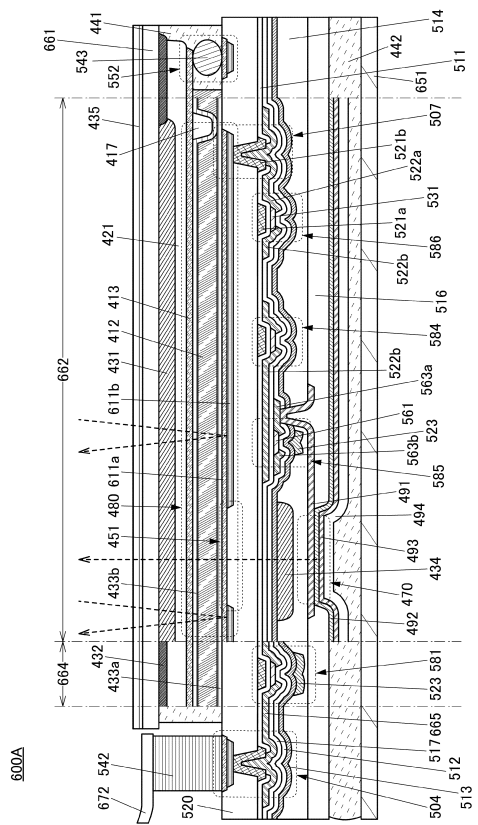
10

20

【 図 1 9 】



【 図 2 0 】

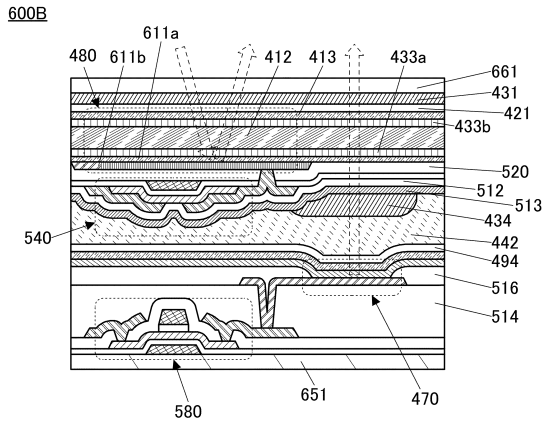


30

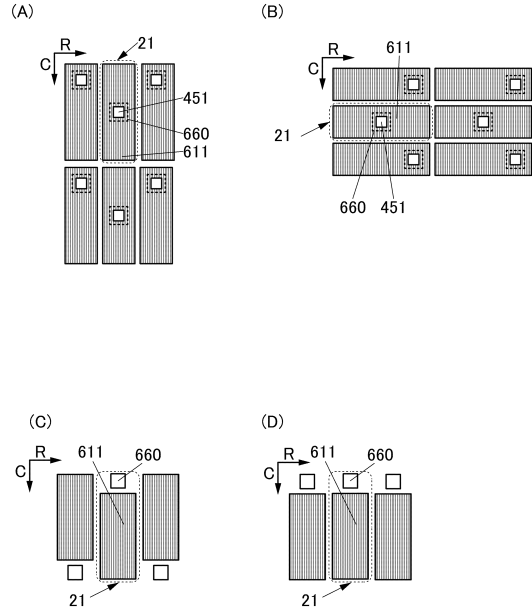
40

50

【 図 2 1 】

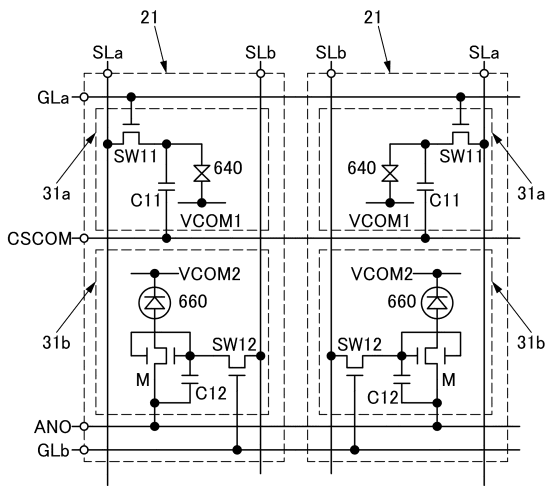


【 図 2 2 】

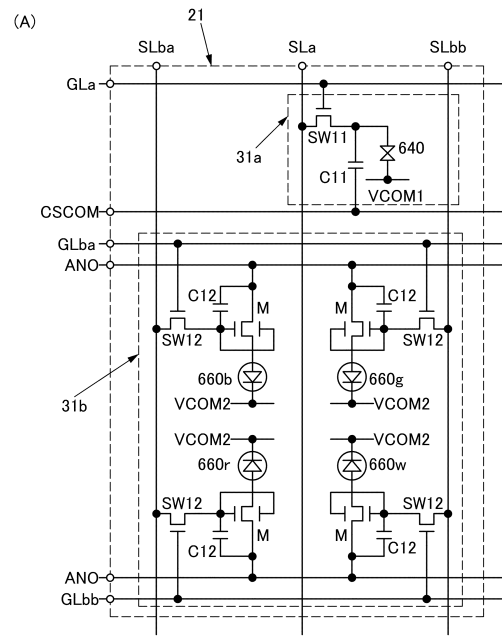


10

【 図 2 3 】

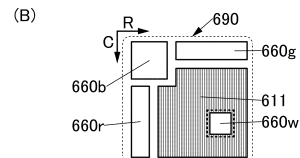


【 図 2 4 】



20

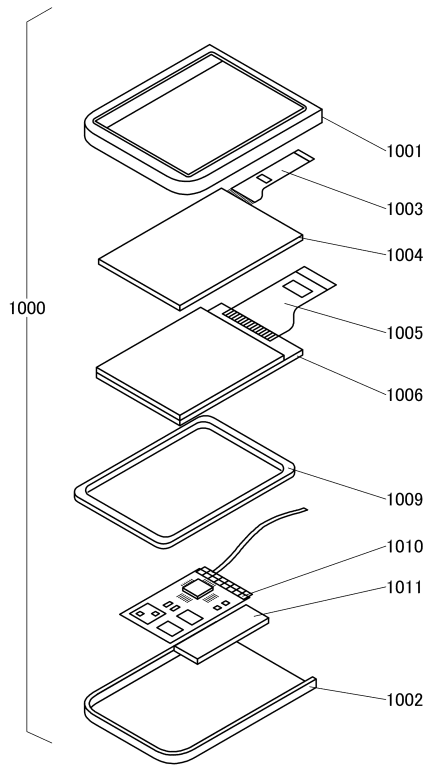
30



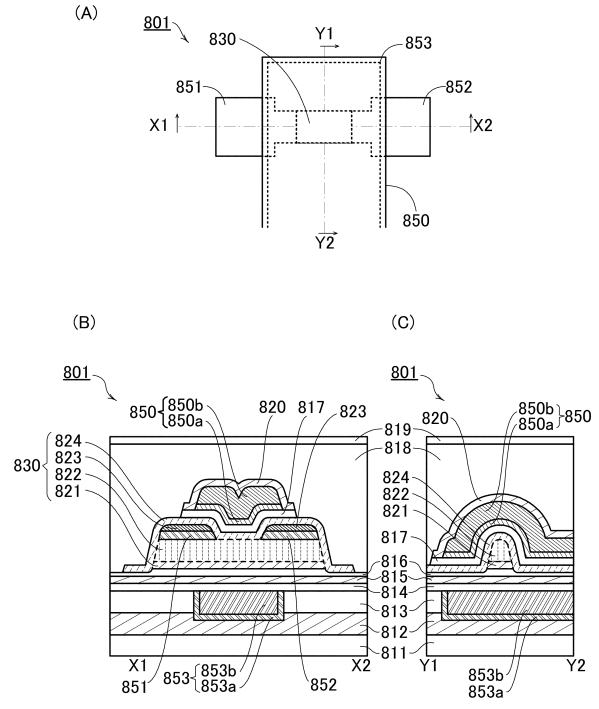
40

50

【 図 2 5 】



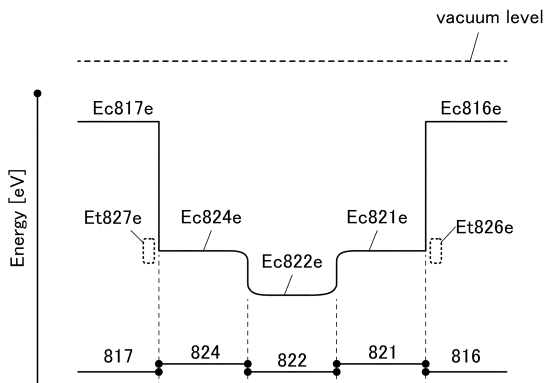
【 図 2 6 】



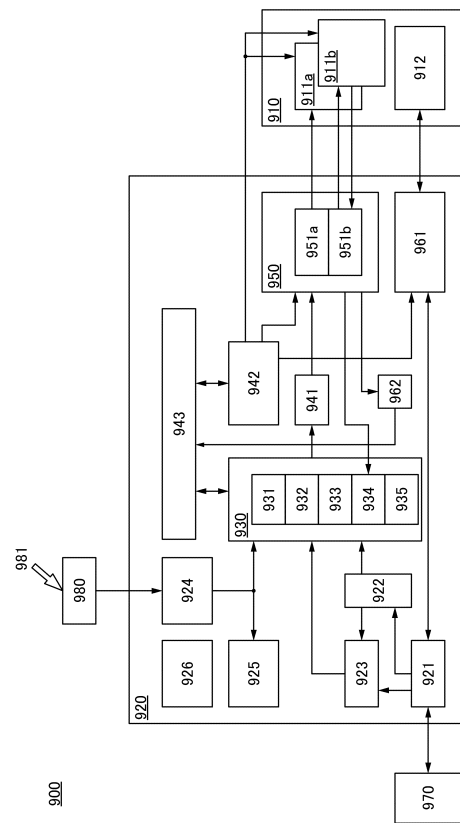
10

20

【 図 2 7 】




【 図 2 8 】

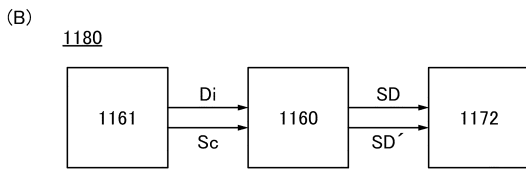
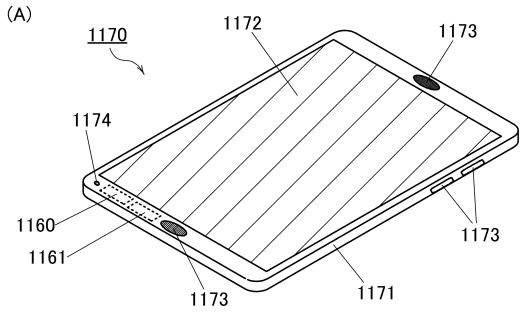



30

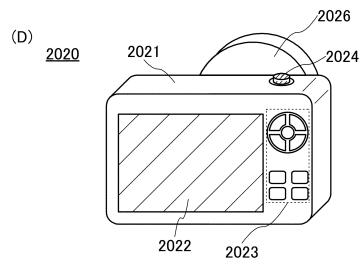
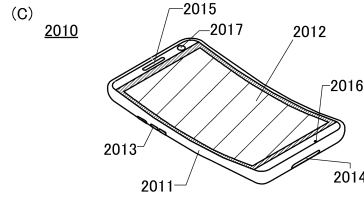
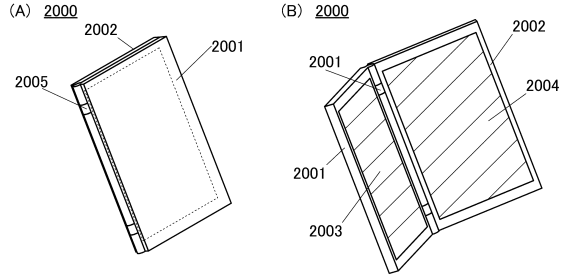
40

50

【 29】



【 30】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

G 0 9 G 3/3275(2016.01)

F I

G 0 9 G	3/20	6 4 1 P
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/36	
G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/3275	
G 0 9 G	3/20	6 1 2 F
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 8 0 H

(56)参考文献

特開 2 0 1 3 - 1 9 0 5 1 3 (J P , A)

特開 2 0 0 6 - 1 1 9 2 2 5 (J P , A)

(58)調査した分野 (Int.Cl., D B名)

G 0 9 G	3 / 2 0
H 0 1 L	2 9 / 7 8 6
H 0 1 L	2 1 / 8 2 3 4
H 0 1 L	2 7 / 0 8 8
G 0 9 G	3 / 3 6
G 0 9 G	3 / 3 2 7 5