

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 13/38 (2006.01)

G06F 9/445 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610020564.7

[43] 公开日 2007 年 10 月 3 日

[11] 公开号 CN 101046789A

[22] 申请日 2006.3.27

[21] 申请号 200610020564.7

[71] 申请人 飞博创(成都)科技有限公司

地址 610041 四川省成都市天府大道南延线
高新孵化园4号楼南2层

[72] 发明人 周健 卿树友 张智强

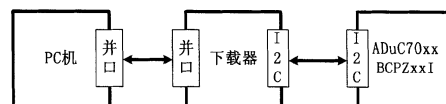
权利要求书2页 说明书7页 附图2页

[54] 发明名称

一种数据传输方法、固件升级方法及总线下载器

[57] 摘要

一种数据传输方法、固件升级方法及总线下载器，涉及通信技术、PC机并口总线技术、I²C总线技术、微控制器技术及应用程序编程技术。本发明提供一种低成本及简单实用的对ADuC70xxBCPZxxI芯片实现固件的数据传输以及固件下载的方法，以及实现前述数据传输和固件下载方法的总线下载器。本发明利用PC机并口和应用程序模拟I²C主设备，利用并口转I²C总线下载器的两个端口分别连接PC并口和ADuC70xxBCPZxxI芯片I²C管脚进行固件的下载。本发明使用的器件少而且全是国产，具有低成本、高可靠性、高易用性、高可移植性等特点，尤其是支持在线下载，方便了固件的调试和升级。



1、一种数据传输方法，其特征在于，利用 PC 机并口和应用程序模拟 I²C 主设备，利用并口转 I²C 总线下载器的两个端口分别连接 PC 并口和 ADuC70xxBCPZxxI 芯片 I²C 管脚进行固件的下载；通过应用程序实现 PC 并口与 I²C 协议的转换，与外部设备的 ADuC70xxBCPZxxI 芯片以 I²C 协议进行通讯。

2、采用权利要求 1 所述的采用并口转 I²C 总线数据传输方法实现并口转 I²C 总线固件升级的方法，其特征在于，包括以下步骤：

对 ADuC70xxBCPZxxI 芯片进行初始化；

擦除原有数据；

写入更新数据；

校验数据。

3、总线下载器，其特征在于，并口第 2 引脚连接第一电平转换装置(V1)的输入端，所述第一电平转换装置 (V1) 的输出端与 I²C 接口第 1 引脚相连；并口第 3 引脚连接第二电平转换装置 (V2) 的输入端，所述第二电平转换装置 (V2) 的输出端与 I²C 接口第 3 引脚连接于 (A) 点，(A) 点通过电阻 (R5) 和并口第 12 引脚相连。

4、如权利要求 3 所述的总线下载器，其特征在于，第一电平转换装置 (V1) 包括 NPN 三极管 (Q1)，电阻 (R1, R3)，NPN 三极管 (Q1) 的基极连接电阻(R1)作为第一电平转换装置 (V1) 的输入端；电源通过电阻 (R3) 和 NPN 三极管 (Q1) 的集电极连接于 (B) 点，(B) 点作为第一电平转换装置 (V1) 的输出端；NPN 三极管 (Q1) 的发射极接地。

5、如权利要求 3 所述的总线下载器，其特征在于，第二电平转换装置 (V2) 包括 NPN 三极管 (Q2)，电阻 (R2, R4)，NPN 三极管 (Q2) 的基极连接电阻 (R2) 作为第二电平转换装置 (V2) 的输入端；电源通过电阻 (R4) 和 NPN 三极管 (Q2) 的集电极连接于 (C) 点，(C) 点作为第二电

平转换装置（V2）的输出端；NPN 三极管（Q2）的发射极接地。

6、如权利要求 3 所述的总线下载器，其特征在于并口第 18、19、20、21、22、23、24、25 引脚接地，第 1、4、5、6、7、8、9、10、11、13、14、15、16、17 引脚悬空；I²C 接口第 2 引脚接地，第 4 引脚接电源。

一种数据传输方法、固件升级方法及总线下载器

技术领域

本发明涉及通信技术，特别涉及 PC 机并口总线技术、I²C 总线技术、微控制器技术及应用程序编程技术。

背景技术

ADuC70xxBCPZxxI 是美国模拟器件公司（ADI）生产的基于 ARM7TDMI 精密模拟微控制器（MicroConverter），已经广泛地应用在光通信领域，并扩展到汽车行业、工业控制，以及传感器行业。该芯片可以通过 USB 转 JTAG 仿真器或 USB 转 I²C 下载器实现固件下载，不仅需要昂贵的硬件支持，而且还需要使用者有相关开发经验以应付 USB 接口所带来的操作上的复杂性及异常。本发明所要解决的技术问题是，利用 PC 机并口实现 I²C 硬件接口，利用 PC 机应用程序实现 I²C 软件接口，具有低成本、高可靠性、高易用性、高可移植性等特点，尤其是支持在线下载，方便了固件的调试和升级。

发明内容

本发明所要解决的技术问题是，提供一种低成本及简单实用的对 ADuC70xxBCPZxxI 芯片实现固件的数据传输以及固件下载的方法，以及实现前述数据传输和固件下载方法的总线下载器。

本发明解决所述技术问题采用的技术方案是，提供一种数据传输方法，利用 PC 机并口和应用程序模拟 I²C 主设备，利用并口转 I²C 总线下载器的两个端口分别连接 PC 并口和 ADuC70xxBCPZxxI 芯片 I²C 管脚进行固件的下载。

进一步的说，通过应用程序实现 PC 并口与 I²C 接口的协议转换，与外部设备的 ADuC70xxBCPZxxI 芯片以 I²C 协议进行通讯。

本发明还提供一种采用并口转 I²C 总线数据传输方法实现并口转 I²C 总

线固件升级的方法，包括以下步骤：对 ADuC70xxBCPZxxI 芯片进行初始化；擦除原有数据；写入更新数据；校验数据。

本发明还提供一种总线下载器，并口第 2 引脚连接第一电平转换装置的输入端，所述第一电平转换装置的输出端与 I²C 第一接口引脚相连；并口第 3 引脚连接第二电平转换装置的输入端，所述第二电平转换装置的输出端、I²C 接口第 3 引脚和并口第 12 引脚连接于一点。

本发明的有益效果是利用 PC 机并口实现 I²C 硬件接口，利用 PC 机应用程序实现 I²C 软件接口，由于器件少而且全是国产，具有低成本、高可靠性、高易用性、高可移植性等特点，尤其是支持在线下载，方便了固件的调试和升级。

以下结合具体实施方式和附图对本发明作进一步的说明。

附图说明

图 1 是本发明的硬件连接示意图。

图 2 是本发明的硬件原理图。其中，V1：第一电平转换装置；V2：第二电平转换装置；X1：PC 机并口；X2：I²C 接口。

图 3 是本发明的软件运行示意图。

具体实施方式

本发明利用 PC 机并口和应用程序来模拟 I²C 主设备，实现与 ADuC70xxBCPZxxI 的 I²C 通讯。

本发明的系统连接示意图如图 1，硬件原理图如图 2。如图 2 所示，硬件上采用 NPN 三极管构成 OC 门，以符合 I²C 规范所规定的连接方式。图 3 是软件运行示意图。

本发明的应用程序完全兼容以下规范或协议：《Intel HEX File Format》、《I²C Download Protocol for ADuC70xxBCPZxxI Models》和《THE I²C-BUS SPECIFICATION》。

按图 1 连接 PC 机并口到下载器并口，连接下载器 I²C 接口到 ADuC70xxBCPZxxI 的 I²C 管脚。

所述下载器将硬件系统连接好以后，通过PC机应用程序模拟I²C时序，以确保同ADuC70xxBCPZxxI的I²C进行通讯。应用程序界面如图4，顺序执行“Open”，“Start”，“Erase”，“Program”，“Verify”，“Run”，即可把一个hex文件数据下载到ADuC70xxBCPZxxI芯片中去。通过Open键打开需要下载的hex文件，读入有效数据到一个数据缓冲区并显示在表格中，如果出错会有错误提示；通过Start键实现与ADuC70xxBCPZxxI的握手同步确认后，就可对ADuC70xxBCPZxxI进行擦除操作。擦除操作采用的是整块flash擦除方式，这样比逐页插除方式耗时更少。擦除完后通过Program下载数据到ADuC70xxBCPZxxI中。下载完后可以进行校验，如果出错将会有出错提示；如果校验成功，通过Run键，就可以立即执行刚下载到ADuC70xxBCPZxxI中的固件。

总线数据传输方式是利用PC机并口和应用程序模拟I²C主设备，主设备是利用应用程序产生模拟I²C信号，外围ADuC70xxBCPZxxI芯片设备为从设备，接收PC传输的数据。利用并口转I²C总线下载器的两个端口分别连接PC并口和ADuC70xxBCPZxxI芯片I²C管脚进行数据的下载。PC机并口第2引脚发送SCL信号经过第一电平转换装置V1到I²C接口第1引脚，PC机并口第3引脚发送SDA信号经过第二电平转换装置V2和I²C接口第3引脚引出的信号合路，将SDA信号反馈至PC并口引脚12。

进一步的说，通过应用程序实现PC并口与I²C接口的协议转换，转换格式参照《I²C Download Protocol for ADuC70xxBCPZxxI Models》，与外部设备的ADuC70xxBCPZxxI芯片以I²C协议进行通讯。

本发明还提供一种实现并口转I²C总线固件升级的方法，包括以下步骤：对ADuC70xxBCPZxxI芯片进行初始化、擦除原有数据、写入更新数据、校验数据的操作。

本发明提供的总线下载器的结构方式如下：并口第2引脚连接第一电平转换装置V1的输入端，所述第一电平转换装置V1的输出端与I²C第1接口引脚相连；并口第3引脚连接第二电平转换装置V2的输入端，所述第

二电平转换装置 V2 的输出端与 I²C 接口第 3 引脚连接于 A 点, A 点通过电阻 R5 和并口第 12 引脚相连。

更进一步的说, 第一电平转换装置 V1 包括一个 NPN 三极管 Q1 和两个电阻 R1, R3, NPN 三极管 Q1 的基极连接电阻 R1 作为第一电平转换装置 V1 的输入端; 电源通过电阻 R3 和 NPN 三极管 Q1 的集电极连接于 B 点, B 点作为第一电平转换装置 V1 的输出端; NPN 三极管 Q1 的发射极接地。

更进一步的说, 第二电平转换装置 V2 包括一个 NPN 三极管 Q2 和两个电阻 R2, R4, NPN 三极管 Q2 的基极连接电阻 R2 作为第二电平转换装置 V2 的输入端; 电源通过电阻 R4 和 NPN 三极管 Q2 的集电极连接于 C 点, C 点作为第二电平转换装置 V2 的输出端; NPN 三极管 Q2 的发射极接地。

更进一步的说, 并口第 18、19、20、21、22、23、24、25 引脚接地, 第 1、4、5、6、7、8、9、10、11、13、14、15、16、17 引脚悬空; I²C 接口第 2 引脚接地, 第 4 引脚接电源。

以下是总线数据传输以及固件升级具体的功能描述。

关于“Open”功能的描述如下。ADuC70xxBCPZxxI中的固件是在对于在keil uVersion3环境下编译生成的Intel HEX格式的烧录文件。Intel HEX文件是记录文本行的ASCII文本文件,在Intel HEX文件中,每一行是一个HEX记录由十六进制数组成的机器码或者静态数据,Intel HEX文件经常被用于将程序或数据传输存储到ROM或EPROM等非易失性存储器中。结合一个A-DuC7020的HEX文件实例,来说明本发明的应用程序如何实现HEX文件的分析:

```
:020000040008F2
:1000000018F09FE518F09FE518F09FE518F09FE5C0
.....
:00000001FF
```

第一行表明扩展线性地址记录为0008h; 第二行表明该行数据记录的偏移首地址为0000h, 共10h个数据, 分别是00, 18, F0, 9F, E5, 18, F0,

9F, E5, 18, F0, 9F, E5, 18, F0, 9F, E5; C0是校验码。最后一行表明该文件结束。由于ADuC70xxBCPZxxI的固件数据不会超过62k字节，所以在应用程序中定义了一个62k字节的数组，其各个单元的内容由上述的偏移地址所指定的数据决定。

为了便于描述，本文把PC机称为上位机，把ADuC70xxBCPZxxI芯片称为下位机。

关于“Start”功能的描述如下。下位机一旦进入下载模式，其 P1.0和 P1.1管脚即被配置成从I²C器件管脚，且从I²C器件地址为04h。上位机发送08h到下位机以表示协议开始。下位机接收到08h以后发送24字节的ID数据包ADuC702x<space><space><space>-62 H5T表示响应；其中“ADuC702x”为产品标识，“-62”对应器件内存大小，“H5T”是硬件和版本号，H代表硅，5代表版本号，T代表修订号。

上位机收到ID数据包后就可以开始数据传输了，数据包格式见表1。

Start ID		No. of Data Bytes	Data 1 CMD	Data 2->5 (Address: h, u, m, l)	Data x (x=6 ->25)	Checksum
07h	0Eh	5->255	'E', 'W', 'V' or 'R'	h,u,m,l	XX	No of DataBytes +Data1+Data2->5 + \sum Data x (2's Comp)

表1 数据传输格式

“Start ID”包括2个字节07H和0EH,以表示一个有效数据包开始。“No. of Data Bytes”表示需要传输的数据个数，最少为5，最多为255。“Data 1 CMD”命令格式，其中E代表擦除，W表示写，V表示校验，R表示运行。“Data 2->5 (Address: h, u, m, l)”表示要操作的32位FLASH/EE绝对地址，h代表MSB，l代表LSB。“Data x(x=6->55)”即实际下载数据，数据格式必须为Intel扩展的HEX格式。“Checksum”即校验和。

关于“Erase”功能的描述如下。擦除命令允许擦除FLASH的任何一页，页地址由Data 2->5地址信息决定，例如擦除地址从0x00000000开始，需

要擦除00页，责擦除命令数据包格式如表2。

Start ID		No.of Data Bytes	Data 1 CMD	Data 2->5 (Address:h,u,m,l)	Data 6 (pages)	Checksum
07h	0Eh	6	'E' (45h)	h,u,m,l	x pages	No of DataBytes + Σ Data (2's Comp)

表2 擦除命令格式

关于“Program”功能的描述如下。写命令涉及到data 1 + data 2→5 + data x，下位机收到数据后就会立即将数据写入FLASH/EE,如果checksum不对或者地址超出范围，下位机将会发送BEL信号，主机收到BEL信号后，应该立即终止命令。下载只能重新开始。写命令格式如表3。

Start ID		No.of Data Bytes	Data 1 CMD	Data 2->5 (Address:h,u,m,l)	Data x (x=1->250)	Checksum
07h	0Eh	5+No.of Data x (6->255)	'W' (57h)	h,u,m,l	...	No of DataBytes + Σ Data Bytes 1-515

表3 写命令格式

本发明的应用程序在编程时，把62k字节数据分成了256页，每页248个字节数据。鉴于I²C通讯异常的情况有可能发生（比如芯片虚焊，I²C线缆接触不良，上位机异常关机），所以在下载时，先不写首页，即保留80014h地址内的内容为0xffffffff，待其他页都写入数据后，再写首页。那么即使下载中途发生了什么不测而导致下载中断，下位机仍然可以被再次下载，否则将导致该ADuC70xxBCPZxxI芯片报废。

关于“Verify”功能的描述如下。为了提高检测数据的纠错能力，需要检验的数据从高5位移到了低5位，低3位被移到了高3位。下位机会自动恢复数据正确的序位然后和写入到FLASH/EE里的内容进行比较，正确返回06h，错误返回07h。校验命令格式如表4所示。

Start ID		No. of Data Bytes	Data 1 CMD	Data 2->5 (Address:h,u,m,l)	Data x (x=1->250)	Checksum
07h	0Eh	5+No.of Data x (6->255)	'V' (56h)	h,u,m,l	Complemented data bytes	No of Data Bytes + Σ Data Bytes 1-515

表4 校验命令格式

关于“Run”功能的描述如下。所有数据下载完毕后，主机就可以发送“运行”命令以使处理器从给定的地址开始执行用户程序代码，目前下位机支持 Flash/EE地址从 (h, u, m, l = 80000h或80001h)开始。用户代码运行命令格式如表5所示。

Start ID		No. of Data Bytes	Data 1 (Command)	Data 2->5 (Address:h,u,m,l)	Checksum
07h	0Eh	05h	'R' (52h)	h,u,m,l	A9h

表5 运行命令格式

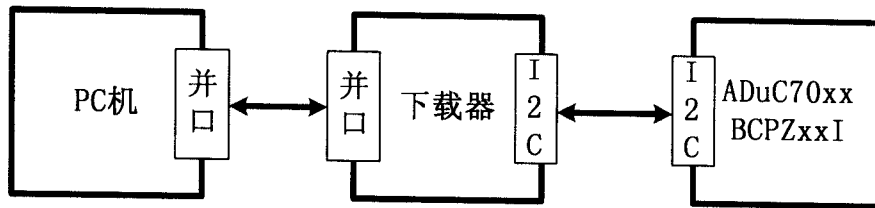


图 1

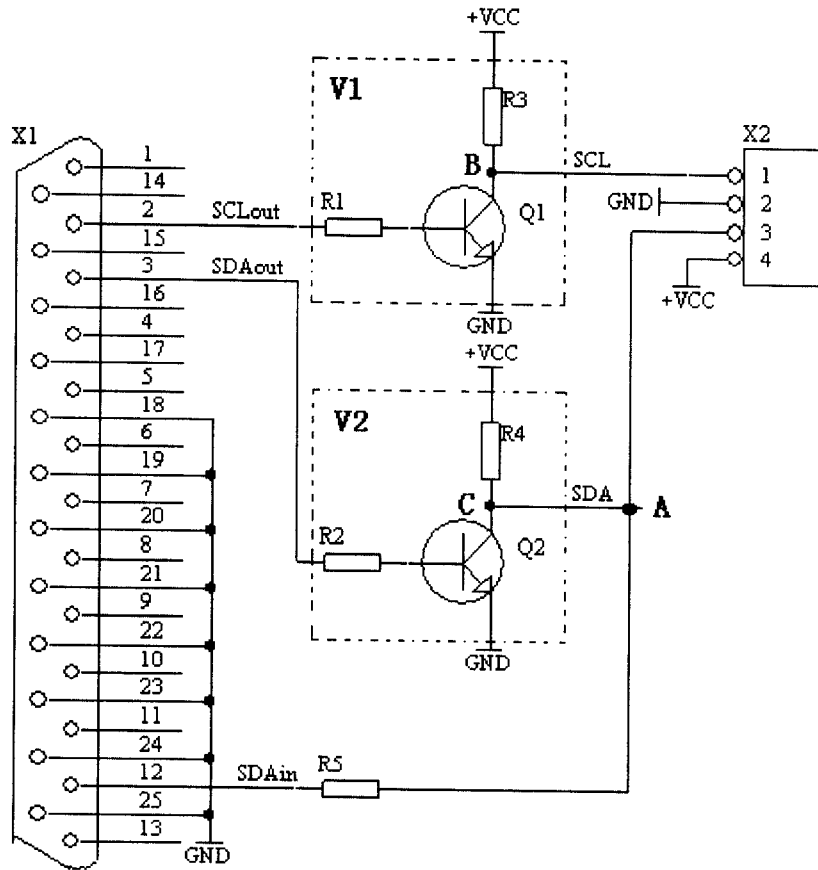


图 2

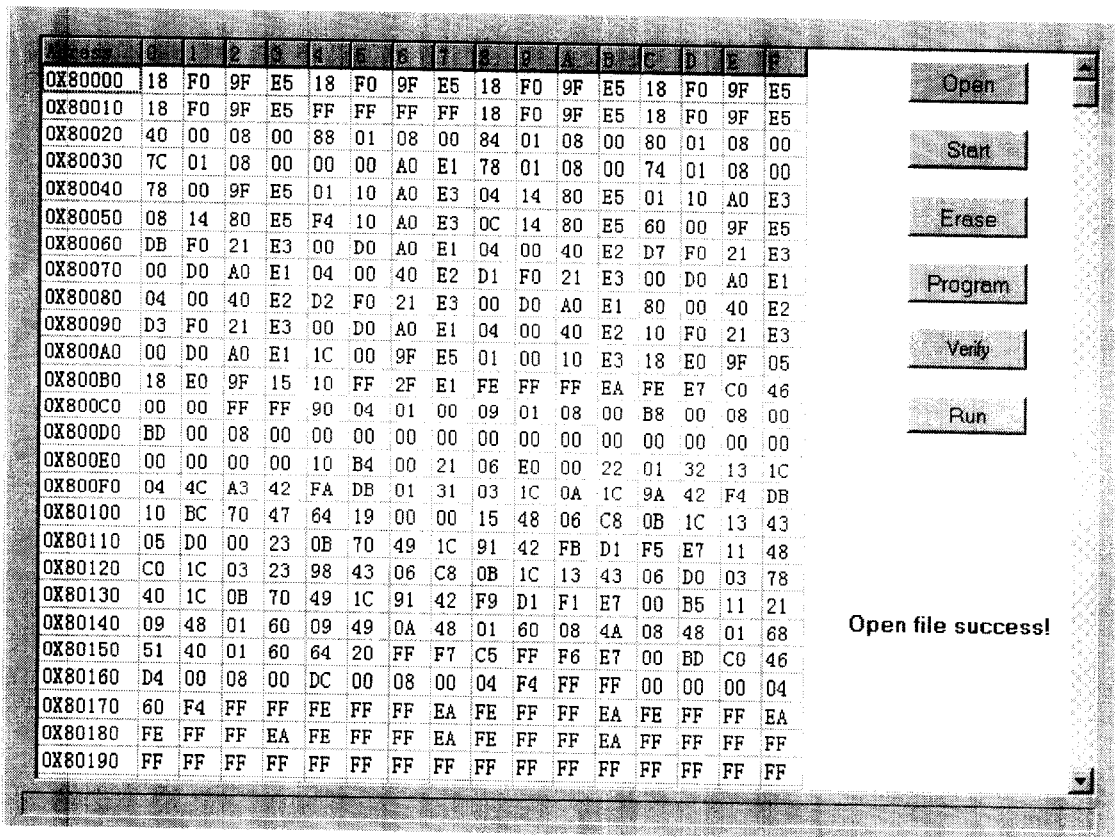


图 3