

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4820764号
(P4820764)

(45) 発行日 平成23年11月24日(2011.11.24)

(24) 登録日 平成23年9月9日(2011.9.9)

(51) Int. Cl.		F I			
HO3H	11/04	(2006.01)	HO3H	11/04	G
HO3G	3/10	(2006.01)	HO3H	11/04	D
HO4B	1/26	(2006.01)	HO3G	3/10	Z
HO4B	1/16	(2006.01)	HO4B	1/26	H
			HO4B	1/16	R

請求項の数 7 (全 20 頁)

(21) 出願番号	特願2007-10133 (P2007-10133)	(73) 特許権者	000005821
(22) 出願日	平成19年1月19日(2007.1.19)		パナソニック株式会社
(65) 公開番号	特開2008-177897 (P2008-177897A)		大阪府門真市大字門真1006番地
(43) 公開日	平成20年7月31日(2008.7.31)	(74) 代理人	100090446
審査請求日	平成21年6月11日(2009.6.11)		弁理士 中島 司朗
		(72) 発明者	生熊 誠
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内
		(72) 発明者	横山 明夫
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内
		(72) 発明者	森 佐智子
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 利得制御フィルタ装置、利得制御複素フィルタ装置および受信装置

(57) 【特許請求の範囲】

【請求項1】

反転入力端、非反転入力端、反転出力端および非反転出力端を有するアクティブフィルタ回路と、前記アクティブフィルタ回路の非反転入力端、反転入力端に至る第1および第2の入力路に挿入され第1の制御電圧によって抵抗値が制御される可変抵抗回路とを備え、前記第1の制御電圧を変化させることによって利得を制御し、

前記可変抵抗回路は、前記第1の入力路に挿入された第1の固定抵抗と、前記第1の固定抵抗と直列に前記第1の入力路に挿入された第1の電界効果トランジスタからなる第1の可変抵抗と、前記第2の入力路に挿入された第2の固定抵抗と、前記第2の固定抵抗と直列に前記第2の入力路に挿入された第2の電界効果トランジスタからなる第2の可変抵抗と、前記第1の固定抵抗および前記第1の可変抵抗の接続点と前記第2の固定抵抗および前記第2の可変抵抗の接続点との間に直列に接続された第3の電界効果トランジスタからなる第3の可変抵抗および前記第4の電界効果トランジスタからなる第4の可変抵抗とで構成され、

前記第1の制御電圧が差動信号をなす第2の制御電圧と第3の制御電圧とからなり、前記第1および第2の可変抵抗が前記第2の制御電圧に応じて抵抗値が制御され、前記第3および第4の可変抵抗が前記第3の制御電圧に応じて抵抗値が制御される利得制御フィルタ装置。

【請求項2】

前記アクティブフィルタ回路は、反転入力端、非反転入力端、反転出力端および非反転

出力端を有する平衡増幅器と、前記平衡増幅器の非反転入力端と反転出力端との間に設けられて第1のフィードバック路を形成する第1のCR回路と、前記平衡増幅器の反転入力端と非反転出力端との間に設けられて第2のフィードバック路を形成する第2のCR回路とからなる請求項1記載の利得制御フィルタ装置。

【請求項3】

前記可変抵抗回路は、前記第1の制御信号により前記アクティブフィルタ回路の出力レベルが一定となるように制御される請求項1記載の利得制御フィルタ装置。

【請求項4】

反転入力端、非反転入力端、反転出力端および非反転出力端を有する第1のアクティブフィルタ回路と、前記第1のアクティブフィルタ回路の非反転入力端、反転入力端に至る第1および第2の入力路に挿入され第1の制御電圧によって抵抗値が制御される第1の可変抵抗回路と、反転入力端、非反転入力端、反転出力端および非反転出力端を有し、反転入力端、非反転入力端が前記第1のアクティブフィルタ回路の非反転出力端、反転出力端それぞれに接続され、反転出力端、非反転出力端が前記第1のアクティブフィルタ回路の反転入力端、非反転入力端それぞれに接続されてなる第2のアクティブフィルタ回路と、前記第2のアクティブフィルタ回路の非反転入力端、反転入力端に至る第3および第4の入力路に挿入され第2の制御電圧によって抵抗値が制御される第2の可変抵抗回路とを備え、前記第1および第2の制御電圧を変化させることによって利得を制御し、かつ前記第1のアクティブフィルタ回路および前記第1の可変抵抗回路による利得と、前記第2のアクティブフィルタ回路および前記第2の可変抵抗回路による利得とを可変とし、

10

20

前記第1の可変抵抗回路は、前記第1の入力路に挿入された第1の固定抵抗と、前記第1の固定抵抗と直列に前記第1の入力路に挿入された第1の電界効果トランジスタからなる第1の可変抵抗と、前記第2の入力路に挿入された第2の固定抵抗と、前記第2の固定抵抗と直列に前記第2の入力路に挿入された第2の電界効果トランジスタからなる第2の可変抵抗と、前記第1の固定抵抗および前記第1の可変抵抗の接続点と前記第2の固定抵抗および前記第2の可変抵抗の接続点との間に直列に接続された第3の電界効果トランジスタからなる第3の可変抵抗および前記第4の電界効果トランジスタからなる第4の可変抵抗とで構成され、

前記第2の可変抵抗回路は、前記第3の入力路に挿入された第3の固定抵抗と、前記第3の固定抵抗と直列に前記第3の入力路に挿入された第5の電界効果トランジスタからなる第5の可変抵抗と、前記第4の入力路に挿入された第4の固定抵抗と、前記第4の固定抵抗と直列に前記第4の入力路に挿入された第6の電界効果トランジスタからなる第6の可変抵抗と、前記第3の固定抵抗および前記第5の可変抵抗の接続点と前記第4の固定抵抗および前記第6の可変抵抗の接続点との間に直列に接続された第7の電界効果トランジスタからなる第7の可変抵抗および前記第8の電界効果トランジスタからなる第8の可変抵抗とで構成され、

30

前記第1の制御電圧および前記第2制御電圧それぞれが差動信号をなす第3の制御電圧と第4の制御電圧とからなり、前記第1、第2、第5および第6の可変抵抗が前記第3の制御電圧に応じて抵抗値が制御され、前記第3、第4、第7および第8の可変抵抗が前記第4の制御電圧に応じて抵抗値が制御される

40

ことを特徴とする利得制御フィルタ装置。

【請求項5】

第1の信号に対応した第1の反転入力端、第1の非反転入力端、第1の反転出力端および第1の非反転出力端と、前記第1の信号と直交した第2の信号に対応した第2の反転入力端、第2の非反転入力端、第2の反転出力端および第2の非反転出力端とを有する複素アクティブフィルタ回路と、前記複素アクティブフィルタ回路の第1の非反転入力端、第1の反転入力端に至る第1および第2の入力路に挿入され第1の制御電圧によって抵抗値が制御される第1の可変抵抗回路と、前記複素アクティブフィルタ回路の第2の非反転入力端、第2の反転入力端に至る第3および第4の入力路に挿入され前記第1の制御電圧によって抵抗値が制御される第2の可変抵抗回路とを備え、前記第1の制御電圧を変化させ

50

ることによって利得を制御し、

前記第 1 の可変抵抗回路は、前記第 1 の入力路に挿入された第 1 の固定抵抗と、前記第 1 の固定抵抗と直列に前記第 1 の入力路に挿入された第 1 の電界効果トランジスタからなる第 1 の可変抵抗と、前記第 2 の入力路に挿入された第 2 の固定抵抗と、前記第 2 の固定抵抗と直列に前記第 2 の入力路に挿入された第 2 の電界効果トランジスタからなる第 2 の可変抵抗と、前記第 1 の固定抵抗および前記第 1 の可変抵抗の接続点と前記第 2 の固定抵抗および前記第 2 の可変抵抗の接続点との間に直列に接続された第 3 の電界効果トランジスタからなる第 3 の可変抵抗および前記第 4 の電界効果トランジスタからなる第 4 の可変抵抗とで構成され、

前記第 2 の可変抵抗回路は、前記第 3 の入力路に挿入された第 3 の固定抵抗と、前記第 3 の固定抵抗と直列に前記第 3 の入力路に挿入された第 5 の電界効果トランジスタからなる第 5 の可変抵抗と、前記第 4 の入力路に挿入された第 4 の固定抵抗と、前記第 4 の固定抵抗と直列に前記第 4 の入力路に挿入された第 6 の電界効果トランジスタからなる第 6 の可変抵抗と、前記第 3 の固定抵抗および前記第 5 の可変抵抗の接続点と前記第 4 の固定抵抗および前記第 6 の可変抵抗の接続点との間に直列に接続された第 7 の電界効果トランジスタからなる第 7 の可変抵抗および前記第 8 の電界効果トランジスタからなる第 8 の可変抵抗とで構成され、

前記第 1 の制御電圧および前記第 2 制御電圧それぞれが差動信号をなす第 3 の制御電圧と第 4 の制御電圧とからなり、前記第 1、第 2、第 5 および第 6 の可変抵抗が前記第 3 の制御電圧に応じて抵抗値が制御され、前記第 3、第 4、第 7 および第 8 の可変抵抗が前記第 4 の制御電圧に応じて抵抗値が制御される

ことを特徴とする利得制御複素フィルタ装置。

【請求項 6】

前記複素アクティブフィルタ回路は、第 1 の反転入力端、第 1 の非反転入力端、第 1 の反転出力端および第 1 の非反転出力端を有する第 1 の平衡増幅器と、前記第 1 の平衡増幅器の第 1 の非反転入力端と第 1 の反転出力端との間に設けられて第 1 のフィードバック路を形成する第 1 の CR 回路と、前記第 1 の平衡増幅器の第 1 の反転入力端と第 1 の非反転出力端との間に設けられて第 2 のフィードバック路を形成する第 2 の CR 回路と、第 2 の反転入力端、第 2 の非反転入力端、第 2 の反転出力端および第 2 の非反転出力端を有する第 2 の平衡増幅器と、前記第 2 の平衡増幅器の第 2 の非反転入力端と第 2 の反転出力端との間に設けられて第 3 のフィードバック路を形成する第 3 の CR 回路と、前記第 2 の平衡増幅器の第 2 の反転入力端と第 2 の非反転出力端との間に設けられて第 4 のフィードバック路を形成する第 4 の CR 回路と、前記第 1 の平衡増幅器の第 1 の反転入力端と前記第 2 の平衡増幅器の第 2 の反転出力端との間に接続された第 1 の抵抗と、前記第 1 の平衡増幅器の第 1 の非反転入力端と前記第 2 の平衡増幅器の第 2 の非反転出力端との間に接続された第 2 の抵抗と、前記第 2 の平衡増幅器の第 2 の反転入力端と前記第 1 の平衡増幅器の第 1 の非反転出力端との間に接続された第 3 の抵抗と、前記第 2 の平衡増幅器の第 2 の非反転入力端と前記第 1 の平衡増幅器の第 1 の反転出力端との間に接続された第 4 の抵抗とからなる請求項 5 記載の利得制御複素フィルタ装置。

【請求項 7】

受信信号を映像信号と音声信号に復調する受信装置であって、前記受信信号に含まれる所定の周波数帯域の RF 信号を選択し低 IF (中間周波数) 信号に変換する周波数変換手段と、前記低 IF 信号に含まれるイメージ信号を除去する請求項 5 記載の利得制御複素フィルタ装置とを備えたチューナ回路と、前記低 IF (中間周波数) 信号より映像信号と音声信号を復調し、入力される低 IF 信号の信号レベルに応じた信号を前記チューナ回路に供給し、前記チューナ回路の出力レベルが一定になるように前記第 1 の制御電圧を変化させる復調回路とを備えた受信装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、利得制御機能を有する利得制御フィルタ装置および利得制御複素フィルタ装置に関し、さらに利得制御複素フィルタ装置を用いた受信装置に関するものである。本発明は、特に、低IF方式（LOW-IF方式）の受信回路を備える、例えば、テレビジョン受信機やテレビジョンチューナ内蔵のビデオ再生装置の分野に関するものである。

【背景技術】

【0002】

近年、テレビジョン受信機は、従来のアナログ放送に替わり、1segや13segに代表されるデジタル放送に移行しつつある。日本のシステムはISDB-T(Integrated Services Digital Broadcasting - Terrestrial)と呼ばれ、LOW-IF方式を採用しており、一般に、このようなLOW-IF方式などのスーパーヘテロダイン方式の無線通信レシーバシステムでは、イメージ信号を除去するために複素フィルタ装置が用いられるようになってきている。

10

【0003】

まず、この複素フィルタ装置について説明する。複素フィルタ装置は、従来SAWフィルタ（表面弾性波フィルタ）によって実現されていた特性を半導体内部のRC素子からなるアクティブフィルタによって実現しようとしたものであり、通過域から阻止域への遮断特性の急峻度、さらに、群遅延特性やリップル特性が良好であることが求められる。これらの特性を実現するためのフィルタとしては、逆チェビシェフフィルタ、楕円（エリプティック）フィルタなどが考えられるが、そのいずれのフィルタであっても8次以上の次数の高次のフィルタが必要になってくる。

20

【0004】

そして、この高次のフィルタは、1次フィルタや2次フィルタのブロックカスケード構成（バイクアッドの多項式）、あるいは、素子感度を低くするためにリープフロッグフィルタによって実現され、設計がしやすいように低次のフィルタに何分割かにされている。

【0005】

また、半導体内部のRC素子を用いたアクティブフィルタによって、この複素フィルタ装置を作成する際に、アクティブフィルタ構成としては、一般に、演算増幅器とCRとから構成されるフィルタ網と、トランスコンダクタンスおよび容量からなるGm-Cフィルタ網とが考えられる。

30

【0006】

複素フィルタ装置が前者の演算増幅器とCRで構成されるフィルタ網で構成される場合には、回路面積が比較的大きくなりがちであるが、歪み特性は良好になる傾向にある。一方、後者のGm-Cフィルタ網で構成されている場合には、回路面積が比較的小さい反面、歪み特性は劣化する傾向にある。

【0007】

また、特開2006-157866公報に記載されているように、複素フィルタ装置における同相（I）信号処理系および直交（Q）信号処理系の間で相対する素子のミスマッチがある場合は、位相やゲインのIQミスマッチが増大し、複素フィルタ装置のイメージ除去比が劣化する。

40

【0008】

このため、複素フィルタ装置における素子誤差に着目したIQミスマッチの低減手法の確立が必要である。例えば、図7に示した13seg用フィルタ特性を満足させるためには、フィルタの回路設計手法にもよるが、許容されるIQミスマッチは、ゲイン差については1%以下、位相差については0.5%以下が必要である。

【0009】

また、これらの高次のフィルタを構成する際には、デバイス数が多く、回路電流も低減する必要があるため、ノイズ特性も課題となってくる。このため、一般的に、フィルタの前段、段間、後段には利得制御回路としてGCA（Gain Control Amp）回路が設けられており、復調回路での復調時にS/Nや歪が最も良好に保たれるようにあらかじめ各利得制

50

御回路のゲイン配分や自動利得制御が機能し始めるポイントが設定されている。

【 0 0 1 0 】

例えば、信号レベルが小さい際は、歪みは問題ないためゲインを大きくとって S / N を良くすればよい。一方、信号レベルが大きい際は、S / N は問題ないためゲインを小さくとって歪みを良くすればよい。また、各利得制御回路のゲイン配分に関しては、前段のゲインを高くして、後段のゲインが低くなるように設定すれば、S / N は良好になる。

【 0 0 1 1 】

次に、LOW - I F 方式におけるチューナ回路 1 3 について図 3 に従って説明する。

【 0 0 1 2 】

テレビジョン受信機に内蔵された LOW - I F 方式の受信装置は、大別して、アンテナ 1 0 で受信したテレビジョン高周波信号から希望のチャンネル周波数を選択し、LOW - I F 信号に変換するチューナ回路 1 3 と、チューナ回路 1 3 から出力される LOW - I F 信号より映像信号と音声信号とを復調する復調回路 1 4 とで構成されている。なお、チューナ回路 1 3 の前段には、RF フィルタ回路 1 1 と低ノイズ増幅器 1 2 とが設けられていて、アンテナ 1 0 で受信されたテレビジョン高周波信号は、RF フィルタ回路 1 1 と低ノイズ増幅器 1 2 とを介して、チューナ回路 1 3 に入力される。

【 0 0 1 3 】

チューナ回路 1 3 は、I 信号用ミキサ 2 0、Q 信号用ミキサ 2 1、G C A 回路 2 2、2 3、I F フィルタ回路 2 4、G C A 回路 2 5、2 6、I F フィルタ回路 2 7、G C A 回路 2 8、移相器 3 0、局部発振器 3 1、および G C A 制御回路 3 2 とで構成されている。記号 S 2 0 は I 信号用ミキサ 2 0 の出力信号を示し、記号 S 2 1 は Q 信号用ミキサ 2 1 の出力信号を示し、記号 S 2 2、S 2 3 はそれぞれ G C A 回路 2 2、2 3 の出力信号を示し、記号 S 2 4 I、S 2 4 Q はそれぞれ I F フィルタ回路 2 4 の I 出力信号、Q 出力信号を示し、記号 S 2 5、S 2 6 はそれぞれ G C A 回路 2 5、2 6 の出力信号を示し、記号 S 2 7 は I F フィルタ回路 2 7 の I 出力信号を示し、記号 S 2 8 は G C A 回路 2 8 の出力信号を示し、記号 S 3 2 a、S 3 2 b、S 3 2 c はそれぞれ G C A 制御回路 3 2 の出力信号（利得制御電圧）を示している。記号 S 1 4 は復調回路 1 4 の出力信号を示している。

【 0 0 1 4 】

以上のように構成されたチューナシステムの動作を説明する。ここでは、LOW - I F 方式を採用している日本の I S D B - T と呼ばれる方式を例にして説明する。まず、アンテナ 1 0 で受信されたテレビジョン高周波信号は、バンドパス特性を有する RF フィルタ回路 1 1 によってフィルタ処理が行われ、次に、L N A (Low Noise Amp) ととも呼ばれる低ノイズ増幅器 1 2 によって増幅される。

【 0 0 1 5 】

この低ノイズ増幅器 1 2 によって増幅された受信信号は、I 信号用ミキサ 2 0 と Q 信号用ミキサ 2 1 に入力される。この I 信号用ミキサ 2 0 と Q 信号用ミキサ 2 1 には、局部発振器 3 1 から移相器 3 0 を介して、それぞれ、ゼロ位相シフトの信号と 9 0 ° 位相シフトの信号が提供されている。

【 0 0 1 6 】

この結果、アンテナ 1 0 で受信された受信信号は、図 7 に示すように、4 M H z の中間周波信号にダウンコンバートされつつ直交復調が行われ、位相が互いに 9 0 度位相がずれた同位相信号（I 信号）および直交位相信号（Q 信号）が生成される。

【 0 0 1 7 】

次に、I 信号用ミキサ 2 0 および Q 信号用ミキサ 2 1 によってダウンコンバートされた I 信号と Q 信号とは、それぞれ G C A 回路 2 2、2 3 に入力され、それぞれ G C A 回路 2 2、2 3 によって利得制御される。

【 0 0 1 8 】

その後、I 信号および Q 信号を有する LOW - I F 信号が、所望信号のイメージバンド内（すなわち、0 H z 以下）に存在するいかなる干渉も除去するイメージ除去フィルタ（I R フィルタ）である複素フィルタの特性を有する I F フィルタ回路 2 4 に渡される。こ

10

20

30

40

50

の複素フィルタは、演算増幅器とCRとから構成されるアクティブフィルタ網やGm-Cフィルタ網によって実現することができ、イメージ除去を行う。

【0019】

結果的に、この複素フィルタの特性を有するIFフィルタ回路24では、イメージ信号と隣接の妨害信号を減衰させ、所望信号のみを、図7に示すように4MHz±3MHz(1MHz~7MHz)のバンドに渡すことができる。

【0020】

このように、いかなるイメージ干渉も除去された信号は、この後の信号処理では、実信号として取り扱うことができる。すなわち、I信号およびQ信号のいずれか一方のみを処理すればよいことになる。

10

【0021】

ここで、IFフィルタ回路24の前段につけたGCA回路22、23のみでノイズ特性が十分確保できれば、それで利得制御は終了することになる。しかしながら、ノイズ特性が不十分であれば、歪み特性を考慮して、I信号処理系およびQ信号処理系には、フィルタの段間につけたGCA回路25、26によって、再び利得制御する必要がある。通常、フィルタ回路は何段かに別れているためこのように段間に接続することが可能となる。

【0022】

この後、複素フィルタの特性を有するIFフィルタ回路27に渡され、Q信号の処理は終了する。一方、I信号は、さらに後段の復調回路14の入力レベルが不足して、利得制御を実施する必要があるれば、GCA回路28を通される。

20

【0023】

そして、GCA回路28の出力信号S28は、チューナ回路13より出力され、後段のAD変換器を有する復調回路14に与えられ、デジタル変換後のデータをもとにしたさまざまな処理が続いて行われる。

【0024】

また、この復調回路14は、入力信号であるGCA回路28の出力信号S28の強度に応じた信号S14を出力しており、この信号S14が、GCA制御回路32を介して、チューナ回路13のGCA回路22、23、GCA回路25、26、GCA回路28にフィードバックして供給され、それによって利得制御され、チューナ回路13の出力信号であるGCA回路28の出力信号S28のレベルを一定にするような動作をしている。

30

【0025】

従来の利得制御回路については、特許第3598973号公報の先行事例を参考にして説明する。

【0026】

利得制御回路としては、ギルバートマルチプライヤを使用する構成が一般的である。その従来回路の一例を図4に示す。図4において、従来例に係る利得制御回路である、例えばGCA回路22は、差動増幅回路101と、2つの電流分割回路102、103と、利得制御電圧の入力端子104、105と、回路入力端子106、107とを有する構成となっている。回路入力端子106、107には、I信号用ミキサ20の出力信号S20、つまり振幅が同じで互いに符号が逆の信号S20(P)、S20(N)が入力される。また、入力端子104、105には、GCA制御回路32の出力信号S32a、つまり差動信号をなす逆の利得制御電圧S32a(P)、S32a(N)が入力される。

40

【0027】

ここで、差動増幅回路101は、NPN型の差動対トランジスタQ101、Q102と、これら差動対トランジスタQ101、Q102の各エミッタ電極間に接続されたエミッタ抵抗R101と、差動対トランジスタQ101、Q102の各エミッタ電極とグランドとの間に接続された定電流源I101、I102とによって構成されている。そして、差動対トランジスタQ101、Q102の各ベース電極が回路入力端子106、107に接続されている。

【0028】

50

一方の電流分割回路102は、各エミッタ電極がトランジスタQ101のコレクタ電極に共通に接続されたNPN型の差動対トランジスタQ105、Q104と、一方のトランジスタQ103のコレクタ電極と電源電圧(Vcc)が与えられる電源電圧端子1との間に接続された抵抗R102とからなる差動回路構成となっている。他方のトランジスタQ104のコレクタ電極は、電源電圧端子1に直接に接続されている。

【0029】

他方の電流分割回路103は、各エミッタ電極がトランジスタQ102のコレクタ電極に共通に接続されたNPN型の差動対トランジスタQ105、Q106と、一方のトランジスタQ103のコレクタ電極と電源電圧端子1との間に接続された抵抗R103とからなる差動回路構成となっている。他方のトランジスタQ106のコレクタ電極は、電源電圧端子1に直接に接続されている。

10

【0030】

これら電流分割回路102、103において、トランジスタQ103、Q105の各コレクタ電極が、後段のIFフィルタ回路24との間でDCカットを行うために設けられたHPF(ハイパスフィルタ)回路40を介して出力端子108、109に接続されている。出力端子108、109からは、差動信号となる信号S22(P)、S22(N)が出力される。

【0031】

また、トランジスタQ104、Q106の各ベース電極は、利得制御電圧の入力端子104に共通に接続され、一方の信号S32a(P)が入力される。また、トランジスタQ103、Q105の各ベース電極は、利得制御電圧の入力端子105に共通に接続され、他方の信号S32a(N)が入力される。

20

【0032】

上記構成のGCA回路22(利得制御回路)において、GCA制御回路32の出力信号S32a、つまり差動信号をなす利得制御電圧S32a(P)、S32a(N)の電圧差をVcとする。また、熱電圧 $V_t = kT/q$ であり、kはボルツマン定数、Tは絶対温度、qは電子の電荷量である。

【0033】

利得Avの導出方法の詳細は、この特許第3598973号に記載されているので、ここでは簡単に説明する。入力電圧をvi(入力信号S20(P)と入力信号S20(N)との電位差)とし、出力電圧をvoとし、抵抗R101の抵抗値をRAとし、抵抗102、R103の各抵抗値をRBとすると、従来例に係る利得制御回路の利得Avは、

30

【0034】

(数1)

$$A_v = v_o / v_i = (2R_B / R_A) \cdot [1 / \{1 + (\exp(V_c / V_t))\}]$$
 で与えられる。この(数1)から明らかなように、GCA制御回路32から発生する利得制御電圧Vc(S32a(P)とS32a(N)の電位差)によって利得Avが可変となる。

【0035】

IFフィルタ回路(LPF)24は、反転入力端と非反転入力端、および、反転出力端と非反転出力端を有する平衡増幅器である演算増幅器50と、演算増幅器50の反転出力端と非反転入力端との間の帰還路に挿入接続された抵抗R22およびコンデンサC20の並列回路と、演算増幅器50の非反転出力端と反転入力端子との間の帰還路に挿入接続した抵抗R23およびコンデンサC21の並列回路とで構成されている。そして、このIFフィルタ回路24にGCA回路22の出力信号S22、つまり同一振幅で、互いに符号が反対の信号S22(P)、S22(N)(差動信号)が入力され、それによって、IFフィルタ回路24からは、信号S24Iが出力される。なお、図4では、I信号についてのみ示してしている。

40

【0036】

また、このGCA回路22の出力電圧のDCレベル(同相電圧)は、後段のIFフィル

50

タ回路24内に内蔵されている同相電圧帰還回路(コモンモードフィードバック回路)によって所望の同相電圧にした演算増幅器50のDC電圧(アナログGNDの電圧)と異なっているため、HPF回路40によってDC電圧をカットする必要がある、特に容量などの回路面積が大きくなっていた。

【0037】

この利得制御回路はI信号系とQ信号系に使用するわけであるが、従来のGCA回路22では、その素子数が多いために回路面積が多く、またこのために素子のバラツキ要因も多くなり、IQミスマッチが発生し、イメージ除去比が悪化するおそれがあった。また、電源電圧(VCC)を低電圧にしたときは、ダイナミックレンジが狭くなり、最近の低電圧ICには不向きであった。さらに、S/Nを改善するために回路電流が多くする必要があ

10

【特許文献1】特許第3598973号公報

【特許文献2】特公平7-20042公報

【特許文献3】特開2006-157866公報

【発明の開示】

【発明が解決しようとする課題】

【0038】

上記特許第3598973号に記載の従来例のGCA回路22の構成においては、特に、今回の複素フィルタのようなI信号処理系とQ信号処理系があり、フィルタ前段や段間にもGCA回路22を配置する場合は、GCA回路22が複数個必要になり、回路素子数が増加してしまう。また、GCA回路22の同相電圧とフィルタを構成する演算増幅器50の同相電圧とが異なっている際には、カットオフ周波数が低いHPF回路40を必要し、特に容量などの素子面積が大きかった。この結果、回路面積の増加、ノイズの悪化、回路電流の増加、バラツキ増加によるIQミスマッチ、そして、イメージ除去比の悪化するおそれがあり、さまざまな課題を有していた。

20

【0039】

このような課題を解消し、IQミスマッチを低減してイメージ除去比の向上、S/Nの改善、回路面積の縮小を果たすためには、回路素子数を低減した回路を提供することが要求される。

30

【0040】

本発明の目的は、上記従来の問題を解決するもので、回路素子数を低減し、それによって回路面積の低減、ノイズの改善、回路電流の減少、バラツキの改善を実施するものである。すなわち、本発明は、アクティブフィルタのS/Nを確保するために設けられた利得制御回路において、より素子数の少ない利得制御回路を有した利得制御フィルタ装置および利得制御複素フィルタ装置と受信装置を提供することを目的とするものである。

【課題を解決するための手段】

【0041】

上記の課題を解決するために、本発明の第1の利得制御フィルタ装置は、反転入力端、非反転入力端、反転出力端および非反転出力端を有するアクティブフィルタ回路と、アクティブフィルタ回路の非反転入力端、反転入力端に至る第1および第2の入力路に挿入され第1の制御電圧によって抵抗値が制御される可変抵抗回路とを備え、第1の制御電圧を変化させることによって利得を制御している。

40

【0042】

この構成によれば、利得制御のためにアクティブフィルタ回路の入力部に可変抵抗回路を設けたので、回路素子数を低減し、それによって回路面積の低減、ノイズの改善、回路電流の減少、バラツキの改善を実施することができる。

【0043】

上記構成において、可変抵抗回路は、第1の入力路に挿入された第1の固定抵抗と、第1の固定抵抗と直列に第1の入力路に挿入された第1の電界効果トランジスタからなる第

50

1の可変抵抗と、第2の入力路に挿入された第2の固定抵抗と、第2の固定抵抗と直列に第2の入力路に挿入された第2の電界効果トランジスタからなる第2の可変抵抗と、第1の固定抵抗および第1の可変抵抗の接続点と第2の固定抵抗および第2の可変抵抗の接続点との間に直列に接続された第3の電界効果トランジスタからなる第3の可変抵抗および第4の電界効果トランジスタからなる第4の可変抵抗とで構成され、

第1の制御電圧が差動信号をなす第2の制御電圧と第3の制御電圧とからなり、第1および第2の可変抵抗が第2の制御電圧に応じて抵抗値が制御され、第3および第4の可変抵抗が第3の制御電圧に応じて抵抗値が制御されることが好ましい。

【0044】

また、上記構成において、アクティブフィルタ回路は、反転入力端、非反転入力端、反転出力端および非反転出力端を有する平衡増幅器と、平衡増幅器の非反転入力端と反転出力端との間に設けられて第1のフィードバック路を形成する第1のCR回路と、平衡増幅器の反転入力端と非反転出力端との間に設けられて第2のフィードバック路を形成する第2のCR回路とからなることが好ましい。

【0045】

また、上記構成において、可変抵抗回路は、第1の制御信号によりアクティブフィルタ回路の出力レベルが一定となるように制御されることが好ましい。

【0046】

本発明の第2の利得制御フィルタ装置は、反転入力端、非反転入力端、反転出力端および非反転出力端を有する第1のアクティブフィルタ回路と、第1のアクティブフィルタ回路の非反転入力端、反転入力端に至る第1および第2の入力路に挿入され第1の制御電圧によって抵抗値が制御される第1の可変抵抗回路と、反転入力端、非反転入力端、反転出力端および非反転出力端を有し、第1のアクティブフィルタ回路にカスケード接続された第2のアクティブフィルタ回路と、第1のアクティブフィルタ回路の反転出力端および非反転出力端から第2のアクティブフィルタ回路の非反転入力端、反転入力端に至る第3および第4の入力路に挿入され第2の制御電圧によって抵抗値が制御される第2の可変抵抗回路とを備え、第1および第2の制御電圧を変化させることによって利得を制御し、かつ第1のアクティブフィルタ回路および第1の可変抵抗回路による利得と、第2のアクティブフィルタ回路および第2の可変抵抗回路による利得とをSNと歪とを良好に保つように配分している。

【0047】

この構成によれば、第1の利得制御フィルタ装置と同様の効果を有する。

【0048】

本発明の利得制御複素フィルタ装置は、第1の信号に対応した第1の反転入力端、第1の非反転入力端、第1の反転出力端および第1の非反転出力端と、第1の信号と直交した第2の信号に対応した第2の反転入力端、第2の非反転入力端、第2の反転出力端および第2の非反転出力端とを有する複素アクティブフィルタ回路と、複素アクティブフィルタ回路の第1の非反転入力端、第1の反転入力端に至る第1および第2の入力路に挿入され第1の制御電圧によって抵抗値が制御される第1の可変抵抗回路と、複素アクティブフィルタ回路の第2の非反転入力端、第2の反転入力端に至る第3および第4の入力路に挿入され第1の制御電圧によって抵抗値が制御される第2の可変抵抗回路とを備え、第1の制御電圧を変化させることによって利得を制御している。

【0049】

この構成によれば、第1の利得制御フィルタ装置と同様の効果を有する。

【0050】

上記構成の利得制御複素フィルタ装置においては、第1の可変抵抗回路は、第1の入力路に挿入された第1の固定抵抗と、第1の固定抵抗と直列に第1の入力路に挿入された第1の電界効果トランジスタからなる第1の可変抵抗と、第2の入力路に挿入された第2の固定抵抗と、第2の固定抵抗と直列に第2の入力路に挿入された第2の電界効果トランジスタからなる第2の可変抵抗と、第1の固定抵抗および第1の可変抵抗の接続点と第2の

10

20

30

40

50

固定抵抗および第2の可変抵抗の接続点との間に直列に接続された第3の電界効果トランジスタからなる第3の可変抵抗および第4の電界効果トランジスタからなる第4の可変抵抗とで構成され、第2の可変抵抗回路は、第3の入力路に挿入された第3の固定抵抗と、第3の固定抵抗と直列に第3の入力路に挿入された第5の電界効果トランジスタからなる第5の可変抵抗と、第4の入力路に挿入された第4の固定抵抗と、第4の固定抵抗と直列に第4の入力路に挿入された第6の電界効果トランジスタからなる第6の可変抵抗と、第3の固定抵抗および第5の可変抵抗の接続点と第4の固定抵抗および第6の可変抵抗の接続点との間に直列に接続された第7の電界効果トランジスタからなる第7の可変抵抗および第8の電界効果トランジスタからなる第8の可変抵抗とで構成され、第1の制御電圧が差動信号をなす第2の制御電圧と第3の制御電圧とからなり、第1、第2、第5および第6の可変抵抗が第2の制御電圧に応じて抵抗値が制御され、第3、第4、第7および第8の可変抵抗が第3の制御電圧に応じて抵抗値が制御されることが好ましい。

10

【0051】

上記構成の利得制御複素フィルタ装置は、複素アクティブフィルタ回路は、複素アクティブフィルタ回路は、第1の反転入力端、第1の非反転入力端、第1の反転出力端および第1の非反転出力端を有する第1の平衡増幅器と、第1の平衡増幅器の第1の非反転入力端と第1の反転出力端との間に設けられて第1のフィードバック路を形成する第1のCR回路と、第1の平衡増幅器の第1の反転入力端と第1の非反転出力端との間に設けられて第2のフィードバック路を形成する第2のCR回路と、第2の反転入力端、第2の非反転入力端、第2の反転出力端および第2の非反転出力端を有する第2の平衡増幅器と、第2の平衡増幅器の第2の非反転入力端と第2の反転出力端との間に設けられて第3のフィードバック路を形成する第3のCR回路と、第2の平衡増幅器の第2の反転入力端と第2の非反転出力端との間に設けられて第4のフィードバック路を形成する第4のCR回路と、第1の平衡増幅器の第1の反転入力端と第2の平衡増幅器の第2の反転出力端との間に接続された第1の抵抗と、第1の平衡増幅器の第1の非反転入力端と第2の平衡増幅器の第2の非反転出力端との間に接続された第2の抵抗と、第2の平衡増幅器の第2の反転入力端と第1の平衡増幅器の第1の非反転出力端との間に接続された第3の抵抗と、第2の平衡増幅器の第2の非反転入力端と第1の平衡増幅器の第1の反転出力端との間に接続された第4の抵抗とからなることが好ましい。

20

【0052】

本発明の受信装置は、受信信号を映像信号と音声信号に復調する受信装置であって、受信信号に含まれる所定の周波数帯域のRF信号を選択し低IF（中間周波数）信号に変換する周波数変換手段と、低IF信号に含まれるイメージ信号を除去する上記の利得制御複素フィルタ装置とを備えたチューナ回路と、低IF（中間周波数）信号より映像信号と音声信号を復調し、入力される低IF信号の信号レベルに応じた信号をチューナ回路に供給し、チューナ回路の出力レベルが一定になるように第1の制御電圧を変化させる復調回路とを備えている。

30

【0053】

この構成によれば、上記の利得制御複素フィルタ装置と同様の効果を奏する。

【発明の効果】

40

【0054】

本発明によると、利得制御回路として可変抵抗回路を用いたことにより、回路素子数を軽減した利得制御回路を提供し、この結果、回路面積の減少、ノイズの改善、回路電流の減少、バラツキの改善によるIQミスマッチの軽減を実施し、IQミスマッチによるイメージ除去比の悪化を改善することができる。このように本発明は、アクティブフィルタからなるフィルタもしくは複素フィルタのS/Nを確保するために設けられた利得制御回路において、より素子数の少ない利得制御回路を有した利得制御フィルタ装置、利得制御複素フィルタ装置および受信装置を提供することが可能となる。

【発明を実施するための最良の形態】

【0055】

50

以下、本発明の実施の形態を、図面を参照しながら説明する。

【0056】

(実施の形態1)

図1は本発明の実施の形態1における利得制御回路を有する利得制御フィルタ装置の構成を示す回路図である。従来例と同一部分は同一符号を用いている。この利得制御フィルタ装置は、例えば図3に示した受信装置におけるIFフィルタ回路およびその前段の利得制御回路として用いられるものである。

【0057】

図1に示すように、この利得制御フィルタ装置は、IFフィルタ回路241とその前段に設けた可変抵抗回路(GCA回路に代わるもの)221とからなる。

10

【0058】

IFフィルタ回路241は、反転入力端と非反転入力端、および、反転出力端と非反転出力端を有する平衡増幅器である演算増幅器50と、演算増幅器50の非反転入力端と反転出力端との間の帰還路に挿入接続された抵抗R22およびコンデンサC20の並列回路と、演算増幅器50の反転入力端と非反転出力端との間の帰還路に挿入接続した抵抗R23およびコンデンサC21の並列回路とで構成されている。

【0059】

そして、このIFフィルタ回路241に可変抵抗回路221の出力信号S22、つまり同一振幅で、互いに符号が反対の信号S22(P)、S22(N)(差動信号)が入力され、それによって、IFフィルタ回路241からは、信号S24Iが出力される。なお、

20

【0060】

可変抵抗回路221は、IFフィルタ回路241の演算増幅器50の非反転入力端へ至る入力路中に挿入接続された抵抗R20および可変抵抗を構成するMOSトランジスタQ22の直列回路と、演算増幅器50の反転入力端へ至る入力路中に挿入接続された抵抗R21および可変抵抗を構成するMOSトランジスタQ23の直列回路と、抵抗R20およびMOSトランジスタQ22の接続点と抵抗R21およびMOSトランジスタQ23の接続点との間に接続された可変抵抗を構成するMOSトランジスタQ20、Q21の直列回路とで構成されている。そして、MOSトランジスタQ20、Q21は利得制御電圧S32a(P)により制御され、MOSトランジスタQ22、Q23は、利得制御電圧S32

30

【0061】

図2は、本発明の実施の形態1における利得制御回路を有する利得制御複素フィルタ装置の構成を示す回路図である。従来例と同一部分は同一符号を用いている。この利得制御複素フィルタ装置は、例えば図3に示した受信装置におけるIFフィルタ回路およびその前段の利得制御回路として用いられるものである。

【0062】

図2に示すように、この利得制御フィルタ装置は、IFフィルタ回路242とその前段に設けた可変抵抗回路(GCA回路に代わるもの)222、232とからなる。

【0063】

IFフィルタ回路242は、反転入力端と非反転入力端、および、反転出力端と非反転出力端を有する平衡増幅器である演算増幅器50と、演算増幅器50の非反転入力端と反転出力端との間の帰還路に挿入接続された抵抗R22およびコンデンサC20の並列回路と、演算増幅器50の反転入力端子と非反転出力端との間の帰還路に挿入接続した抵抗R23およびコンデンサC21の並列回路と、反転入力端と非反転入力端、および、反転出力端と非反転出力端を有する平衡増幅器である演算増幅器51と、演算増幅器51の非反転入力端と反転出力端との間の帰還路に挿入接続された抵抗R32およびコンデンサC30の並列回路と、演算増幅器51の反転入力端子と非反転出力端との間の帰還路に挿入接続した抵抗R33およびコンデンサC31の並列回路と、演算増幅器50の反転入力端と演算増幅器51の反転出力端との間に接続した抵抗R40と、演算増幅器50の非反転入

40

50

力端と演算増幅器 5 1 の非反転出力端との間に接続した抵抗 R 4 1 と、演算増幅器 5 1 の反転入力端と演算増幅器 5 0 の非反転出力端との間に接続した抵抗 R 4 2 と、演算増幅器 5 1 の非反転入力端と演算増幅器 5 0 の反転出力端との間に接続した抵抗 R 4 3 とで構成されている。

【 0 0 6 4 】

可変抵抗回路 2 2 2 は、 I F フィルタ回路 2 4 2 の演算増幅器 5 0 の非反転入力端へ至る入力路中に挿入接続された抵抗 R 2 0 および可変抵抗を構成する M O S トランジスタ Q 2 2 の直列回路と、演算増幅器 5 0 の反転入力端へ至る入力路中に挿入接続された抵抗 R 2 1 および可変抵抗を構成する M O S トランジスタ Q 2 3 の直列回路と、抵抗 R 2 0 および M O S トランジスタ Q 2 2 の接続点と抵抗 R 2 1 および M O S トランジスタ Q 2 3 の接続点との間に接続された可変抵抗を構成する M O S トランジスタ Q 2 0、Q 2 1 の直列回路とで構成されている。そして、 M O S トランジスタ Q 2 0、Q 2 1 は利得制御電圧 S 3 2 a (P) により制御され、 M O S トランジスタ Q 2 2、Q 2 3 は、利得制御電圧 S 3 2 a (N) により制御される。

10

【 0 0 6 5 】

可変抵抗回路 2 3 2 は、 I F フィルタ回路 2 4 2 の演算増幅器 5 1 の非反転入力端へ至る入力路中に挿入接続された抵抗 R 3 0 および可変抵抗を構成する M O S トランジスタ Q 3 2 の直列回路と、演算増幅器 5 1 の反転入力端へ至る入力路中に挿入接続された抵抗 R 3 1 および可変抵抗を構成する M O S トランジスタ Q 3 3 の直列回路と、抵抗 R 3 0 および M O S トランジスタ Q 3 2 の接続点と抵抗 R 3 1 および M O S トランジスタ Q 3 3 の接続点との間に接続された可変抵抗を構成する M O S トランジスタ Q 3 0、Q 3 1 の直列回路とで構成されている。そして、 M O S トランジスタ Q 3 0、Q 3 1 は利得制御電圧 S 3 2 a (P) により制御され、 M O S トランジスタ Q 3 2、Q 3 3 は、利得制御電圧 S 3 2 a (N) により制御される。

20

【 0 0 6 6 】

上記図 1 の構成では、復調回路 1 4 の出力信号 S 1 4 (図 3 参照) が、 G C A 制御回路 3 2 (図 3 参照) と同様の構成を有する可変抵抗制御回路に入力され、可変抵抗制御回路によって可変抵抗回路 2 2 1 の抵抗値が制御される。

【 0 0 6 7 】

また、上記図 2 の構成では、復調回路 1 4 の出力信号 S 1 4 (図 3 参照) が、 G C A 制御回路 3 2 (図 3 参照) と同じ構成を有する可変抵抗制御回路に入力され、可変抵抗制御回路によって、同じ構成を有する可変抵抗回路 2 2 2、2 3 2 の抵抗値が制御される。なお、図示はしていないが、復調回路 1 4 の出力信号 S 1 4 によって、上記の可変抵抗制御回路を介して、従来例の G C A 回路 2 5、2 6 に代わって使用される可変抵抗回路も制御される。

30

【 0 0 6 8 】

そして、この可変抵抗回路 2 2 2、2 3 2 内の M O S トランジスタ Q 2 0 ~ Q 2 3、Q 3 0 ~ Q 3 3 が利得制御電圧によって制御された可変抵抗として動作し、利得制御する構成になっている。ただし、 I F フィルタ回路 2 4 1、2 4 2 の構成は一例である。なお、本構成ではオペアンプと R C から構成されるアクティブフィルタ網を用いたが、トランスコンダクタンスおよび容量からなる G m - C フィルタ網を用いてもよい。

40

【 0 0 6 9 】

図 6 は特公平 7 - 2 0 0 4 2 号公報記載の従来の R C 同調可能な積分器であり、オペアンプの入力路には電子的に制御される M O S トランジスタ Q 9 0、Q 9 1 が配置されている。 M O S トランジスタ Q 9 0、Q 9 1 のゲートには、適当な利得制御電圧 V c を印加することによって、 R C 同調は可能となる。ただし、この際には幾つかの課題を要している。

【 0 0 7 0 】

1 つ目は、従来のこの形式では、入力路に置かれている抵抗が、 M O S トランジスタ Q 9 0、Q 9 1 からなるために、 M O S デバイスが有している 2 乗特性によって、歪が発生

50

することである。このため、本発明の実施の形態1では、MOSトランジスタQ22、Q23にそれぞれ直列に固定の抵抗R20、R21を接続して、歪みの特性を改善している。

【0071】

同様に実施の形態2では、MOSトランジスタQ22、Q23、Q32、Q33にそれぞれ直列に固定の抵抗R20、R21、R30、R31を接続して、歪の特性を改善している。

【0072】

2つ目は、MOSトランジスタがそれぞれの入力路に1つだけが接続されている状態では、入力抵抗の可変範囲が狭かったが、本発明の実施の形態1では、新たに、MOSトランジスタQ20、Q21を配置することによって、入力抵抗の可変範囲を広げている。これによって、利得の制御範囲を広くすることができる。

【0073】

同様に、本発明の第2の実施の形態では、新たに、MOSトランジスタQ20、Q21、Q30、Q31を配置することによって、入力抵抗の可変範囲を広げている。これによって、利得の制御範囲を広くすることができる。

【0074】

次に、図1に示す、可変抵抗回路221を備えたIFフィルタ241(LPF)の伝達関数 $H_1(s)$ を求めてみる。ここで、入力路に置かれた抵抗R20、MOSトランジスタQ20、Q22の抵抗値をそれぞれ、 R_i 、 R_{m1} 、 R_{m2} とする。また、フィードバック路中に置かれた抵抗R22の抵抗値を R_f 、コンデンサC20の容量値を C_f とする。入力抵抗 R_{in} は、入力電圧の変化に対して、演算増幅器50のフィードバック路に流れ込む電流を計算することによって求めることができる。 ω は正規化周波数である。 s はラプラス演算子である。

【0075】

(数2)

$$H_1(s) = - (R_f / R_{in}) \cdot (\omega / (s + \omega))$$

【0076】

(数3)

$$\omega = 1 / (R_f \cdot C_f)$$

【0077】

(数4)

$$R_{in} = R_i \cdot (1 + R_{m2} / R_{m1}) + R_{m2}$$

特徴としては、正規化周波数 ω はフィードバック路の並列の $R_f \cdot C_f$ 定数で得られるが、入力直列抵抗 R_{in} には依存しないことである。

【0078】

また、入力抵抗 R_{in} に関して、例えば、 $R_i \gg R_{m1}$ 、 R_{m2} としたとき、 $R_{m2} \gg R_{m1}$ であれば、 $R_{in} \approx R_{m2}$ であり、 $R_{m2} = R_{m1}$ であれば、 $R_{in} \approx 2R_i$ であり、 $R_{m2} \ll R_{m1}$ であれば、 $R_{in} \approx R_i$ であり、非常に大きな利得の可変範囲をもつことがわかる。

【0079】

このように構成すると、利得制御電圧が印加されるゲート電圧に依存して、抵抗として動作するMOSトランジスタを入力路中に配置することに起因し、MOSトランジスタが有している2乗特性によって発生する歪特性を、固定の抵抗の挿入によって改善し、さらにフィルタのゲインを大きく調整できる。また、必要な素子数はわずか6素子であり、非常に容易に利得制御回路を実現できる。

【0080】

例えば、MOSトランジスタがNMOSトランジスタであれば、差動信号を成す利得制御電圧(ゲート電圧) $S_{32a}(P)$ が上がり、利得制御電圧(ゲート電圧) $S_{32a}($

10

20

30

40

50

N) が下がれば、抵抗値 R_{m1} は下がり、抵抗値 R_{m2} は上がる。この結果、入力抵抗 R_{in} が上がり、フィルタのゲインは下がることになる。

【0081】

逆に、差動信号を成すゲート電圧 $S_{32a}(P)$ が下がり、ゲート電圧 $S_{32a}(N)$ が上がれば、抵抗値 R_{m1} は上がり、抵抗値 R_{m2} は下がる。この結果、入力抵抗 R_{in} が下がり、フィルタのゲインは上がることになる。

【0082】

あらゆる型の伝達関数は、積分器と加算器を含む回路で実現することができる。このため、本発明では、1次のLPFを例として説明をしてきたが、本システムは、高次のリープフロッグ回線やバイクアッド回路などの差動入力積分器のみを使用したフィルタ回路に

10

【0083】

ヨーロッパの携帯電話向けのDVB-H (Digital Video Broadcasting for Handheld) で採用されているZero IF方式の際は、複素フィルタは必要なく、IFフィルタ回路24やIFフィルタ回路27には、直交位相関係にあるI信号処理系とQ信号処理系のそれぞれに、図1と同様なLPFをなすIFフィルタ回路を配置すればよい。

【0084】

利得制御回路に関して、図3におけるIFフィルタ回路24の前段のGCA回路23、IFフィルタ回路24とIFフィルタ回路27の段間に接続されたGCA回路25やGCA回路26は、先述した可変抵抗回路221と全く同様なものに置き換えればよい。

20

【0085】

一方、日本のISDB-TやヨーロッパのDVB-Tで採用されているLOW-IF方式を採用している際には、図2に示すようなイメージ除去するための複素フィルタ回路が必要である。

【0086】

複素フィルタ回路では、特開2006-157866公報に記載のように、図2に示すように、直交位相関係にあるI信号処理系とQ信号処理系のそれぞれの出力信号を、相対する入力部に、抵抗 R_{40} 、 R_{41} 、 R_{42} 、 R_{43} を介して入力する構成となっている。

【0087】

この場合においても、利得制御回路に関しては、図1のLPFに適用したときと同様な構成でよく、図3におけるIFフィルタ回路24の前段のGCA回路23、IFフィルタ回路24とIFフィルタ回路27の段間に接続されたGCA回路25やGCA回路26は、可変抵抗回路221と全く同様なものでよい。

30

【0088】

次に、図2の可変抵抗回路222と可変抵抗回路232を備えた複素フィルタの伝達関数 $H_2(s)$ を(数2)~(数4)と同様に求めてみる。

【0089】

(数5)

$$H_2(s) = - (R_f / R_{in}) \cdot \{ o / (j(\omega - \omega_c) + o) \}$$

40

【0090】

(数6)

$$o = 1 / (R_f \cdot C_f)$$

【0091】

(数7)

$$\omega_c = 1 / (R_1 \cdot C_f)$$

【0092】

(数8)

$$R_{in} = R_i \cdot (1 + R_{m2} / R_{m1}) + R_{m2}$$

特徴としては、先述したLPFと同様に複素フィルタにおいても、正規化周波数 ω は

50

フィードバック路の並列の $R_f \cdot C_f$ 定数で得られるが、入力直列抵抗 R_{in} には依存しないことがわかる。

【0093】

このような構成によると、利得制御電圧であるゲート電圧に依存して抵抗として動作するMOSトランジスタを入力路中に配置することによって、フィルタのゲインを調整できる。また、必要な素子数はわずか6素子であり、非常に容易に利得制御回路が実現できる。

【0094】

次に、可変抵抗制御回路の一例について図5を用いて説明する。ただし、この可変抵抗制御回路は、従来のGCA制御回路32と同様の構成である。図5は、周知の差動増幅回路70、71、72を示している。例えば、差動増幅回路70は、互いのエミッタが抵抗 R_7 、 R_8 を介して接続され、それぞれのベースには基準電圧 V_{b1} 、信号 S_{14} が印加され、それぞれのコレクタは抵抗 R_1 、 R_2 を介して電源電圧端子1に接続された差動増幅対をなすNPNトランジスタ Q_1 、 Q_2 と、一端が抵抗 R_7 、 R_8 を介して、NPNトランジスタ Q_1 、 Q_2 のエミッタに接続して他端がグラウンドGNDに接続された電流源 I_1 とで構成されている。

10

【0095】

また、差動増幅回路71や差動増幅回路72も同様な構成になっている。図5において、記号 $Q_3 \sim Q_6$ はそれぞれNPNトランジスタを示し、記号 $R_3 \sim R_6$ 、 $R_9 \sim R_{12}$ はそれぞれ抵抗を示し、記号 I_2 、 I_3 はそれぞれ電流源を示している。

20

【0096】

差動増幅回路70、71、72の一方の入力端であるNPNトランジスタ Q_2 、 Q_4 、 Q_6 のベースにはあらかじめ設定されたバイアス電圧 V_{b1} 、 V_{b2} 、 V_{b3} がそれぞれ与えられている。一方、復調回路14の出力信号 S_{14} は、この差動増幅回路70、71、72の他方の入力であるNPNトランジスタ Q_1 、 Q_3 、 Q_5 のベースに共通に入力される。そして、適切な利得に増幅される。差動増幅回路70、71、72の出力電圧は、それぞれ出力信号 S_{32a} 、 S_{32b} 、 S_{32c} となり、それぞれ、可変抵抗回路(GCA回路22、23に対応する)と、可変抵抗回路(GCA回路25、26に対応する)と、GCA回路28との各々の制御電圧として供給されることになる。

【0097】

ここで、差動増幅回路70、71、72のバイアス電圧を、例えば、 $V_{b1} < V_{b2} < V_{b3}$ に設定するとき、差動出力レベルは、 $V_{1out} (= S_{32a}(P) - S_{32a}(N)) > V_{2out} (= S_{32b}(P) - S_{32b}(N)) > V_{3out} (= S_{32c}(P) - S_{32c}(N))$ になる。このとき、フィルタの初段の可変抵抗回路(GCA回路22、23に対応する)の利得が最も大きくなり、最終段のGCA回路28の利得は最も小さくなり、ノイズは改善することになる。ただ、初段の利得を上げすぎると歪特性が劣化するおそれがあるため、ノイズと歪とをバランスよく改善することが必要である。

30

【0098】

それぞれの利得制御回路(可変抵抗回路)の利得配分や自動利得制御がかかり始めるポイントは、増幅器の利得やバイアス電圧 V_{b1} 、 V_{b2} 、 V_{b3} を適切に決定することにより、任意に設定できる。

40

【0099】

本発明は上記の通り、このように構成された可変抵抗回路221、222、可変抵抗回路231によって、非常に少ない素子数で利得制御回路を実現することができる。

【0100】

なお、本発明では入力路に置かれ、可変抵抗として動作するMOSトランジスタはNMOSトランジスタとして説明したが、例えば、このトランジスタはPMOSトランジスタとしてもよいことは言うまでもない。また、本発明では、適用例としてデジタルTVの受信装置として説明したが、利得制御を備えたあらゆる受信装置でもよいことは言うまでもない。また、本発明では、受信信号がアンテナから入力するとして説明したが、ケーブル

50

ルから受信する放送に対しても適用してもよいことは言うまでもない。

【産業上の利用可能性】

【0101】

以上説明したように、本発明は、フィルタの利得調整をする利得制御回路を、素子数が非常に少ない構成によって実現することができ、例えば、テレビジョン受信機やテレビジョンチューナ内蔵のビデオ再生装置の分野に適用できる。

【図面の簡単な説明】

【0102】

【図1】本発明の実施の形態における可変抵抗回路を備えた利得制御フィルタ装置(LPF)を示す回路図である。

10

【図2】本発明の実施の形態における可変抵抗回路を備えた利得制御複素フィルタ装置を示す回路図である。

【図3】本発明の実施の形態が適用される受信装置を示すブロック図である。

【図4】従来のGCA回路を備えた利得制御フィルタ装置(LPF)を示す回路図である。

【図5】本発明の実施の形態が適用される抵抗値制御回路(GCA制御回路)を示す回路図である。

【図6】従来のRC同調可能な積分器を示す回路図である。

【図7】ISDB-Tの13seg用IFフィルタの一例の特性を示す特性図である。

【符号の説明】

20

【0103】

1 電源電圧端子

10 アンテナ

11 RFフィルタ

12 LNA

13 チューナ回路

14 復調器

20 I信号用ミキサ

21 Q信号用ミキサ

22 GCA回路

30

22 GCA回路

23 GCA回路

24 IFフィルタ

25 GCA回路

26 GCA回路

27 IFフィルタ

28 GCA回路

30 移相器

31 局部発振器

32 GCA制御回路

40

40 HPF回路

50、51、90 コモンモードフィードバックを備えた演算増幅器

70~72、102~103 差動増幅回路

221、222、232 可変抵抗回路

241、242 IFフィルタ回路

Q1~Q6、Q90~Q91、Q101~Q106 NPNトランジスタ

Q20~Q23、Q30~33 MOSTランジスタ

R1~R12、R20~R23、R101~R103 抵抗

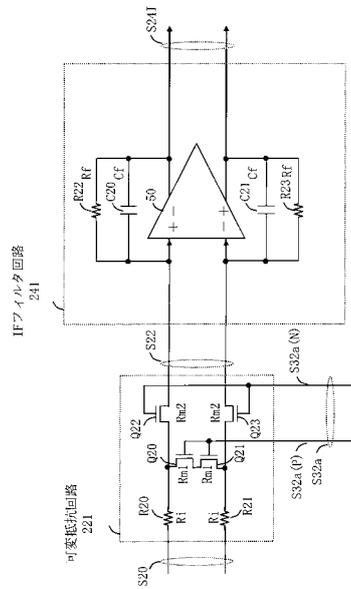
C20~C21、C30~31、C90~91 コンデンサ

I1~I3、I101~I102 電流源

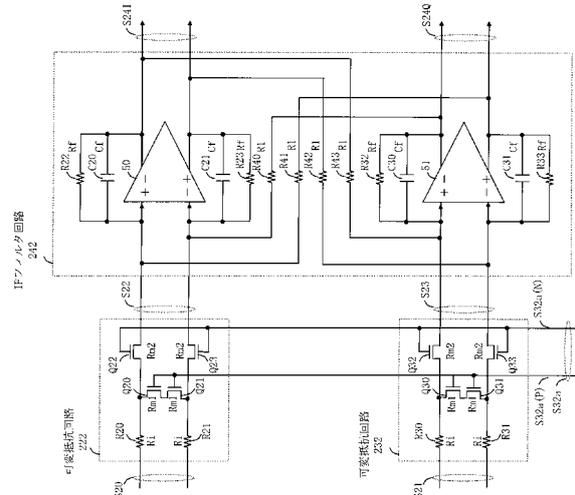
50

V b 1 ~ V b 3 基準電圧

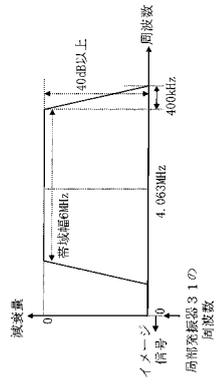
【図1】



【図2】



【図7】



フロントページの続き

審査官 畑中 博幸

(56)参考文献 国際公開第2004/057768(WO, A1)

特開2000-124962(JP, A)

特開2006-340097(JP, A)

特開2003-204247(JP, A)

特表昭60-500395(JP, A)

実開平06-002827(JP, U)

特開平11-205055(JP, A)

特開平07-122972(JP, A)

特開昭58-043612(JP, A)

特開平02-036609(JP, A)

特開平04-088710(JP, A)

特開昭64-032511(JP, A)

特開2006-157866(JP, A)

特開2006-310991(JP, A)

特開2002-217682(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03H 11/04

H03G 3/10

H04B 1/16

H04B 1/26