

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-73300

(P2010-73300A)

(43) 公開日 平成22年4月2日(2010.4.2)

|                          |                       |             |
|--------------------------|-----------------------|-------------|
| (51) Int.Cl.             | F I                   | テーマコード (参考) |
| G 1 1 C 11/401 (2006.01) | G 1 1 C 11/34 3 6 2 C | 5MO24       |
| G 1 1 C 11/409 (2006.01) | G 1 1 C 11/34 3 5 4 A |             |

審査請求 未請求 請求項の数 13 O L (全 18 頁)

(21) 出願番号 特願2009-153836 (P2009-153836)  
 (22) 出願日 平成21年6月29日 (2009. 6. 29)  
 (31) 優先権主張番号 10-2008-0092881  
 (32) 優先日 平成20年9月22日 (2008. 9. 22)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 591024111  
 株式会社ハイニックスセミコンダクター  
 HYNIX SEMICONDUCTOR  
 INC.  
 大韓民国京畿道利川市夫鉢邑牙美里山136-1  
 San 136-1, Ami-Ri, Bubaal-Eup, Ichon-Shi, Kyoungki-Do, Korea  
 (74) 代理人 100081776  
 弁理士 大川 宏  
 (72) 発明者 パク キ チョン  
 大韓民国京畿道利川市夫鉢邑牙美里山136-1

最終頁に続く

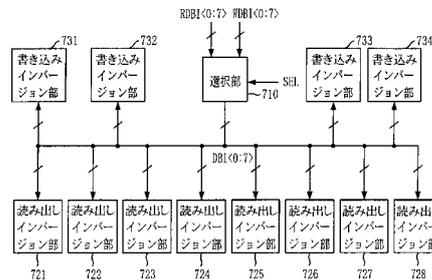
(54) 【発明の名称】 半導体メモリ装置

(57) 【要約】

【課題】 インバージョン機能の具現に必要なラインの個数を減らし、半導体メモリ装置における全体の面積を減少する。

【解決手段】 本発明に係る半導体メモリ装置は、読み出しインバージョン情報及び書き込みインバージョン情報を選択的にインバージョンバスに載せるための選択部と、該選択部により載せられたインバージョン情報を伝達するための前記インバージョンバスと、該インバージョンバスから伝達された前記読み出しインバージョン情報を出力データに反映する複数の読み出しインバージョン部と、前記インバージョンバスから伝達された前記書き込みインバージョン情報を入力データに反映する複数の書き込みインバージョン部とを備える。

【選択図】 図7



## 【特許請求の範囲】

## 【請求項 1】

読み出しインバージョン情報及び書き込みインバージョン情報を選択的にインバージョンバスに載せる選択部と、

該選択部により載せられたインバージョン情報を伝達するための前記インバージョンバスと、

前記インバージョンバスから伝達された前記読み出しインバージョン情報を出力データに反映させる複数の読み出しインバージョン部と、

前記インバージョンバスから伝達された前記書き込みインバージョン情報を入力データに反映させる複数の書き込みインバージョン部と、

を備えることを特徴とする半導体メモリ装置。

10

## 【請求項 2】

前記選択部は、読み出し動作時には前記読み出しインバージョン情報を前記インバージョンバスに載せ、書き込み動作時には前記書き込みインバージョン情報を前記インバージョンバスに載せることを特徴とする請求項 1 に記載の半導体メモリ装置。

## 【請求項 3】

前記選択部は、書き込みイネーブル信号によりイネーブルされ、読み出しパルスによりディセーブルされる制御信号に応じて動作することを特徴とする請求項 1 に記載の半導体メモリ装置。

## 【請求項 4】

前記読み出しインバージョン部は、複数のデータ出力回路のそれぞれに備えられることを特徴とする請求項 1 に記載の半導体メモリ装置。

20

## 【請求項 5】

前記書き込みインバージョン部は、複数のデータ入力回路のそれぞれに備えられることを特徴とする請求項 1 に記載の半導体メモリ装置。

## 【請求項 6】

前記書き込みインバージョン部は、複数のバンクの各入/出力部に備えられることを特徴とする請求項 1 に記載の半導体メモリ装置。

## 【請求項 7】

読み出しインバージョン情報を生成するインバージョン生成部と、

書き込みインバージョン情報が入力されるインバージョン入力回路と、

前記インバージョン生成部から伝達された前記読み出しインバージョン情報、及び前記インバージョン入力回路から伝達された前記書き込みインバージョン情報を選択的にインバージョンバスに載せる選択部と、

該選択部により載せられたインバージョン情報を伝達するための前記インバージョンバスと、

前記インバージョンバスから伝達された前記インバージョン情報を反映させてデータを出力する複数のデータ出力回路と、

前記インバージョンバスから伝達された前記インバージョン情報を入力データに反映させる複数のデータ入力回路と、

を備えることを特徴とする半導体メモリ装置。

30

40

## 【請求項 8】

前記インバージョンバスから伝達された前記インバージョン情報をメモリ装置の外部に出力するためのインバージョン出力回路を更に備えることを特徴とする請求項 7 に記載の半導体メモリ装置。

## 【請求項 9】

前記選択部は、読み出し動作時には前記インバージョンバスに前記読み出しインバージョン情報を読み出しインバージョン情報として載せ、書き込み動作時には前記インバージョンバスに前記書き込みインバージョン情報を読み出しインバージョン情報として載せることを特徴とする請求項 7 に記載の半導体メモリ装置。

## 【請求項 10】

50

前記半導体メモリ装置のデータピンには、前記データ出力回路及び前記データ入力回路が1つずつ備えられることを特徴とする請求項7に記載の半導体メモリ装置。

【請求項11】

読み出しインバージョン情報を生成するインバージョン生成部と、  
書き込みインバージョン情報が入力されるインバージョン入力回路と、  
前記インバージョン生成部から伝達された前記読み出しインバージョン情報、及び前記インバージョン入力回路から伝達された前記書き込みインバージョン情報を選択的にインバージョンバスに載せる選択部と、  
該選択部により載せられたインバージョン情報を伝達するための前記インバージョンバスと、

10

前記インバージョンバスから伝達された前記読み出しインバージョン情報を反映させてデータを出力する複数のデータ出力回路と、

複数のバンクのそれぞれに備えられ、前記インバージョンバスから伝達された前記書き込みインバージョン情報を入力データに反映させる入/出力部と、  
を備えることを特徴とする半導体メモリ装置。

【請求項12】

前記インバージョンバスから伝達された前記読み出しインバージョン情報をメモリ装置の外部に出力するためのインバージョン出力回路を更に備えることを特徴とする請求項11に記載の半導体メモリ装置。

【請求項13】

20

前記選択部は、読み出し動作時には前記インバージョンバスに前記読み出しインバージョン情報を載せ、書き込み動作時には前記インバージョンバスに前記書き込みインバージョン情報を載せることを特徴とする請求項11に記載の半導体メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリ装置に関し、より詳しくは、インバージョンバスの面積を縮小して半導体メモリ装置における全体の面積を減らすための技術に関する。

【背景技術】

【0002】

30

WDBI (Write Data Bus Inversion) 機能は、メモリ装置にデータが入力される時データの变化を最小化してSSO (Simultaneous Switching Output) ノイズを減らすために使われる。一方、RDBI (Read Data Bus Inversion) 機能は、メモリ装置からデータが出力される時データの变化を最小化してSSOノイズを減らすために使われる。

【0003】

データが入力される時、メモリコントローラからデータと共にインバージョン情報WDBIをメモリ装置に伝送することによってデータの反転可否をメモリ装置が判断し、データが出力される時、メモリ装置からデータと共にインバージョン情報RDBIをメモリコントローラに伝送することによってメモリコントローラはデータの反転可否を判断する。

40

【0004】

図1は、従来における4バンククォータの構造を有する半導体メモリ装置の構成を示す図面である。

【0005】

同図を参照すると、4つのバンクがそれぞれ4つの領域に分かれて配置されていることが確認できる。各々のバンク周辺のXはロー (row) 動作のための回路を表し、Yはコラム (column) 動作のための回路を表す。

【0006】

また、CPERIはクロックと関連した回路が集まっている領域を表し、DPERIは

50

データの入/出力と関連した回路が集まっている領域を表す。

【0007】

図2は、データ入力回路とバンクとの間でデータ及びインバージョン情報が交換されることを示す図面である(1つのクォータのみを図示)。

【0008】

図面のDQと称されたブロック210~280は、データピンごとに備えられるデータ入力回路及びデータ出力回路が備えられたブロックを意味する。また、図面のDBIと称されたブロック290は、DBIピンに備えられるインバージョン入力回路及びインバージョン出力回路が備えられたブロックを意味する。

【0009】

まず、メモリ装置の読み出し/書き込み動作時におけるデータの流れについて説明する。

【0010】

書き込み動作時、メモリ装置のデータピンには直列に連続してデータが入力される。各々のデータピンには、データ入力回路(210~280内に備えられ、以下、便宜上210~280で表記)が備えられるが、データ入力回路210~280は、直列に入力されるデータを並列に整列(ソート)してグローバルラインGIO0<0:7>~GIO7<0:7>に伝達(送信、転送)する。メモリ装置が8ビットプリフェッチスキーム(8bit prefetch scheme)を使用する場合、データ入力回路210~280は、直列に入力される8個のデータを並列に整列してグローバルラインGIO0<0:7>~GIO7<0:7>に伝達する。すなわち、1つのデータピン(例えば、DQ0ピン)に入力されるデータは、並列に変換されてから8個のグローバルライン(例えば、GIO0<0:7>)に載せられる(送信される)。そして、このようなグローバルラインGIO0<0:7>~GIO7<0:7>は、全てのバンクのYブロック11、21、31、41と接続し、バンクアドレスにより選択されたバンク10~40のうちの1つに並列にデータを書き込む。

【0011】

読み出し動作時、バンクアドレスにより選択されたバンク10~40のうちの1つからは並列にデータが出力される。各々のデータピンにはデータ出力回路(210~280内に備えられ、以下、便宜上210~280で表記)が備えられるが、データ出力回路210~280は、グローバルラインGIO0<0:7>~GIO7<0:7>を介して並列に伝達されるデータを直列に整列し、データピンを介してチップの外部に出力する。メモリ装置が8ビットプリフェッチスキームを使用した場合、データ出力回路(例えば、210)は8個のグローバルライン(例えば、GIO0<0:7>)に伝達されるデータを直列に整列してデータピンを用いて出力する。

【0012】

図2には、グローバルラインGIO0<0:7>~GIO7<0:7>が読み出し経路のデータ及び書き込み経路のデータのすべてを伝達する場合について図示したが、メモリ装置によって読み出し経路のデータを伝達するグローバルライン及び書き込み経路のデータを伝達するグローバルラインが別々に備えられることもあり得る。例えば、GIOがR GIOとW GIOとに分けられる場合もある。

【0013】

次に、メモリ装置の読み出し/書き込み動作時のインバージョン情報DBIの流れについて説明する。

【0014】

書き込み動作時、インバージョンピンには書き込みインバージョン情報WDBIが直列に連続して入力される。書き込みインバージョン情報WDBIとは、書き込み時メモリ外部から入力されるデータが反転されたデータであるか否かを表す情報を指す。インバージョン入力回路(290内に備えられ、以下、便宜上290で表記)は、直列に入力される書き込みインバージョン情報WDBIを並列に整列して書き込みインバージョンバスWD

10

20

30

40

50

B I < 0 : 7 > に伝達する。書き込みインバージョン情報もデータと同じプリフェッチスキームを使用する。したがって、メモリ装置が 8 ビットプリフェッチスキームを使用した場合、インバージョン入力回路 290 は、直列に入力される 8 個の書き込みインバージョン情報 W D B I を並列に整列して書き込みインバージョンバス W D B I < 0 : 7 > に伝達する。書き込みインバージョンバス W D B I < 0 : 7 > は 8 個のラインから構成される。

【 0 0 1 5 】

書き込みインバージョンバス W D B I < 0 : 7 > は、書き込みインバージョン情報を各バンクの Y ブロック 1 1、2 1、3 1、4 1 に伝達する。バンクの Y ブロック 1 1、2 1、3 1、4 1 内にはグローバルライン G I O 0 < 0 : 7 > ~ G I O 7 < 0 : 7 > のデータをバンク 1 0、2 0、3 0、4 0 内のローカルライン L I O / L I O B に伝達するための書き込みドライバ W T D R V ( w r i t e d r i v e r ) が備えられる。このような書き込みドライバは、書き込みインバージョン情報 W D B I < 0 : 7 > に応じてグローバルライン G I O 0 < 0 : 7 > ~ G I O 7 < 0 : 7 > のデータを反転 / 非反転してローカルラインに伝達する。各々のバンク 1 0、2 0、3 0、4 0 内には、グローバルライン G I O 0 < 0 : 7 > ~ G I O 7 < 0 : 7 > の個数と同じローカルライン L I O / L I O B が配置されるため、各々のバンク 1 0、2 0、3 0、4 0 ごとにグローバルライン G I O 0 < 0 : 7 > ~ G I O 7 < 0 : 7 > の個数に対応する書き込みドライバが備えられる。例えば、Y ブロック 1 1 には、6 4 個の書き込みドライバが備えられる。

10

【 0 0 1 6 】

読み出し動作時、読み出しインバージョン情報 R D B I < 0 : 7 > は、メモリ装置内のインバージョン生成部 3 0 0 で生成される。読み出し動作時には、メモリ装置自体が保存していたデータを出力するため、メモリ装置自身が読み出しインバージョン情報 R D B I < 0 : 7 > を生成し、これに応じてデータを反転または非反転して出力しなければならない。インバージョン生成部 3 0 0 は、D C モードでは 8 個のデータ G I O 0 < 0 > ~ G I O 7 < 0 > の中の 5 個以上のデータが「 0 」のとき、読み出しインバージョン情報 R D B I < 0 > を「 1 」として生成し、A C モードでは前のデータと比較した場合遷移したデータ G I O 0 < 0 > ~ G I O 7 < 0 > が 5 個以上のとき、読み出しインバージョン情報 R D B I < 0 > を「 1 」として生成する ( 残りの < 1 > ~ < 7 > の添字も同様 )。インバージョン生成部 3 0 0 が読み出しインバージョン情報 R D B I < 0 : 7 > をどのように生成すべきであるかに対してはスペック ( s p e c ) で規定された事項に該当するため、これ以上の説明は省略する。

20

30

【 0 0 1 7 】

インバージョン生成部 3 0 0 で生成された読み出しインバージョン情報は、読み出しインバージョンバス R D B I < 0 : 7 > に送信されて各々のデータ出力回路 2 1 0 ~ 2 8 0 に伝達される。データ出力回路 2 1 0 ~ 2 8 0 は、読み出しインバージョン情報 R D B I < 0 : 7 > に応じて自身が出力するデータを反転 / 非反転して出力する。

【 0 0 1 8 】

読み出しインバージョンバス R D B I < 0 : 7 > は、インバージョン出力部 2 9 0 にも読み出しインバージョン情報を伝達する。読み出し動作時にはメモリ装置が外部に読み出しインバージョン情報を出さなければならないためである。

40

【 0 0 1 9 】

図面の場合、クォータバンクの構造を有するメモリ装置におけるクォータ 1 つのみを示したため、各々のバンクの Y ブロック 1 1、2 1、3 1、4 1 には 8 個のデータピンに対応するグローバルライン G I O 0 < 0 : 7 > ~ G I O 7 < 0 : 7 > が接続していることを例示した。図面に示していない残りのバンクにも各々 8 個のデータピンに対応するグローバルラインが接続されるべきである。例えば、バンク 5 0、6 0、7 0、8 0 には 8 ~ 1 5 番目のデータピンに対応するグローバルラインが接続される。また、インバージョンピンの 1 つは 8 個のデータピンに入出力されるデータのインバージョン情報を担当することから、残りのクォータにもインバージョンピンが各々 1 つずつ配置される。

【 0 0 2 0 】

50

図3は、図2と同様にデータ入力回路210~280とバンク10~40との間でデータ及びインバージョン情報が交換されることを示す図面である。ただし、バンクのYブロック11、21、31、41の一部がデータピン及びインバージョンピンの近くに配置されていることを示す。図2と同じ部分には同じ記号を付した。

【0021】

グローバルラインGIO0<0:7>~GIO7<0:7>は、DQブロック210~280から各々のバンク10~40まで、すべて接続しなければならない、書き込みインバージョンバスWDBI<0:7>もDBIブロック290から各々のバンク10~40まで、すべて接続しなければならない。したがって、図2に示すように、バンクのYブロック11、21、31、41を配置する場合、グローバルラインGIO0<0:7>~GIO7<0:7>及び書き込みインバージョンバスWDBI<0:7>の長さが長すぎてしまい、チップ内の大きい面積を占めることとなる。したがって、最近のメモリ装置は、Yブロック11、21、31、41の一部分、すなわち、データが入/出力される部分12、22、32、42を図3に示すようにデータピンやインバージョンピンの近くに配置する。

10

【0022】

入/出力部12、22、32、42は、Yブロック11、21、31、41のうち、データが入/出力される部分を別に取り出した部分を意味する。このような入/出力部12、22、32、42には、グローバルラインGIO0<0:7>~GIO7<0:7>及びデータ交換を行うための書き込みドライバWTD RV及びセンスアンプIOSAが配置される。

20

【0023】

本来、Yブロック11、21、31、41の一部である入/出力部12、22、32、42を図面に示すように配置することで、グローバルラインGIO0<0:7>~GIO7<0:7>及び書き込みインバージョンバスWDBI<0:7>の長さが減少し、その結果、メモリ装置における全体の面積を減少させることができる。

【0024】

図4は、図2におけるDQブロック210内のデータ入力回路及びデータ出力回路を示す図面である。

【0025】

データ入力回路410は、データバッファ部411、直並列変換部412、及びドライバ部413を備える。

30

【0026】

データバッファ部411は、データパッドDQ PAD(データピンに接続するウエハ上のパッド)を介して入力されるデータをバッファして直並列変換部412に伝達する。データパッドにはプリフェッチスキームによってデータが連続して入力される。8ビットプリフェッチスキームを使用した場合、1つの書き込みコマンドに対応して8個のデータが直列に連続して入力される。

【0027】

直並列変換部412は、直列に入力されたデータを並列に整列する。いくつのデータを並列に整列するかは、いくつのビットプリフェッチスキームを使用するかによって異なるが、8ビットプリフェッチスキームを使用した場合、直列に入力された8個のデータが8個のラインGIO\_\_PRE0<0:7>を介して並列に出力される。

40

【0028】

ドライバ部413は、並列に整列されたデータGIO\_\_PRE0<0:7>をグローバルラインGIO0<0:7>に載せる役割を行い、例えばTDQSS\_\_CLKによりストロブ(strobing)され、データをグローバルラインGIO0<0:7>に載せる。TDQSS\_\_CLKは、連続に入力される書き込みコマンド間の間隔だけの周期を有するクロックである。

【0029】

50

データ出力回路 4 2 0 は、出力ドライバ部 4 2 1、並直列変換部 4 2 2、及び読み出しインバージョン部 4 2 3 を備える。

【 0 0 3 0 】

読み出しインバージョン部 4 2 3 は、出力されるデータ  $G I O 0 < 0 : 7 >$  を読み出しインバージョン情報  $R D B I < 0 : 7 >$  によって反転及び非反転する役割をする。読み出しインバージョン情報  $R D B I < 0 : 7 >$  が「1」であれば出力するデータを反転し、読み出しインバージョン情報  $R D B I < 0 : 7 >$  が「0」であれば出力するデータを反転しない。このような読み出しインバージョン部 4 2 3 は、図面に示すように、グローバルライン  $G I O 0 < 0 : 7 >$  のデータ及び読み出しインバージョン情報  $R D B I < 0 : 7 >$  を受信する排他的  $O R ( X O R )$  ゲートを備える。

10

【 0 0 3 1 】

並直列変換部 4 2 2 は、読み出しインバージョン部 4 2 3 から出力されるデータを直列に変換する。8ビットプリフェッチスキームを使用した場合、8個のラインのデータを直列に変換して出力する。すなわち、並直列変換部 4 2 2 は、直並列変換部 4 1 2 と反対の機能を行うといえる。

【 0 0 3 2 】

出力ドライバ部 4 2 1 は、並直列変換部 4 2 2 を介して直列に変換されたデータをメモリ装置の外部に出力する。すなわち、出力ドライバ部 4 2 1 は、データバッファ 4 1 1 と反対機能を行うといえる。

【 0 0 3 3 】

図 5 は、図 2 における  $D B I$  ブロック 2 9 0 内のインバージョン入力回路及びインバージョン出力回路を示す図面である。

20

【 0 0 3 4 】

インバージョン入力回路 5 1 0 は、インバージョンバッファ部 5 1 1、直並列変換部 5 1 2、及びドライバ部 5 1 3 を備える。

【 0 0 3 5 】

インバージョンバッファ部 5 1 1 は、インバージョンパッド  $D B I \_ P A D$  (インバージョンピンに接続するウエハ上のパッド) に入力される書き込みインバージョン情報  $W D B I \_ I N$  をバッファして直並列変換部 5 1 2 に伝達する。書き込みインバージョン情報  $W D B I \_ I N$  は、データと同様に直列に連続して入力される。

30

【 0 0 3 6 】

直並列変換部 5 1 2 は、直列に入力された書き込みインバージョン情報  $W D B I \_ I N$  を並列に整列する。データの代わりに書き込みインバージョン情報  $W D B I$  を整列する点を除いては、データ入力回路 4 1 0 の直並列変換部 4 1 2 と同じ役割を行う。

【 0 0 3 7 】

ドライバ部 5 1 3 は、並列に整列されたインバージョン情報  $W D B I \_ P R E < 0 : 7 >$  を書き込みインバージョンバス  $W D B I < 0 : 7 >$  に載せる役割を行い、例えば  $T D Q S S \_ C L K$  によりストロブされ、書き込みインバージョン情報  $W D B I \_ P R E < 0 : 7 >$  を書き込みインバージョンバス  $W D B I < 0 : 7 >$  に載せる。

【 0 0 3 8 】

インバージョン出力回路 5 2 0 は、並直列変換部 5 2 2、及び出力ドライバ 5 1 1 を備えて構成される。

40

【 0 0 3 9 】

並直列変換部 5 2 2 は、読み出しインバージョンバス  $R D B I < 0 : 7 >$  によって伝達された読み出しインバージョン情報を直列に変換して出力し、出力ドライバ 5 2 1 は、直列に変換された読み出しインバージョン情報  $R D B I \_ O U T$  をメモリ装置の外部に出力する。

【 0 0 4 0 】

図 6 は、 $Y$  ブロック 1 1 (図 2 の場合) または入 / 出力部 1 2 (図 3 の場合) に備えられる書き込みドライバなど、及びその前端に備えられた書き込みインバージョン部を示す

50

図面である。

【0041】

書き込みドライバ621～628の前端には、書き込みインバージョン部610が備えられる。書き込みインバージョン部610は、書き込みインバージョンバスWDBI<0:7>を介して伝達された書き込みインバージョン情報に応じてメモリ装置内に保存されるデータGIO0<0:7>を反転または非反転する。書き込みインバージョン情報WDBI<0:7>が「1」であればデータを反転し、書き込みインバージョン情報WDBI<0:7>が「0」であればデータを反転しない。書き込みインバージョン部610は、読み出しインバージョン部423と同様に排他的ORゲートを備える。

【0042】

書き込みドライバ621～628は、書き込みインバージョン部610により書き込みインバージョン情報RDBI<0:7>の反映されたデータをバンク内のローカルラインLIO/LIOB0<0:7>に伝達する。書き込みドライバ621～628に入力される書き込みイネーブル信号WTENは、書き込み動作時イネーブルされる信号であって、読み出し動作時には書き込みドライバ621～628が動作しないよう制御する。

【0043】

図面には1つのデータピンDQ0に入力されたデータGIO0<0:7>をローカルラインLIO/LIOB0<0:7>に伝達する書き込みドライバ621～628のみを図示した。メモリ装置がクォータバンクの構造を有するとき、1つのYブロック11、21、31、41または入/出力部12、22、32、42には書き込みドライバが64個が備えられ、書き込みインバージョン部610にも排他的ORゲートが64個備えられる。

【0044】

従来における半導体メモリ装置では、メモリ装置内で書き込みインバージョン情報を伝達するための書き込みインバージョンバスWDBI<0:7>、及び、読み出しインバージョン情報を伝達するための読み出しインバージョンバスRDBI<0:7>が別々に備えられる。このように書き込みインバージョンバスWDBI<0:7>及び読み出しインバージョンバスRDBI<0:7>が別々に備えられると、インバージョン機能DBIを具現するためにメモリ装置内に多いラインが必要となり、これはメモリ装置における面積の増加といった大きい要因となる。したがって、インバージョン機能の具現に必要なラインの個数を減らすための技術が要求される。

【発明の概要】

【発明が解決しようとする課題】

【0045】

本発明は、インバージョン機能の具現に必要なラインの個数を減らし、半導体メモリ装置における全体の面積を減少させることにその目的がある。

【課題を解決するための手段】

【0046】

前述した目的を達成するための本発明に係る半導体メモリ装置は、読み出しインバージョン情報及び書き込みインバージョン情報を選択的にインバージョンバスに載せるための選択部と、選択部により載せられたインバージョン情報を伝達するための前記インバージョンバスと、該インバージョンバスから伝達された前記読み出しインバージョン情報を出力データに反映する複数の読み出しインバージョン部と、前記インバージョンバスから伝達された前記書き込みインバージョン情報を入力データに反映する複数の書き込みインバージョン部と、を備えることができる。

【0047】

インバージョンバスは、読み出しインバージョン情報及び書き込みインバージョン情報が共用する伝達手段(共通のバス)である。インバージョンバスは、選択部が発信したインバージョン情報を、各インバージョン部に伝達する。つまり、本発明の半導体メモリ装置は、読み出しインバージョン情報及び書き込みインバージョン情報を選択的に発信する選択部と、選択部から発信されたインバージョン情報を各インバージョン部に伝達する共

10

20

30

40

50

通のインバージョンバスと、を備える。

【0048】

また、本発明に係る半導体メモリ装置は、読み出しインバージョン情報を生成するインバージョン生成部と、書き込みインバージョン情報が入力されるインバージョン入力回路と、前記インバージョン生成部から伝達された読み出しインバージョン情報、及び前記インバージョン入力回路から伝達された前記書き込みインバージョン情報を選択的にインバージョンバスに載せるための選択部と、該選択部により載せられたインバージョン情報を伝達するためのインバージョンバスと、該インバージョンバスから伝達された前記読み出しインバージョン情報を反映してデータを出力する複数のデータ出力回路と、前記インバージョンバスから伝達された前記書き込みインバージョン情報を入力データに反映する複数のデータ入力回路と、を備えることができる。

10

【0049】

また、本発明に係る半導体メモリ装置は、読み出しインバージョン情報を生成するインバージョン生成部と、書き込みインバージョン情報が入力されるインバージョン入力回路と、前記インバージョン生成部から伝達された読み出しインバージョン情報、及び前記インバージョン入力回路から伝達された前記書き込みインバージョン情報を選択的にインバージョンバスに載せるための選択部と、該選択部により載せられたインバージョン情報を伝達するためのインバージョンバスと、該インバージョンバスから伝達された前記読み出しインバージョン情報を反映してデータを出力する複数のデータ出力回路と、各々のバンクごとに備えられ、前記インバージョンバスから伝達された前記書き込みインバージョン情報を入力データに反映する入/出力部と、を備えることができる。

20

【発明の効果】

【0050】

本発明に係る半導体メモリ装置は、書き込みインバージョンバス及び読み出しインバージョンバスを別々に備えることなく、共通のインバージョンバスを介して書き込みインバージョン情報及び読み出しインバージョン情報のすべてが伝達される。したがって、インバージョン情報を処理するためのラインの個数が半分に減少し、これは半導体メモリ装置における全体の面積が大幅に減少するという長所がある。

【図面の簡単な説明】

【0051】

【図1】従来における4バンククォータの構造を有する半導体メモリ装置の構成を示す図面である。

30

【図2】データ入力回路とバンクとの間でデータ及びインバージョン情報が交換されることを示す図面である。

【図3】図2と同様、データ入力回路210～280とバンク10～40との間でデータ及びインバージョン情報が交換されることを示す図面である。

【図4】図2におけるDQブロック210内のデータ入力回路及びデータ出力回路を示す図面である。

【図5】図2におけるDBIブロック290内のインバージョン入力回路及びインバージョン出力回路を示す図面である。

40

【図6】Yブロック11（図2の場合）または入/出力部12（図3の場合）に備えられる書き込みドライバ及びその前端に備えられる書き込みインバージョン部を示す図面である。

【図7】本発明に係る半導体メモリ装置の基本構成図である。

【図8】選択部710を制御する選択信号SELを生成する方法を説明するための図面である。

【図9】本発明に係る半導体メモリ装置の第1の詳細実施例の図面である。

【図10】本発明に係る半導体メモリ装置の第2の詳細実施例の構成図である。

【図11】図10におけるDQブロック1010を示す図面である。

【図12】図10におけるDBIブロック1090を示す図面である。

50

## 【発明を実施のための形態】

## 【0052】

以下、本発明が属する技術分野における通常の知識を有する者が本発明の技術的な思想を容易に実施できるように詳説するために、本発明の最も好ましい実施例を添付の図面を参照して説明する。

## 【0053】

図7は、本発明に係る半導体メモリ装置の基本構成図である。

## 【0054】

本発明に係る半導体メモリ装置は、読み出しインバージョン情報  $RDBI < 0 : 7 >$  及び書き込みインバージョン情報  $WDBI < 0 : 7 >$  を選択的にインバージョンバス  $DBI < 0 : 7 >$  に載せるための選択部710と、選択部710により載せられたインバージョン情報を伝達するためのインバージョンバス  $DBI < 0 : 7 >$  と、インバージョンバス  $DBI < 0 : 7 >$  から伝達された読み出しインバージョン情報  $RDBI < 0 : 7 >$  を出力データに反映する複数の読み出しインバージョン部721~728と、インバージョンバス  $DBI < 0 : 7 >$  から伝達された書き込みインバージョン情報  $WDBI < 0 : 7 >$  を入力データに反映する複数の書き込みインバージョン部731~734と、を備える。

## 【0055】

選択部710には、読み出しインバージョン情報  $RDBI < 0 : 7 >$  及び書き込みインバージョン情報  $WDBI < 0 : 7 >$  が入力される。読み出しインバージョン情報  $RDBI < 0 : 7 >$  はメモリ装置内で生成され、書き込みインバージョン情報  $WDBI < 0 : 7 >$  は、メモリ装置の外部のメモリコントローラから入力される。選択部710は、読み出しインバージョン情報  $RDBI < 0 : 7 >$  または書き込みインバージョン情報  $WDBI < 0 : 7 >$  を選択的にインバージョンバス  $DBI < 0 : 7 >$  に載せる。選択部710は、読み出し動作時には読み出しインバージョン情報  $RDBI < 0 : 7 >$  をインバージョンバス  $DBI < 0 : 7 >$  に伝達し、書き込み動作時には書き込みインバージョン情報  $WDBI < 0 : 7 >$  をインバージョンバス  $DBI < 0 : 7 >$  に伝達する。選択部710に入力される選択信号  $SEL$  は、書き込み動作時にはイネーブルされ、読み出し動作時にはディセーブルされることによって、選択部710を制御する信号である。

## 【0056】

インバージョンバス  $DBI < 0 : 7 >$  は、読み出しインバージョン情報  $RDBI < 0 : 7 >$  及び書き込みインバージョン情報  $WDBI < 0 : 7 >$  の両方を伝達するバスのことを指す。

## 【0057】

メモリ装置の動作において、メモリ装置の読み出し動作時には読み出しインバージョン情報  $RDBI < 0 : 7 >$  のみが使用され、メモリ装置の書き込み動作時には書き込みインバージョン情報  $WDBI < 0 : 7 >$  のみが使用される。このようにメモリ装置の動作では、読み出しインバージョン情報  $RDBI < 0 : 7 >$  及び書き込みインバージョン情報  $WDBI < 0 : 7 >$  は同時に使用されることがないため、1つのバスを介して読み出しインバージョン情報  $RDBI < 0 : 7 >$  及び書き込みインバージョン情報  $WDBI < 0 : 7 >$  を伝達することが可能である。

## 【0058】

読み出しインバージョン部721~728は、インバージョンバス  $DBI < 0 : 7 >$  から伝達された読み出しインバージョン情報  $RDBI < 0 : 7 >$  を出力データに反映する。出力データとは、メモリ装置の外部に出力されるデータを意味する。読み出しインバージョン部721~728をメモリ装置のどこに配置するかはメモリ装置の構成によって異なり得るが、一般的に(背景技術の部分で説明した通り)読み出しインバージョン部721~728は、データピンごとに備えられるデータ出力回路内に各々配置される。

## 【0059】

書き込みインバージョン部731~734は、インバージョンバス  $DBI < 0 : 7 >$  から伝達された書き込みインバージョン情報  $WDBI < 0 : 7 >$  を入力データに反映する。

入力データとは、書き込み動作時にメモリ装置の外部から入力されてメモリ装置内に保存されるデータのことを指す。外部から入力されたデータがメモリ装置に保存されるときには、書き込みインバージョン情報  $WDBI < 0 : 7 >$  に応じてデータを反転または非反転して入力しなければならないため、かかる書き込みインバージョン部 731 ~ 734 は、DBI 機能を支援するメモリ装置内において必ず必要である。書き込みインバージョン部 731 ~ 734 は背景技術の部分で説明した通り、バンクの入/出力部内の書き込みドライバの前端に位置づけることもでき、他の所に位置づけられることもあり得る（これについては後述する）。

#### 【0060】

仮に、書き込みインバージョン部 731 ~ 734 がバンクの入/出力部内に位置した場合、書き込みインバージョン部 731 ~ 734 はバンクの個数だけ配置される。もちろん、クォータバンクの構造を有するメモリ装置の全体ではバンク数  $\times$  4 個の書き込みインバージョン部が備えられるであろう。

10

#### 【0061】

本実施形態では、共用のインバージョンバス  $DBI < 0 : 7 >$  を介して書き込みインバージョン情報  $WDBI < 0 : 7 >$  及び読み出しインバージョン情報  $RDBI < 0 : 7 >$  がメモリ装置内から伝達される。インバージョンバス  $DBI < 0 : 7 >$  は、メモリ装置の様々な部分にインバージョン情報  $RDBI < 0 : 7 >$  または  $WDBI < 0 : 7 >$  を伝達しなければならないため、その長さが長くならざるを得ない。したがって、インバージョンバス  $DBI < 0 : 7 >$  は面積を大きく占めることになる。本発明は、書き込みインバージョンバス及び読み出しインバージョンバスを 1 つのインバージョンバス  $DBI < 0 : 7 >$  に統合する方法により、インバージョンバス  $DBI < 0 : 7 >$  に必要な面積を半分に減らすことで、メモリ装置における全体面積の減少に対して大きく寄与することになる。

20

#### 【0062】

図 8 は、選択部 710 を制御する選択信号  $SEL$  を生成する方法を説明するための図面である。

#### 【0063】

選択信号  $SEL$  は、書き込み動作時にイネーブルされる信号である書き込みイネーブル信号  $WTEN$ 、及び、読み出し動作時にイネーブルされるパルス信号である読み出しイネーブルパルス  $RDENP$  を用いて生成することができる。

30

#### 【0064】

図面の  $SR$  ラッチには、書き込みイネーブル信号  $WTEN$  がセット信号として入力され、読み出しイネーブルパルス  $RDENP$  がリセット信号として入力され、 $SR$  ラッチの出力信号が選択信号  $SEL$  になる。したがって、選択信号  $SEL$  は、書き込みイネーブル信号  $WTEN$  のイネーブルと同時にイネーブルされ、読み出しイネーブルパルス  $RDENP$  のイネーブルと同時にディセーブルされる。

#### 【0065】

選択信号  $SEL$  は、単に書き込み動作と読み出しの動作とを区別するための信号であって、図面に示された  $SR$  ラッチを使用して選択信号  $SEL$  を生成する方法以外に、多様な方法で選択信号  $SEL$  を生成できるのは当然である。

40

#### 【0066】

図 9 は、本発明に係る半導体メモリ装置の第 1 の詳細実施例の図面である。

#### 【0067】

同図は、図 7 で説明した本発明の特徴が図 3 に適用された場合について示した図面である。

#### 【0068】

すなわち、図 7 で説明した書き込みインバージョン部 731 ~ 734 が入/出力部 12、22、32、42 内に配置され、読み出しインバージョン部 721 ~ 728 がデータ出力回路 210 ~ 280 内に配置された場合を示す。また、図面の簡略化のためにデータを伝達するグローバルバス  $GIO$  の図示を省略した。

50

## 【0069】

図面のDQと称されたブロック210～280は、データピンごとに備えられるデータ入力回路及びデータ出力回路が備えられたブロックを意味する。また、図面のDBIと称されたブロック290は、DBIピンに備えられるインバージョン入力回路及びインバージョン出力回路が備えられたブロックを意味する。

## 【0070】

本発明に係る半導体メモリ装置の第1の詳細実施例は、読み出しインバージョン情報RDBI<0:7>を生成するインバージョン生成部300と、書き込みインバージョン情報WDBI<0:7>が入力されるインバージョン入力回路(290内に配置)と、インバージョン生成部300から伝達された読み出しインバージョン情報RDBI<0:7>及びインバージョン入力回路290から伝達された書き込みインバージョン情報WDBI<0:7>を選択的にインバージョンバスに載せるための選択部710と、選択部710により載せられたインバージョン情報を伝達するためのインバージョンバスDBI<0:7>と、インバージョンバスDBI<0:7>から伝達された読み出しインバージョン情報RDBI<0:7>を反映してデータを出力する複数のデータ出力回路(210～280内に配置)と、各々のバンクごとに備えられてインバージョンバスDBI<0:7>から伝達された書き込みインバージョン情報WDBI<0:7>を入力データに反映する入/出力部12、22、32、42を備えて構成される。

10

## 【0071】

また、インバージョンバスDBI<0:7>は、インバージョン出力回路(290内に配置)にも接続される。インバージョン出力回路290も読み出しインバージョン情報RDBI<0:7>をメモリ装置の外部に出力しなければならないため、インバージョンバスDBI<0:7>から読み出しインバージョン情報RDBI<0:7>の伝達を受けなければならない。

20

## 【0072】

選択部710については図7で詳説した通りである。そして、DQブロック210～280内に備えられるデータ入力回路及びデータ出力回路については背景技術の部分で詳説した。また、DBIブロック290内に備えられるインバージョン入力回路及びインバージョン出力回路についても背景技術の部分で詳説した。また、インバージョン生成部300及び入/出力部12、22、32、42についても背景技術の部分で詳説したため、ここでは各々の部分についての詳説を省略する。

30

## 【0073】

本発明は、インバージョン生成部300から生成された読み出しインバージョン情報RDBI<0:7>及びインバージョン入力回路290から入力された書き込みインバージョン情報WDBI<0:7>のすべてをインバージョンバスDBI<0:7>を介して伝達する。インバージョンバスDBI<0:7>は、インバージョン情報を必要とするメモリ装置内の各構成要素などと接続してインバージョン情報を伝達する。本発明は、同じインバージョンバスDBI<0:7>を介して読み出しインバージョン情報RDBI<0:7>及び書き込みインバージョン情報WDBI<0:7>のすべてを伝達する方式を使用することによって、メモリ装置内におけるインバージョンバスDBI<0:7>の占める面積を半分に減らす。

40

## 【0074】

図10は、本発明に係る半導体メモリ装置の第2の詳細実施例の構成図である。

## 【0075】

同図は、書き込みインバージョン情報をデータに反映する役割をデータ入力回路で行う半導体メモリ装置に、図8にて説明した本発明の特徴が適用された場合を図示する。また、図面の簡略化のためにデータを伝達するグローバルバスGIOの図示を省略した。

## 【0076】

図面のDQと称されたブロック1010～1080は、データピンごとに備えられるデータ入力回路及びデータ出力回路が備えられたブロックを意味する。また、図面のDBI

50

と称されたブロック1090は、DBIピンに備えられるインバージョン入力回路及びインバージョン出力回路が備えられたブロックを意味する。

【0077】

本発明に係る半導体メモリ装置は、読み出しインバージョン情報RDBI<0:7>を生成するインバージョン生成部300と、書き込みインバージョン情報WDBI<0:7>が入力されるインバージョン入力回路(1090内に配置)と、インバージョン生成部300から伝達された読み出しインバージョン情報RDBI<0:7>及びインバージョン入力回路1090から伝達された書き込みインバージョン情報WDBI<0:7>を選択的にインバージョンバスDBI<0:7>に載せるための選択部710と、選択部710により載せられたインバージョン情報を伝達するためのインバージョンバスDBI<0:7>と、インバージョンバスDBI<0:7>から伝達された読み出しインバージョン情報RDBI<0:7>を反映してデータを出力する複数のデータ出力回路(1010~1080内に配置)と、インバージョンバスDBI<0:7>から伝達された書き込みインバージョン情報WDBI<0:7>を入力データに反映する複数のデータ入力回路(1010~1080内に配置)と、を備えて構成される。

10

【0078】

また、半導体メモリ装置は、インバージョンバスDBI<0:7>から伝達された読み出しインバージョン情報RDBI<0:7>をメモリ装置の外部に出力するためのインバージョン出力回路(1090内に配置)を備える。

【0079】

同図では、外部から入力されたデータを書き込みインバージョン情報WDBI<0:7>によって反転/非反転する役割をデータ入力回路1010~1080で行う。すなわち、図7で説明した書き込みインバージョン部731~734がデータ入力回路1010~1080内に備えられる。図10では既に書き込みインバージョン情報WDBI<0:7>の反映されたデータがデータ入力回路1010~1080からバンクの入/出力部12、22、32、42またはYブロック(図10には図示せず)に伝達される。したがって、書き込みインバージョン情報WDBI<0:7>がバンクの入/出力部12、22、32、42に伝達される必要がないため、バンクの入/出力部12、22、32、42にはインバージョンバスDBI<0:7>が接続されない。

20

【0080】

図11は、図10のDQブロック1010を示す図面である。

30

【0081】

DQブロック内には、データ入力回路1110及びデータ出力回路1120が備えられる。データ入力回路1110は、データバッファ部1111、直並列変換部1112、書き込みインバージョン部1113、及びドライバ部1114を備える。

【0082】

すなわち、データ入力回路1110は、図4で説明したデータ入力回路に書き込みインバージョン部1113が更に備えられる。

【0083】

書き込みインバージョン部1113は、インバージョンバスDBI<0:7>から書き込みインバージョン情報WDBI<0:7>を受信し、書き込みインバージョン情報WDBI<0:7>に応じて入力されたデータGIO\_\_PRE0<0:7>を反転または非反転して出力する。このような書き込みインバージョン部1113は、図面に示すように、排他的ORゲートを備え得る。

40

【0084】

ドライバ部1114は、既に書き込みインバージョン部1113により書き込みインバージョン情報WDBI<0:7>の反映されたデータをグローバルラインGIO0<0:7>に載せる。既にデータ入力回路1110においてデータに書き込みインバージョン情報WDBI<0:7>を反映したため、バンクの入/出力部12、22、32、42には従来のように書き込みインバージョン部が備えられる必要がない。

50

## 【 0 0 8 5 】

データ入力回路 1 1 1 0 では、単に入力されたデータをグローバルバス G I O 0 < 0 : 7 > に伝達するのではなく、書き込みインバージョン情報 W D B I < 0 : 7 > の反映されたデータをグローバルバス G I O 0 < 0 : 7 > に伝達する。これによるマージンなどが従来とは異なって、追加的なタイミングの調節などが行われることもできるが、このようなタイミング調節は、本発明が属する技術分野における通常の知識を有する者ならば容易にできるため、これに対する説明は省略する。

## 【 0 0 8 6 】

データ出力回路 1 1 2 0 は、出力ドライバ部 1 1 2 1、並直列変換部 1 1 2 2、及び読み出しインバージョン部 1 1 2 3 を備える。

10

## 【 0 0 8 7 】

データ出力回路 1 1 2 0 は、図 4 で説明した従来のデータ出力回路 4 2 0 と同一に構成される。ただし、従来の読み出しインバージョン部 4 2 3 は、読み出しインバージョンバスを介して読み出しインバージョン情報を受信したが、本発明ではインバージョンバス D B I < 0 : 7 > を介して読み出しインバージョン情報 R D B I < 0 : 7 > を受信するという点のみが異なる。

## 【 0 0 8 8 】

図 1 2 は、図 1 0 の D B I ブロック 1 0 9 0 を示す図面である。

## 【 0 0 8 9 】

D B I ブロック 1 0 9 0 内には、インバージョン入力回路 1 2 1 0 及びインバージョン出力回路 1 2 2 0 が備えられる。

20

## 【 0 0 9 0 】

インバージョン入力回路 1 2 1 0 は、インバージョンバッファ部 1 2 1 1 及び直並列変換部 1 2 1 2 を備える。

## 【 0 0 9 1 】

インバージョン入力回路 1 2 1 0 は、図 5 のインバージョンバッファ部 5 1 0 においてドライバ部 5 1 3 が除外された構成を有する。インバージョン入力回路 1 2 1 0 に入力された書き込みインバージョン情報 W D B I < 0 : 7 > は、インバージョンバス D B I < 0 : 7 > を介して各々のデータ入力回路 1 0 1 0 ~ 1 0 8 0 に伝達され、データ入力回路 1 0 1 0 ~ 1 0 8 0 で書き込みインバージョン情報 W D B I < 0 : 7 > の反映されたデータを T D Q S S \_ C L K に応じてストロープする。したがって、インバージョン入力回路 1 2 1 0 が書き込みインバージョン情報 W D B I < 0 : 7 > をストロープする必要がない。

30

## 【 0 0 9 2 】

インバージョン出力回路 1 2 2 0 は、並直列変換部 1 2 2 2 及び出力ドライバ 1 2 2 1 を備える。インバージョン出力回路 1 2 2 0 は、図 5 で説明したインバージョン出力回路 5 2 0 と同一に構成され得る。

## 【 0 0 9 3 】

本発明の技術的な思想は前記好ましい実施例に従って具体的に記述されたが、前記した実施例はその説明のためのものであって、その制限のためのものでないことを注意すべきである。また、本発明の技術分野における通常の専門家ならば本発明の技術思想の範囲内で多様な実施例が可能であることが分かるであろう。

40

## 【 符号の説明 】

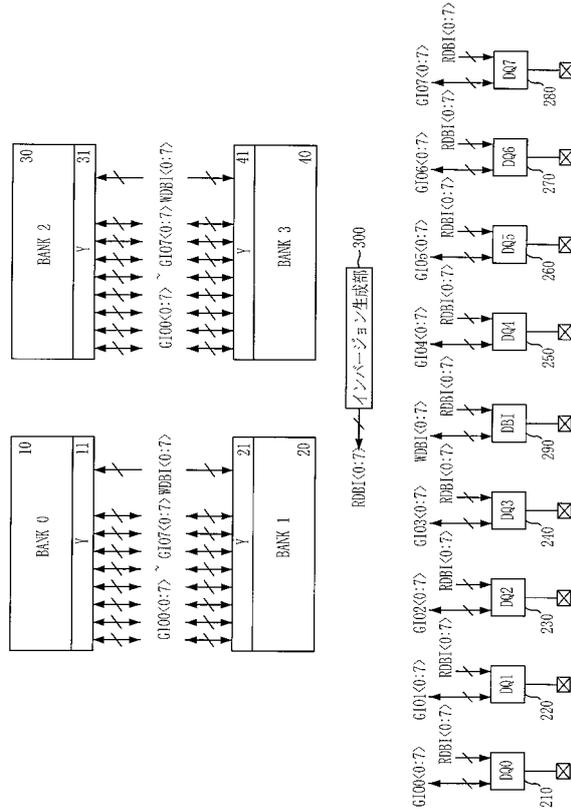
## 【 0 0 9 4 】

7 1 0 : 選択部  
 7 2 1 ~ 7 2 8 : 読み出しインバージョン部  
 7 3 1 ~ 7 3 4 : 書き込みインバージョン部  
 D B I < 0 : 7 > : インバージョンバス

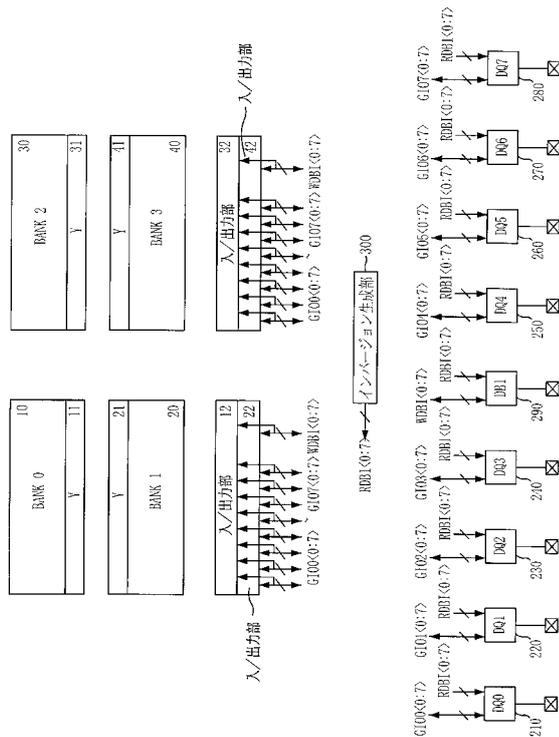
【図 1】

|       |     |   |   |       |     |  |  |       |     |   |   |       |     |  |  |
|-------|-----|---|---|-------|-----|--|--|-------|-----|---|---|-------|-----|--|--|
| BANK0 | 10  | X | X | BANK2 | 30  |  |  | BANK0 | 50  | X | X | BANK2 | 70  |  |  |
| Y     |     |   |   | Y     |     |  |  | Y     |     |   |   | Y     |     |  |  |
| Y     |     |   |   | Y     |     |  |  | Y     |     |   |   | Y     |     |  |  |
| BANK1 | 20  | X | X | BANK3 | 40  |  |  | BANK1 | 60  | X | X | BANK3 | 80  |  |  |
| DPERI |     |   |   | CPERI |     |  |  | DPERI |     |   |   |       |     |  |  |
| BANK0 | 90  | X | X | BANK2 | 110 |  |  | BANK0 | 130 | X | X | BANK2 | 150 |  |  |
| Y     |     |   |   | Y     |     |  |  | Y     |     |   |   | Y     |     |  |  |
| Y     |     |   |   | Y     |     |  |  | Y     |     |   |   | Y     |     |  |  |
| BANK1 | 100 | X | X | BANK3 | 120 |  |  | BANK1 | 140 | X | X | BANK3 | 160 |  |  |

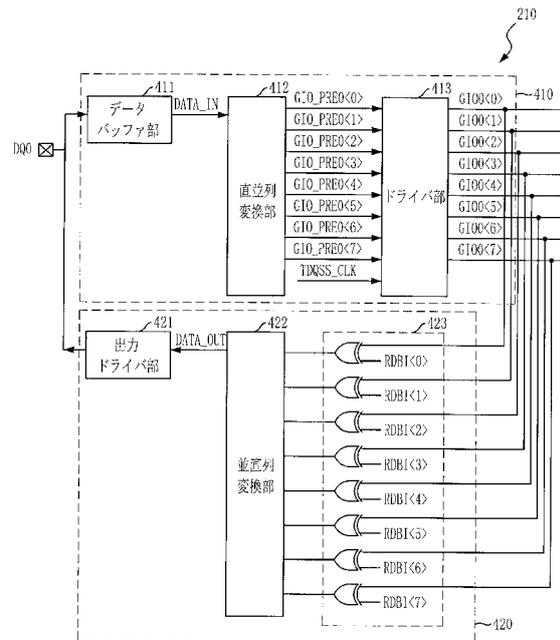
【図 2】



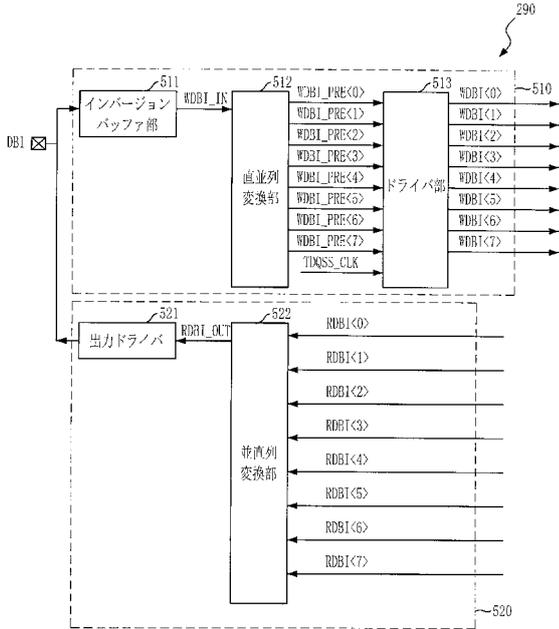
【図 3】



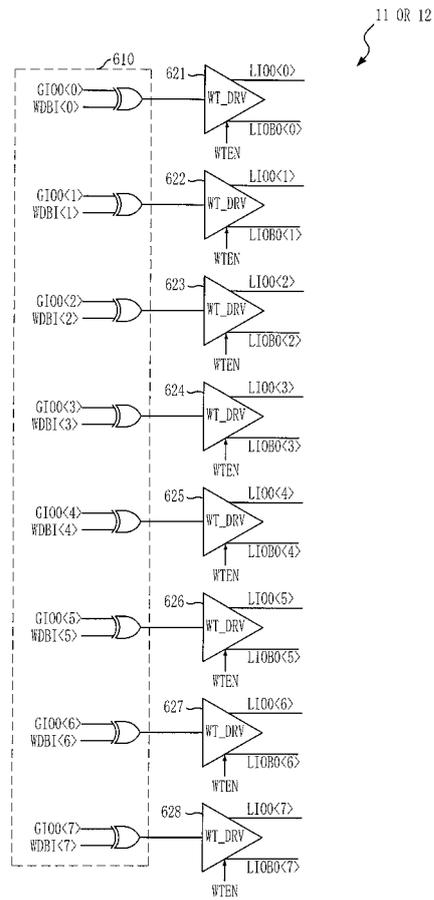
【図 4】



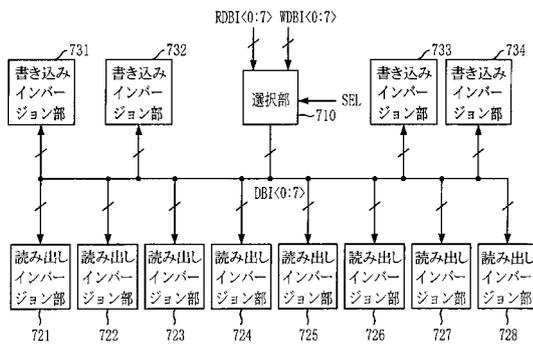
【 図 5 】



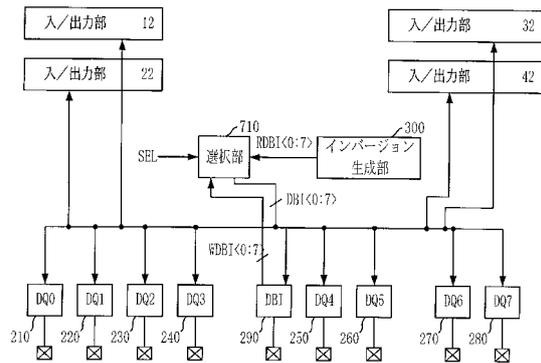
【 図 6 】



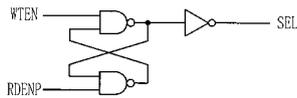
【 図 7 】



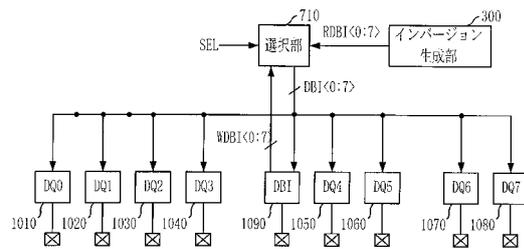
【 図 9 】



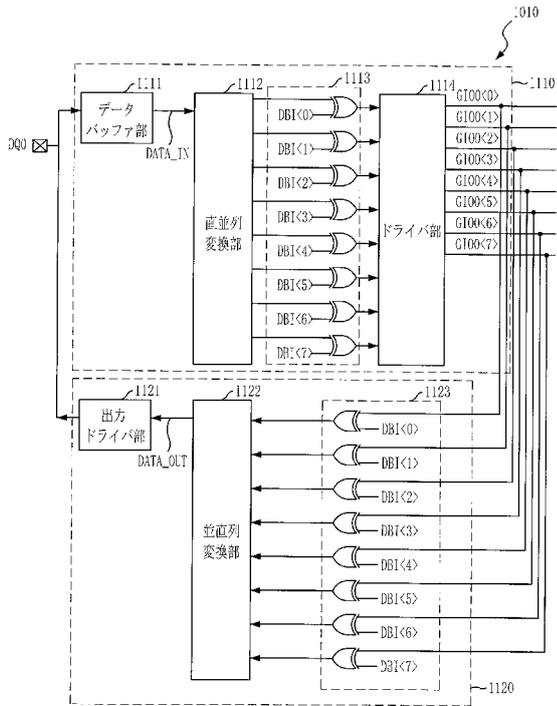
【 図 8 】



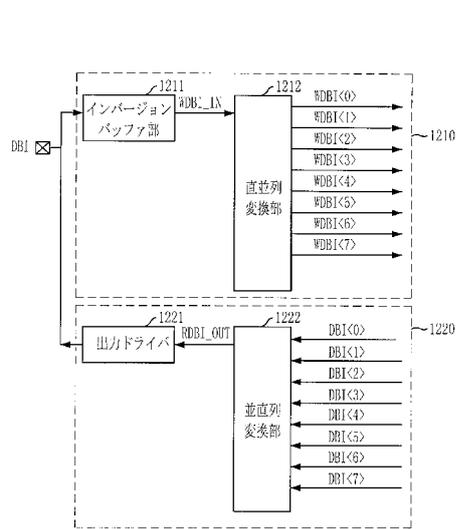
【 図 10 】



【図 1 1】



【図 1 2】



---

フロントページの続き

(72)発明者 チェ ビョン ジン

大韓民国京畿道利川市夫鉢邑牙美里山 1 3 6 - 1

Fターム(参考) 5M024 AA22 AA53 BB17 BB30 BB33 BB34 DD20 DD90 KK10 PP01  
PP02