



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0077511
(43) 공개일자 2009년07월15일

(51) Int. Cl.

H01L 21/027 (2006.01) H01L 21/28 (2006.01)

(21) 출원번호 10-2008-0003506

(22) 출원일자 2008년01월11일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

강남정

경기 수원시 영통구 망포동 늘푸른벽산아파트 110동 303호

송재훈

경기 안양시 동안구 평촌동 초원마을 대림아파트 201동 905호

(뒷면에 계속)

(74) 대리인

박영우

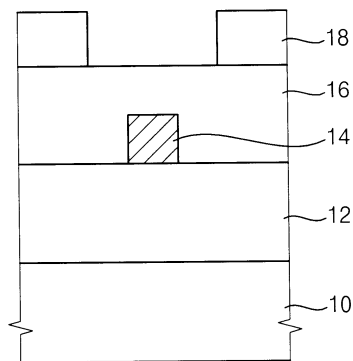
전체 청구항 수 : 총 22 항

(54) 콘택홀 형성 방법 및 이를 포함하는 반도체 소자의 제조방법.

(57) 요약

콘택홀 형성 방법 및 이를 포함하는 반도체 소자의 제조 방법에서, 상기 콘택홀을 형성하기 위하여 기판 상에 제 1 층간 절연막을 형성한다. 상기 제1 층간 절연막 상에 더미 패턴을 형성한다. 상기 더미 패턴을 덮는 제2 층간 절연막을 형성한다. 상기 제2 층간 절연막 상에, 노출 부위를 포함하고 하부에 형성된 더미 패턴이 상기 노출 부위를 가로지르는 형태로 배치되는 포토레지스트 패턴을 형성한다. 다음에, 상기 포토레지스트 패턴 및 상기 더미 패턴을 마스크로 사용하여 상기 제1 및 제2 층간 절연막을 식각함으로써, 상기 더미 패턴의 양측으로 복수의 콘택홀을 형성한다. 상기 방법에 의하면, 좁은 폭을 갖는 콘택홀을 형성할 수 있다.

대표도 - 도2



(72) 발명자

유소현

서울 성동구 금호동3가 1184-1번지

양동관

경기 용인시 수지구 죽전동 815-6번지 204호

특허청구의 범위

청구항 1

기판 상에 제1 층간 절연막을 형성하는 단계;

상기 제1 층간 절연막 상에 더미 패턴을 형성하는 단계;

상기 더미 패턴을 덮는 제2 층간 절연막을 형성하는 단계;

상기 제2 층간 절연막 상에, 노출 부위를 포함하고 하부에 형성된 더미 패턴이 상기 노출 부위를 가로지르는 형태로 배치되는 포토레지스트 패턴을 형성하는 단계; 및

상기 포토레지스트 패턴 및 상기 더미 패턴을 마스크로 사용하여 상기 제1 및 제2 층간 절연막을 식각함으로써, 상기 더미 패턴의 양측으로 복수의 콘택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 콘택홀 형성 방법.

청구항 2

제1항에 있어서, 상기 더미 패턴은 제1 방향으로 연장되는 라인 형상을 갖도록 형성되는 것을 특징으로 하는 콘택홀 형성 방법.

청구항 3

제1항에 있어서, 상기 포토레지스트 패턴은 노출 부위가 고립된 형상을 갖고, 상기 노출 부위의 길이 방향이 상기 더미 패턴의 연장 방향이 서로 다른 방향이 되도록 형성되는 것을 특징으로 하는 콘택홀 형성 방법.

청구항 4

제1항에 있어서, 상기 더미 패턴은 다수개가 구비되고 서로 평행하게 배치되는 것을 특징으로 하는 콘택홀 형성 방법.

청구항 5

제4항에 있어서, 상기 포토레지스트 패턴의 각 노출 부위 내에는 복수의 더미 패턴이 배치되는 것을 특징으로 하는 콘택홀 형성 방법.

청구항 6

제1항에 있어서, 상기 포토레지스트 패턴의 각 노출 부위는 반복하여 배치되는 것을 특징으로 하는 콘택홀 형성 방법.

청구항 7

제1항에 있어서, 상기 더미 패턴을 형성하는 단계는,

상기 제1 및 제2 층간 절연막과 식각 선택비를 갖는 더미막을 형성하는 단계; 및

상기 더미막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 콘택홀 형성 방법.

청구항 8

제1항에 있어서, 상기 더미 패턴을 형성하는 단계는,

상기 제1 층간 절연막을 부분적으로 식각하여 트렌치를 형성하는 단계;

상기 트렌치 내부를 채우도록 더미막을 형성하는 단계; 및

상기 더미막을 평탄화시켜 상기 트렌치 내부에 더미 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 콘택홀 형성 방법.

청구항 9

제1항에 있어서, 상기 더미 패턴을 형성하는 단계는,

상기 제1 층간 절연막 상에 절연막 패턴을 형성하는 단계;

상기 절연막 패턴 및 제1 층간 절연막의 표면에 상기 제1 및 제2 층간 절연막과 식각 선택비를 갖는 더미막을 형성하는 단계; 및

상기 더미막을 이방성 식각하여 상기 절연막 패턴 양측에 스페이서 형상을 갖는 더미 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 콘택홀 형성 방법.

청구항 10

기관 내부에 매립되고, 측방의 기관 표면에 콘택 형성 영역들을 갖는 매립 게이트 전극들을 형성하는 단계;

상기 기관을 덮는 제1 층간 절연막을 형성하는 단계;

상기 제1 층간 절연막 상에 상기 콘택 형성 영역들의 사이 부위와 대향하도록 배치되는 더미 패턴을 형성하는 단계;

상기 더미 패턴을 덮는 제2 층간 절연막을 형성하는 단계;

상기 제2 층간 절연막 상에, 상기 콘택 형성 영역들을 노출시키는 노출 부위를 포함하고, 상기 더미 패턴이 상기 노출 부위를 가로지르는 형태로 배치되는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴 및 상기 더미 패턴을 마스크로 사용하여 상기 제1 및 제2 층간 절연막을 식각함으로써 콘택홀들을 형성하는 단계; 및

상기 콘택홀들 내부에 도전 물질을 매립시켜 패드 콘택들을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 11

제10항에 있어서, 상기 기관의 일부 영역 상에 플레너형 게이트 전극들을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 12

제11항에 있어서, 상기 제1 층간 절연막의 상부면은 상기 플레너형 게이트 전극의 상부면과 동일한 평면을 갖거나 또는 상기 플레너형 게이트 전극의 상부면보다 높게 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 13

제10항에 있어서, 상기 패드 콘택들을 형성하는 단계는,

상기 콘택홀 내부를 채우도록 도전막을 증착하는 단계; 및

상기 더미 패턴이 제거되도록 상기 도전막을 평탄화하여 각각의 콘택 홀 내부에 패드 콘택들을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 14

제10항에 있어서, 하나의 상기 더미 패턴은 적어도 2개의 상기 매립된 게이트 전극들과 대향하도록 배치되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 15

제14항에 있어서, 상기 콘택 형성 영역은 상기 매립된 게이트 전극 양측에 위치하는 스토리지 노드 콘택 영역을 포함하고, 상기 패드 콘택은 상기 스토리지 노드 패드 콘택을 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 16

제10항에 있어서, 하나의 상기 더미 패턴은 하나의 매립된 게이트 전극들과 각각 대향하도록 배치되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 17

제14항에 있어서, 상기 콘택 형성 영역은 상기 매립된 게이트 전극 들 사이에 위치하는 스토리지 노드 콘택 영역 및 비트 라인 콘택 영역을 포함하고, 상기 패드 콘택은 상기 스토리지 노드 패드 콘택 및 비트 라인 패드 콘택을 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 18

제10항에 있어서,
상기 기관의 소자 분리 영역을 식각하여 액티브 영역을 정의하는 소자 분리 트렌치를 형성하는 단계; 및
상기 소자 분리 트렌치 내부에 소자 분리 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 19

제18항에 있어서, 상기 포토레지스트 패턴의 노출 부위는 상기 매립 게이트 전극이 형성되어 있는 부위의 액티브 영역과 동일하게 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 20

제10항에 있어서,
상기 더미 패턴을 형성하는 단계는,
상기 제1 및 제2 층간 절연막과 식각 선택비를 갖는 더미막을 형성하는 단계; 및
상기 더미막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 21

제10항에 있어서, 상기 더미 패턴을 형성하는 단계는,
상기 제1 층간 절연막을 부분적으로 식각하여 트렌치를 형성하는 단계;
상기 트렌치 내부를 채우도록 더미막을 형성하는 단계; 및
상기 더미막을 평탄화시켜 상기 트렌치 내부에 더미 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 22

제10항에 있어서, 상기 더미 패턴을 형성하는 단계는,
상기 제1 층간 절연막 상에 절연막 패턴을 형성하는 단계;
상기 절연막 패턴 및 제1 층간 절연막의 표면에 상기 제1 및 제2 층간 절연막과 식각 선택비를 갖는 더미막을 형성하는 단계; 및
상기 더미막을 이방성 식각하여 상기 절연막 패턴 양측에 스페이서 형상을 갖는 더미 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 콘택홀 형성 방법 및 이를 포함하는 반도체 소자의 제조 방법에 관한 것이다. 보다 상세하게는, 미세한 크기를 갖는 콘택홀을 형성하는 방법 및 이를 포함하는 반도체 소자의 제조 방법에 관한 것이다.

배경 기술

- <2> 일반적으로 반도체 메모리 소자는 DRAM(Dynamic Random Access Memory) 소자 또는 SRAM(Static Random Access Memory) 소자와 같은 휘발성 반도체 메모리 소자와 플래시(Flash) 메모리 소자 등과 같은 비휘발성 반도체 메모리 소자로 구분된다. 이러한 반도체 메모리 소자의 응용 분야가 확대됨에 따라 반도체 메모리 소자는 집적도, 동작 속도 및 정전 용량 등에서 크게 개선되어 왔다.
- <3> 상기 반도체 메모리 소자의 집적도가 높아질수록 점차 미세 패턴 또는 미세 콘택을 형성하여야 하며, 이를 형성하기 위한 사진 식각 공정에서 해상도(resolution)의 한계에 직면하게 되었다. 때문에, 상기 반도체 메모리 소자에 포함되는 콘택 형성 공정에서, 비트 라인 구조물, 워드 라인 구조물 등과 같은 소자 구조물들과 층간 절연막 사이의 식각 선택비를 이용하여 콘택홀을 형성하는 셀프 얼라인 콘택 공정을 주로 사용하고 있다.
- <4> 한편, 최근에는 게이트 전극이 기판 상부 표면으로 돌출되지 않는 매립 게이트 전극 구조를 갖는 워드 라인이 연구되고 있다. 상기 매립 게이트 전극은 기판에 형성되어 있는 리세스부 내부에 게이트 전극이 완전히 매립된 형상을 갖기 때문에, 상기 게이트 전극을 형성하는데 있어서 패터닝이 요구되지 않는다. 그러므로, 게이트 전극 재료로써 금속 물질을 용이하게 사용할 수 있다. 또한, 상기 게이트 전극 양측으로 스페이서가 형성되지 않으므로, 상기 게이트 전극 양측에 형성되는 콘택 면적이 증가될 수 있다.
- <5> 그런데, 메모리 소자의 셀을 형성하는데 있어서 워드 라인으로 제공되는 게이트로 상기 매립 게이트 전극을 사용하면, 상기 게이트 전극이 기판 표면으로 돌출되지 않으므로 상기 셀프 얼라인 콘택 공정을 적용할 수 없다. 때문에, 사진 공정 시에 포토 미스 얼라인이 발생하는 경우 식각 공정을 통해 정확한 위치에 콘택을 형성할 수 없게 된다.
- <6> 특히, 상기 매립 게이트 전극을 사용하여 디램 소자를 형성하는 경우, 상기 셀프 얼라인 콘택 공정을 적용할 수 없기 때문에 게이트 전극 양측의 소오스/드레인 영역에 상기 비트 라인 콘택 및 스토리지 노드 콘택과 접속하기 위한 패드 콘택을 미리 형성하는 것이 용이하지 않다. 그러므로, 상기 매립 게이트 전극이 사용되는 경우 상기 비트 라인 콘택 및 스토리지 노드 콘택은 상기 패드 콘택을 거치지 않고 직접 액티브 기판까지 연장되도록 형성되어 진다.
- <7> 이와 같이, 상기 패드 콘택을 형성하지 않은 상태에서 상기 비트 라인 콘택 및 스토리지 노드 콘택을 형성하는 경우 각 콘택의 높이가 매우 증가하게 된다. 때문에, 상기 콘택들을 형성하기 위한 식각 공정에서 콘택홀 저면에 콘택 부위가 노출되지 않는 낮 오픈 불량이 증가하게 된다. 또한, 스토리지 노드 콘택을 형성하는 공정에서는 상기 콘택홀 형성을 위한 식각 공정 시간이 더욱 증가하게 된다. 때문에, 기 형성된 비트 라인 구조물의 측벽 스페이서가 과도하게 식각될 수 있고, 이로인해 비트 라인과 스토리지 노드 콘택과의 쇼트 불량이 발생할 수 있다.
- <8> 따라서, 상기 셀프 얼라인 공정이 수행되지 않으면서도 정확한 위치에 패드 콘택을 형성할 수 있는 방법이 요구된다. 또한, 사진 공정에 의해 형성되는 포토레지스트 패턴의 노출 부위보다 더 작은 폭을 갖는 패드 콘택의 형성 방법이 요구된다.

발명의 내용

해결 하고자하는 과제

- <9> 본 발명의 일 목적은 정확한 콘택 위치에 미세한 크기를 갖는 콘택홀들을 형성하는 방법을 제공하는데 있다.
- <10> 본 발명의 다른 목적은 상기한 콘택홀들을 포함하는 반도체 소자의 제조 방법을 제공하는데 있다.

과제 해결수단

- <11> 상기한 목적을 달성하기 위한 본 발명의 일 실시예에 따른 콘택홀 형성 방법으로, 기판 상에 제1 층간 절연막을 형성한다. 상기 제1 층간 절연막 상에 더미 패턴을 형성한다. 상기 더미 패턴을 덮는 제2 층간 절연막을 형성한다. 상기 제2 층간 절연막 상에, 노출 부위를 포함하고 하부에 형성된 더미 패턴이 상기 노출 부위를 가로지르는 형태로 배치되는 포토레지스트 패턴을 형성한다. 상기 포토레지스트 패턴 및 상기 더미 패턴을 마스크로 사용하여 상기 제1 및 제2 층간 절연막을 식각함으로써, 상기 더미 패턴의 양측으로 복수의 콘택홀을 형성한다.
- <12> 본 발명의 일 실시예에 따르면, 상기 더미 패턴은 제1 방향으로 연장되는 라인 형상을 갖도록 형성된다.
- <13> 본 발명의 일 실시예에 따르면, 상기 포토레지스트 패턴은 노출 부위가 고립된 형상을 갖고, 상기 노출 부위의

길이 방향이 상기 더미 패턴의 연장 방향이 서로 다른 방향이 되도록 형성된다.

- <14> 본 발명의 일 실시예에 따르면, 상기 더미 패턴은 다수개가 구비되고 서로 평행하게 배치된다.
- <15> 본 발명의 일 실시예에 따르면, 상기 포토레지스트 패턴의 각 노출 부위 내에는 복수의 더미 패턴이 배치될 수 있다.
- <16> 본 발명의 일 실시예에 따르면, 상기 포토레지스트 패턴의 각 노출 부위는 반복하여 배치될 수 있다.
- <17> 본 발명의 일 실시예에 따르면, 상기 더미 패턴을 형성하기 위하여, 상기 제1 및 제2 층간 절연막과 식각 선택비를 갖는 더미막을 형성한다. 다음에, 상기 더미막을 패터닝한다.
- <18> 본 발명의 다른 실시예에 따르면, 상기 더미 패턴을 형성하기 위하여, 상기 제1 층간 절연막을 부분적으로 식각하여 트렌치를 형성한다. 상기 트렌치 내부를 채우도록 더미막을 형성한다. 다음에, 상기 더미막을 평탄화시켜 상기 트렌치 내부에 더미 패턴을 형성한다.
- <19> 본 발명의 다른 실시예에 따르면, 상기 더미 패턴을 형성하기 위하여, 상기 제1 층간 절연막 상에 절연막 패턴을 형성한다. 상기 절연막 패턴 및 제1 층간 절연막의 표면에 상기 제1 및 제2 층간 절연막과 식각 선택비를 갖는 더미막을 형성한다. 다음에, 상기 더미막을 이방성 식각하여 상기 절연막 패턴 양측에 스페이서 형상을 갖는 더미 패턴을 형성한다.
- <20> 상기한 목적을 달성하기 위한 본 발명의 일 실시예에 따른 콘택홀 형성 방법으로, 기판 내부에 매립되고, 측방의 기판 표면에 콘택 형성 영역들을 갖는 매립 게이트 전극들을 형성한다. 상기 기판을 덮는 제1 층간 절연막을 형성한다. 상기 제1 층간 절연막 상에 상기 콘택 형성 영역들의 사이 부위와 대향하도록 배치되는 더미 패턴을 형성한다. 상기 더미 패턴을 덮는 제2 층간 절연막을 형성한다. 상기 제2 층간 절연막 상에, 상기 콘택 형성 영역들을 노출시키는 노출 부위를 포함하고, 상기 더미 패턴이 상기 노출 부위를 가로지르는 형태로 배치되는 포토레지스트 패턴을 형성한다. 상기 포토레지스트 패턴 및 상기 더미 패턴을 마스크로 사용하여 상기 제1 및 제2 층간 절연막을 식각함으로써 콘택홀들을 형성한다. 다음에, 상기 콘택홀들 내부에 도전 물질을 매립시켜 패드 콘택들을 형성한다.
- <21> 본 발명의 일 실시예에 따르면, 상기 기판의 일부 영역 상에 플레너형 게이트 전극들을 형성한다.
- <22> 본 발명의 일 실시예에 따르면, 상기 제1 층간 절연막의 상부면은 상기 플레너형 게이트 전극의 상부면과 동일한 평면을 갖거나 또는 상기 플레너형 게이트 전극의 상부면보다 높게 형성된다.
- <23> 본 발명의 일 실시예에 따르면, 상기 패드 콘택들을 형성하기 위하여, 상기 콘택홀 내부를 채우도록 도전막을 증착한다. 다음에, 상기 더미 패턴이 제거되도록 상기 도전막을 평탄화하여 각각의 콘택홀 내부에 패드 콘택들을 형성한다.
- <24> 본 발명의 일 실시예에 따르면, 하나의 상기 더미 패턴은 적어도 2개의 상기 매립된 게이트 전극들과 대향하도록 배치된다.
- <25> 본 발명의 일 실시예에 따르면, 상기 콘택 형성 영역은 상기 매립된 게이트 전극 양측에 위치하는 스토리지 노드 콘택 영역을 포함하고, 상기 패드 콘택은 상기 스토리지 노드 패드 콘택을 포함할 수 있다.
- <26> 본 발명의 일 실시예에 따르면, 하나의 상기 더미 패턴은 하나의 매립된 게이트 전극들과 각각 대향하도록 배치된다.
- <27> 본 발명의 일 실시예에 따르면, 상기 콘택 형성 영역은 상기 매립된 게이트 전극들 사이에 위치하는 스토리지 노드 콘택 영역 및 비트 라인 콘택 영역을 포함하고, 상기 패드 콘택은 상기 스토리지 노드 패드 콘택 및 비트 라인 패드 콘택을 포함한다.
- <28> 본 발명의 일 실시예에 따르면, 상기 기판의 소자 분리 영역을 식각하여 액티브 영역을 정의하는 소자 분리 트렌치를 형성하는 단계와, 상기 소자 분리 트렌치 내부에 소자 분리 패턴을 형성하는 단계를 더 포함할 수 있다.
- <29> 상기 포토레지스트 패턴의 노출 부위는 상기 매립 게이트 전극이 형성되어 있는 부위의 상기 액티브 영역과 동일하게 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.
- <30> 본 발명의 일 실시예에 따르면, 상기 더미 패턴을 형성하기 위하여, 상기 제1 및 제2 층간 절연막과 식각 선택비를 갖는 더미막을 형성한다. 다음에, 상기 더미막을 패터닝한다.

<31> 본 발명의 다른 실시예에 따르면, 상기 더미 패턴을 형성하기 위하여, 상기 제1 층간 절연막을 부분적으로 식각하여 트렌치를 형성한다. 상기 트렌치 내부를 채우도록 더미막을 형성한다. 다음에, 상기 더미막을 평탄화시켜 상기 트렌치 내부에 더미 패턴을 형성한다.

<32> 본 발명의 다른 실시예에 따르면, 상기 더미 패턴을 형성하기 위하여, 상기 제1 층간 절연막 상에 절연막 패턴을 형성한다. 상기 절연막 패턴 및 제1 층간 절연막의 표면에 상기 제1 및 제2 층간 절연막과 식각 선택비를 갖는 더미막을 형성한다. 다음에, 상기 더미막을 이방성 식각하여 상기 절연막 패턴 양측에 스페이서 형상을 갖는 더미 패턴을 형성한다.

효 과

<33> 설명한 것과 같이 본 발명의 콘택홀 형성 방법에 의하면, 사진 공정에 의해 형성된 포토레지스트 패턴들 사이의 폭보다 좁은 내부 폭을 갖는 콘택홀들을 형성할 수 있다. 때문에, 사진 공정에 의해 형성되는 포토레지스트 패턴의 한계 폭보다 더 좁은 내부 폭을 갖는 콘택홀들을 형성할 수 있다. 또한, 본 발명의 상기 콘택홀을 포함하는 반도체 소자의 형성 방법에 의하면, 셀프 얼라인 콘택 공정을 수행하지 않더라도 원하는 위치에 좁은 폭을 갖는 콘택 플러그를 형성할 수 있다.

발명의 실시를 위한 구체적인 내용

<34> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

<35> 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안된다.

<36> 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

<37> 실시예 1

<38> 도 1 내지 도 4는 본 발명의 실시예 1에 따른 콘택 플러그 형성 방법을 나타내는 단면도들이다.

<39> 도 1을 참조하면, 단결정 실리콘과 같은 반도체 물질로 이루어진 기판(10) 상에 제1 층간 절연막(12)을 형성한다. 상기 제1 층간 절연막(12)은 실리콘 산화물을 화학기상증착법으로 증착시켜 형성할 수 있다. 상기 기판(10)에는 복수의 콘택 형성 영역이 정의되어 있다.

<40> 상기 제1 층간 절연막(12) 상에 더미막(도시안됨)을 형성한다. 상기 더미막은 상기 제1 층간 절연막(12)과 식각 선택비를 갖는 물질로 형성되어야 한다. 구체적으로, 상기 제1 층간 절연막(12)이 실리콘 산화물로 형성되는 경우, 상기 더미막은 실리콘 질화물 또는 폴리실리콘과 같은 물질로 형성될 수 있다.

<41> 다음에, 상기 더미막 상에 포토레지스트막을 코팅하고 노광 및 현상 공정을 수행함으로써 제1 포토레지스트 패턴(도시안됨)을 형성한다. 이 후, 상기 제1 포토레지스트 패턴을 식각 마스크로 사용하여 상기 더미막을 식각함으로써 더미 패턴(14)을 형성한다.

<42> 이 때, 상기 더미 패턴(14)은 서로 이웃하는 콘택 형성 영역들 사이 부위에 해당하는 기판을 덮도록 형성된다. 따라서, 상기 더미 패턴(14)은 이 후에 형성되는 콘택홀들 사이의 제1 층간 절연막(12)을 마스크하는 하드 마스크의 역할을 한다. 또한, 상기 더미 패턴(14)은 제1 방향으로 연장되는 라인 형상을 가질 수도 있다.

<43> 이 후, 상기 제1 포토레지스트 패턴을 에칭 및 스트립 공정을 수행함으로써 제거한다.

<44> 도 2를 참조하면, 상기 더미 패턴(14)을 충분히 덮도록 제2 층간 절연막(16)을 형성한다. 상기 제2 층간 절연막(16)은 실리콘 산화물을 화학기상증착법으로 증착시켜 형성할 수 있다.

<45> 이 후, 평탄화 공정을 수행하여 상기 제2 층간 절연막(16)의 상부면이 평탄하게 되도록 할 수 있다. 상기 평탄화 공정은 화학 기계적 연마 공정을 통해 수행될 수 있다. 도시되지는 않았지만, 상기 평탄화 공정에서, 상기 더미 패턴(14)의 상부면이 노출되도록 상기 제2 층간 절연막(16)을 연마시킬 수 있다.

<46> 상기 제2 층간 절연막(16) 상에, 상기 더미 패턴(14) 상부면의 적어도 일부분과 대향하는 부위에 노출부를 갖는 제2 포토레지스트 패턴(18)을 형성한다. 상기 제2 포토레지스트 패턴(18)은 노출 부위가 고립된 형상을 가지게

되고, 하부에 형성되어 있는 상기 더미 패턴(14)이 상기 노출 부위의 중심부를 가로지르는 형태가 되도록 배치된다. 즉, 상기 제2 포토레지스트 패턴(18)의 노출 부위는 하부에 형성되어 있는 더미 패턴(14)에 의해 2 부분으로 구분되어 진다.

- <47> 상기 제2 포토레지스트 패턴(18)의 노출 부위의 길이 방향과 상기 더미 패턴(14)의 연장 방향은 서로 다른 방향이 되도록 한다. 즉, 상기 제2 포토레지스트 패턴(18)의 노출 부위의 길이 방향과 상기 더미 패턴(14)의 연장 방향은 서로 평행하지 않고 일정 각도를 가질 수 있다.
- <48> 도 3을 참조하면, 상기 제2 포토레지스트 패턴(18)을 식각 마스크로 사용하여 상기 제2 층간 절연막(16)을 이방성 식각하고, 계속하여 제1 층간 절연막(12)을 이방성 식각한다.
- <49> 상기 이방성 식각 공정을 수행하면, 처음에는 상기 제2 포토레지스트 패턴(18)에 의해 노출된 부위의 제2 층간 절연막(16)이 식각되고, 상기 더미 패턴(14)이 노출된 이후에는 상기 제2 포토레지스트 패턴(18)의 노출 부위에서 상기 더미 패턴(14) 양측에 위치하는 제2 층간 절연막(16) 및 제1 층간 절연막(12)이 식각된다. 따라서, 도시된 것과 같이, 상기 더미 패턴(14) 양측으로 2개의 서로 분리된 콘택홀(20)들이 형성된다.
- <50> 설명한 것과 같이, 하나의 고립된 노출 부위를 갖는 포토레지스트 패턴을 이용하여 2개의 서로 분리된 콘택홀(20)들을 형성할 수 있다. 즉, 상기 포토레지스트 패턴의 노출 부위의 폭보다 좁은 폭을 갖는 콘택홀(20)들을 형성할 수 있다.
- <51> 도 4를 참조하면, 상기 제2 포토레지스트 패턴(18)을 에칭 및 스트립 공정을 수행함으로써 제거한다.
- <52> 다음에, 상기 콘택홀(20)들 내부를 채우도록 도전막(도시안됨)을 증착한다. 상기 제1 층간 절연막(12)의 상부면이 노출되도록 상기 도전막 및 더미 패턴(14)을 연마함으로써 콘택 플러그(22)들을 형성한다.
- <53> 본 발명의 다른 실시예로, 도시되지는 않았지만, 상기 더미 패턴의 상부면이 노출되도록 상기 도전막을 연마함으로써, 상기 콘택 플러그들 사이에 상기 더미 패턴이 남아있도록 할 수도 있다.
- <54> 실시예 2
- <55> 도 5 내지 도 7은 본 발명의 실시예 2에 따른 콘택 플러그 형성 방법을 나타내는 단면도들이다. 이하에서 설명하는 실시예 2에 따른 콘택 플러그 형성 방법은 더미 패턴을 형성하는 공정을 제외하고는 실시예 1과 동일하다.
- <56> 도 5를 참조하면, 단결정 실리콘과 같은 반도체 물질로 이루어진 기판(30) 상에 제1 층간 절연막(32)을 형성한다. 상기 제1 층간 절연막(32)은 실리콘 산화물을 화학기상증착법으로 증착시켜 형성할 수 있다. 상기 기판(30)에는 복수의 콘택 형성 영역이 정의되어 있다.
- <57> 상기 제1 층간 절연막(32) 상에 제1 포토레지스트 패턴(도시안됨)을 형성한다. 다음에, 상기 제1 포토레지스트 패턴을 식각 마스크로 사용하여 상기 제1 층간 절연막(32)의 일부분을 식각함으로써 더미 패턴을 형성하기 위한 트렌치(34)를 형성한다. 상기 트렌치(34)는 서로 이웃하는 콘택 형성 영역들 사이에 위치한다. 또한, 상기 트렌치(34)는 제1 방향으로 연장되는 형상을 가질 수 있다.
- <58> 도 6을 참조하면, 상기 트렌치(34) 내부를 채우도록 더미막(도시안됨)을 형성한다. 상기 더미막은 상기 제1 층간 절연막(32)과 식각 선택비를 갖는 물질로써 형성될 수 있다.
- <59> 다음에, 상기 제1 층간 절연막(32)의 상부면이 노출되도록 상기 더미막을 평탄화함으로써 상기 트렌치(34) 내부에 더미 패턴(36)을 형성한다. 상기 더미막을 평탄화하는 공정은 화학 기계적 연마 공정으로 수행될 수 있다.
- <60> 도 7을 참조하면, 상기 제1 층간 절연막(32) 및 더미 패턴(36) 상에 제2 층간 절연막(38)을 형성한다. 상기 제2 층간 절연막(38)은 실리콘 산화물을 화학기상증착법으로 증착시켜 형성할 수 있다.
- <61> 본 실시예에서는 상기 제1 층간 절연막(32) 및 더미 패턴(36) 간의 단차가 거의 없기 때문에, 상기 제2 층간 절연막(38)의 표면을 평탄화시키는 공정이 수행되지 않아도 된다.
- <62> 다음에, 상기 제2 층간 절연막(38) 상에, 상기 더미 패턴(36) 상부면의 적어도 일부분과 대향하는 부위에 노출 부를 갖는 제2 포토레지스트 패턴(40)을 형성한다. 상기 제2 포토레지스트 패턴(40)은 노출 부위가 고립된 형상을 가지게 되고, 하부에 형성되어 있는 상기 더미 패턴(36)이 상기 노출 부위의 중심부를 가로지르는 형태가 되도록 배치된다. 상기 제2 포토레지스트 패턴(40)의 노출 부위의 배치는 실시예 1에서 설명한 것과 동일하므로 더 이상의 설명은 생략한다.

- <63> 이 후, 도시되지는 않았지만, 상기 제2 포토레지스트 패턴(40) 및 하부의 더미 패턴(36)을 식각 마스크로 사용하여 상기 제2 및 제1 층간 절연막(38, 32)을 식각함으로써 도 3에 도시된 것과 동일한 형상을 갖는 콘택홀들을 형성한다. 또한, 상기 콘택홀들 내부를 채우도록 도전막을 증착시키고 상기 도전막을 평탄화함으로써 도4에 도시된 것과 동일한 형상을 갖는 콘택 플러그들을 형성한다.
- <64> 실시예 3
- <65> 도 8 내지 도 12는 본 발명의 실시예 3에 따른 콘택 플러그 형성 방법을 나타내는 단면도들이다.
- <66> 도 8을 참조하면, 단결정 실리콘과 같은 반도체 물질로 이루어진 기판(50) 상에 제1 층간 절연막(52)을 형성한다. 상기 제1 층간 절연막(52)은 실리콘 산화물을 화학기상증착법으로 증착시켜 형성할 수 있다. 상기 기판(50)에는 복수의 콘택 형성 영역이 정의되어 있다.
- <67> 상기 제1 층간 절연막(52) 상에 절연막(도시안됨)을 형성한다. 상기 절연막은 상기 제1 층간 절연막(52)과 동일한 물질로 이루어지는 것이 바람직하다. 상기 절연막 상에 사진 공정을 수행하여 제1 포토레지스트 패턴(도시안됨)을 형성하고, 상기 제1 포토레지스트 패턴을 마스크로 사용하여 상기 절연막을 식각함으로써 절연막 패턴(54)을 형성한다. 상기 절연막 패턴(54)은 서로 이웃하는 3개의 콘택 형성 영역 중에서 가운데 부위의 콘택 형성 영역을 마스킹하도록 형성된다. 즉, 후속 공정을 통해, 상기 절연막 패턴(54)이 형성된 부위에 하나의 콘택 플러그가 형성된다. 또한, 상기 절연막 패턴(54)은 제1 방향으로 연장되는 라인 형상을 가질 수 있다.
- <68> 도 9를 참조하면, 상기 절연막 패턴(54) 및 상기 제1 층간 절연막(52)의 표면을 따라 더미막(도시안됨)을 형성한다. 상기 더미막은 상기 절연막 패턴(54) 및 제1 층간 절연막(52)과 식각 선택비를 갖는 물질로 형성된다. 상기 더미막은 상기 이웃하는 3개의 콘택 형성 영역들 사이 부위의 너비와 동일한 두께로 형성되는 것이 바람직하다.
- <69> 다음에, 상기 더미막을 이방성 식각 공정을 통해 식각함으로써 상기 절연막 패턴(54)의 양측벽에 스페이서 형상의 더미 패턴(56)을 형성한다. 설명한 것과 같이, 상기 절연막 패턴(54)이 라인 형상을 갖는 경우에는 상기 절연막 패턴(54)의 양측으로 서로 평행한 라인 형상의 2개의 더미 패턴(56)들이 형성된다. 또한, 상기 더미 패턴(56)들은 상기 이웃하는 3개의 콘택 형성 영역들 사이 부위를 마스킹하는 형상을 갖는다.
- <70> 도 10을 참조하면, 상기 더미 패턴(56)들을 충분히 덮도록 제2 층간 절연막(58)을 형성한다. 상기 제2 층간 절연막(58)은 실리콘 산화물을 화학기상증착법으로 증착시켜 형성할 수 있다.
- <71> 이 후, 평탄화 공정을 수행하여 상기 제2 층간 절연막(58)의 상부면이 평탄하게 되도록 할 수 있다. 상기 평탄화 공정은 화학 기계적 연마 공정을 통해 수행될 수 있다. 도시되지는 않았지만, 상기 평탄화 공정에서, 상기 더미 패턴(44)의 상부면이 노출되도록 상기 제2 층간 절연막(58)을 연마시킬 수도 있다.
- <72> 상기 제2 층간 절연막(58) 상에, 상기 더미 패턴(44)들의 적어도 일부분을 노출시키는 제2 포토레지스트 패턴(60)을 형성한다. 상기 제2 포토레지스트 패턴(60)은 노출 부위가 고립된 형상을 가지게 되고, 하부에 형성되어 있는 2개의 서로 평행한 더미 패턴(56)들이 상기 노출 부위를 가로지르는 형태가 되도록 배치된다. 즉, 하부에 형성되어 있는 더미 패턴(56)들에 의해 상기 제2 포토레지스트 패턴(60)의 노출 부위는 3 부분으로 구분된다.
- <73> 도 11을 참조하면, 상기 제2 포토레지스트 패턴(60)을 식각 마스크로 사용하여 상기 제2 층간 절연막(58)을 이방성 식각하고, 계속하여 제1 층간 절연막(52)을 이방성 식각한다.
- <74> 상기 이방성 식각 공정을 수행하면, 처음에는 상기 제2 포토레지스트 패턴(60)에 의해 노출된 부위의 제2 층간 절연막(58)이 식각되고, 상기 더미 패턴(56)이 노출된 이 후에는 상기 제2 포토레지스트 패턴(60)의 노출 부위에서 상기 더미 패턴(56) 양측 및 더미 패턴(56)들 사이에 위치하는 제2 층간 절연막(58), 제1 층간 절연막(52) 및 절연막 패턴(54)이 식각된다. 따라서, 도시된 것과 같이, 상기 더미 패턴(56) 양측 및 더미 패턴(56)들 사이에 3개의 서로 분리된 콘택홀(62)들이 형성된다.
- <75> 설명한 것과 같이, 하나의 고립된 노출 부위를 갖는 포토레지스트 패턴을 이용하여 3개의 서로 분리된 콘택홀들을 형성할 수 있다. 즉, 상기 포토레지스트 패턴의 노출 부위의 폭보다 좁은 폭을 갖는 콘택홀들을 형성할 수 있다.
- <76> 도 12를 참조하면, 상기 제2 포토레지스트 패턴(60)을 에칭 및 스트립 공정을 수행함으로써 제거한다.
- <77> 다음에, 상기 콘택홀(62)들 내부를 채우도록 도전막(도시안됨)을 증착한다. 상기 제1 층간 절연막(52)의 상부면

이 노출되도록 상기 도전막 및 더미 패턴(56)을 연마함으로써 콘택 플러그(64)들을 형성한다.

- <78> 본 발명의 다른 실시예로, 도시되지는 않았지만, 상기 더미 패턴의 상부면이 노출되도록 상기 도전막을 연마함으로써, 상기 콘택 플러그들 사이에 상기 더미 패턴이 남아있도록 할 수도 있다.
- <79> 실시예 4
- <80> 도 13 내지 도 20은 본 발명의 실시예 4에 따른 디램 소자의 제조 방법을 나타내는 단면도들이다.
- <81> 도 13을 참조하면, 단결정 실리콘과 같은 반도체 물질로 이루어진 기판(100)이 마련된다. 상기 기판(100)은 디램 소자의 셀들이 형성되는 영역인 셀 영역과 상기 셀들의 구동을 위한 주변 회로들이 형성되는 영역인 코아/페리 영역으로 나누어진다.
- <82> 상기 기판(100)에 패드 산화막(도시안됨) 및 하드 마스크막(도시안됨)을 형성하고 이를 사진 식각 공정을 통해 식각함으로써 패드 산화막 패턴(도시안됨) 및 제1 하드 마스크 패턴(도시안됨)을 형성한다. 상기 제1 하드 마스크 패턴을 식각 마스크로 사용하여 상기 기판(100)을 식각함으로써 소자 분리 트렌치를 형성한다.
- <83> 상기 소자 분리 트렌치 내부에 실리콘 산화물과 같은 절연 물질을 채워넣고 평탄화함으로써 소자 분리 패턴(102)을 형성한다. 상기 소자 분리 패턴(102)이 형성됨으로써 상기 기판(100)은 액티브 영역 및 소자 분리 영역이 구분된다. 이 후, 상기 제1 하드 마스크 패턴을 제거한다.
- <84> 본 실시예의 디램 소자의 경우, 셀 영역에서의 액티브 영역은 고립된 섬 형상을 가지면서 반복적으로 배치되어 있다.
- <85> 상기 기판의 셀 영역에, 워드 라인으로 제공되는 셀 게이트 전극이 형성될 부위를 선택적으로 노출시키는 마스크 패턴(도시안됨)을 형성한다. 상기 마스크 패턴은 포토레지스트 패턴 또는 하드 마스크 패턴으로 형성될 수 있다.
- <86> 상기 마스크 패턴을 식각 마스크로 사용하여 상기 셀 영역의 기판 및 소자 분리 패턴의 일부분을 식각함으로써, 매립 게이트 전극이 형성되기 위한 리세스부(104)를 생성시킨다. 이 후, 상기 마스크 패턴을 제거한다.
- <87> 도 14를 참조하면, 상기 리세스부(104) 내부 표면에 게이트 절연막(도시안됨)을 형성한다. 상기 게이트 절연막은 상기 리세스부(104) 내부 표면을 열산화시킴으로써 형성될 수 있다.
- <88> 상기 게이트 절연막 상에는 상기 리세스부(104)를 일부 채우는 매립 게이트 전극(106)이 형성된다. 상기 매립 게이트 전극(106)은 제1 방향으로 연장되는 라인 형상을 가짐으로써 워드 라인으로 제공된다.
- <89> 상기 매립 게이트 전극(106)은 불순물이 도핑된 폴리실리콘과 같은 반도체 물질로 형성될 수도 있고, 금속 물질로 형성될 수도 있다. 상기 매립 게이트 전극(106) 상에, 상기 리세스부 내부를 완전히 채우는 캡핑막 패턴(108)을 형성한다. 상기 캡핑막(108)은 실리콘 산화물 또는 실리콘 질화물과 같은 절연 물질을 증착시켜 형성한다.
- <90> 도 21은 셀 영역에 형성된 매립 게이트 전극을 나타내는 평면도이다.
- <91> 상기 설명한 공정들을 수행함으로써, 도 21에 도시된 것과 같이, 상기 셀 영역의 기판에는 워드 라인으로 제공되는 매립 게이트 전극(106)들이 형성된다. 즉, 상기 셀 영역의 기판에 형성된 매립 게이트 전극(106)들은 기판 표면 위로 돌출되지 않는다. 반면에, 상기 코아/페리 영역의 기판에는 상기 매립 게이트 전극(106)이 형성되지 않는다. 도 21에서, 도면부호 103은 액티브 영역이다.
- <92> 도 15를 참조하면, 상기 코아/페리 영역의 기판(100)에 선택적으로 플래너형 게이트 전극(110)을 형성한다. 상기 코아/페리 영역의 기판(100)에 형성된 플래너형 게이트 전극(110)은 기판(100) 표면 위로 돌출되는 형상을 갖는다.
- <93> 구체적으로, 상기 기판(100) 상에 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 게이트 도전막을 형성한다. 상기 도전막 상에 제2 하드 마스크 패턴(110c)을 형성한다. 상기 제2 하드 마스크 패턴(110c)은 상기 코아/페리 영역에 형성되는 게이트 전극을 패터닝하기 위한 마스크로 제공된다. 이 후, 상기 제2 하드 마스크 패턴(110c)을 식각 마스크로 사용하여 상기 게이트 도전막 및 게이트 절연막을 식각함으로써, 상기 코아/페리 영역의 기판 상에 게이트 전극(110b) 및 게이트 절연막 패턴(110a)을 형성한다. 이 후, 상기 게이트 절연막 패턴(110a), 게이트 전극(110b) 및 제2 하드 마스크 패턴(110c)이 적층된 플래너형 게이트 전극(110)의 측벽에 게이트 스페이서(111)를 형성한다.

- <94> 이 후, 도시하지는 않았지만, 상기 셀 영역의 매립 게이트 전극(106) 양측의 기관(100) 상부면 아래와 상기 페리/코아 영역의 플레너형 게이트 전극(110) 양측의 기관 표면 아래에 각각 불순물을 주입시킴으로써 소오스/드레인 영역(도시안됨)을 형성한다. 본 실시예에서는, 상기 셀 영역의 매립 게이트 전극(106) 양측에 위치하는 드레인 영역 표면이 스토리지 노드 콘택 형성 영역이 된다.
- <95> 도 16을 참조하면, 상기 플레너형 게이트 전극(110)이 형성되어 있는 기관(100) 상에 제1 층간 절연막(112)을 형성한다. 상기 제1 층간 절연막(112)은 실리콘 산화물로 이루어질 수 있으며, 화학 기상 증착공정을 통해 증착될 수 있다. 상기 제1 층간 절연막(112)을 형성한 이 후에는 상기 제1 층간 절연막(112)의 상부면이 평탄해지도록 평탄화 공정을 더 수행할 수 있다.
- <96> 도시된 것과 같이, 상기 플레너형 게이트 전극(110)에 포함되어 있는 제2 하드 마스크 패턴(110c)이 노출되도록 상기 제1 층간 절연막(112)의 상부면을 평탄화시킬 수 있다. 도시하지는 않았지만, 상기 평탄화된 제1 층간 절연막(112) 상에 추가적으로 절연막을 더 형성함으로써 상기 제2 하드 마스크 패턴(110c)의 상부면이 덮히도록 할 수도 있다.
- <97> 본 발명의 다른 실시예로, 상기 제2 하드 마스크 패턴(110c) 상에 제1 층간 절연막(112)이 남아있도록 상기 제1 층간 절연막(112)의 상부면을 평탄화시킬 수도 있다.
- <98> 상기 제1 층간 절연막(112) 상에 더미막(114)을 형성한다. 상기 더미막(114)은 상기 제1 층간 절연막(112)과 식각 선택비를 갖는 물질로 형성되어야 한다. 예를들어, 상기 더미막(114)은 실리콘 질화물, 폴리실리콘 등으로 형성될 수 있다.
- <99> 다음에, 상기 더미막(114) 상에 포토레지스트막을 코팅하고 노광 및 현상 공정을 수행함으로써 제1 포토레지스트 패턴(116)을 형성한다.
- <100> 도시된 것과 같이, 상기 제1 포토레지스트 패턴(116)은 상기 셀 영역에 형성되는 콘택홀들 사이 부위를 마스크 하도록 형성된다. 본 실시예에서, 상기 제1 포토레지스트 패턴(116)은 상기 스토리지 노드 콘택 영역 사이 부위를 마스크하도록 위치하게 된다. 상기 제1 포토레지스트 패턴(116)은 상기 매립 게이트 전극(106)의 연장 방향인 제1 방향으로 연장되는 라인 형상을 가질 수도 있다. 한편, 상기 제1 포토레지스트 패턴(116)은 상기 코아/페리 영역에 위치하는 더미막(114) 전체를 덮도록 형성된다.
- <101> 이와 다른 실시예로, 도시되지는 않았지만, 페리/코아 영역에는 제1 포토레지스트 패턴(116)이 형성되지 않도록 함으로써 상기 페리/코아 영역의 더미막(114)이 노출되도록 할 수도 있다.
- <102> 도 17을 참조하면, 상기 제1 포토레지스트 패턴(116)을 식각 마스크로 사용하여 상기 더미막(114)을 식각함으로써 상기 제1 층간 절연막(112) 상에 더미 패턴(114a)을 형성한다.
- <103> 본 발명의 다른 실시예로, 이 전의 공정에서 상기 페리/코아 영역에 제1 포토레지스트 패턴(116)이 형성되지 않도록 하는 경우에는, 도 17에 도시된 것과는 달리, 상기 페리/코아 영역에는 상기 더미 패턴(114a)이 형성되지 않게 된다.
- <104> 도 22는 셀 영역에 형성된 더미 패턴을 나타내는 평면도이다.
- <105> 도 22에 도시된 것과 같이, 상기 더미 패턴(114a)은 상기 스토리지 노드 콘택 영역 사이 부위를 마스크하면서 제1 방향으로 연장되는 라인 형상을 갖는다. 즉, 하나의 상기 더미 패턴(114a)은 2개의 서로 평행하는 매립된 게이트 전극들과 대향하도록 형성된다.
- <106> 상기 더미 패턴(114a)을 형성한 다음, 상기 제1 포토레지스트 패턴을 에칭 및 스트립 공정을 수행함으로써 제거한다.
- <107> 상기 제1 층간 절연막(112) 및 더미 패턴(114a)을 덮는 제2 층간 절연막(118)을 형성한다. 이 후, 상기 제2 층간 절연막(118)의 상부면이 평탄하게 되도록 평탄화 공정이 더 수행될 수 있다. 도시되지는 않았지만, 상기 평탄화 공정에서, 상기 더미 패턴(114a)의 상부면이 노출되도록 상기 제2 층간 절연막(118)을 연마시킬 수도 있다.
- <108> 도 18을 참조하면, 상기 제2 층간 절연막(118) 상에, 상기 셀 영역의 더미 패턴(114a)의 적어도 일부분과 대향하는 부위에 노출부(120a)를 갖는 제2 포토레지스트 패턴(120)을 형성한다.
- <109> 도 23은 셀 영역에 형성된 제2 포토레지스트 패턴을 나타내는 평면도이다.

- <110> 도 23에 도시된 것과 같이, 상기 제2 포토레지스트 패턴(120)은 노출 부(120a)가 고립된 형상을 가지게 되고, 하부에 형성되어 있는 상기 더미 패턴(114a)이 상기 노출부(120a)의 중심부를 가로지르는 형태가 되도록 배치된다.
- <111> 본 실시예에서, 상기 제2 포토레지스트 패턴(120)의 노출부(120a)는 액티브 영역(도 21, 103)과 동일한 형상을 가지며, 상기 액티브 영역(103)과 대향하는 부위에 위치하게 된다. 따라서, 상기 제2 포토레지스트 패턴(120)의 노출부(120a)에서 상기 더미 패턴(114a) 양측에 위치하는 부분은 상기 셀 영역의 스토리지 노드 콘택 영역과 서로 대향하게 된다.
- <112> 도 19를 참조하면, 상기 제2 포토레지스트 패턴(120)을 식각 마스크로 사용하여 상기 제2 층간 절연막(118)을 이방성 식각하고, 계속하여 제1 층간 절연막(112)을 이방성 식각한다. 따라서, 도시된 것과 같이, 상기 더미 패턴(114a) 양측으로 2개의 서로 분리된 콘택홀(122)들이 형성된다. 그리고, 상기 콘택홀(122)의 저면에는 상기 스토리지 노드 콘택 영역이 노출된다.
- <113> 도 20을 참조하면, 상기 제2 포토레지스트 패턴(120)을 에칭 및 스트립 공정을 수행함으로써 제거한다.
- <114> 다음에, 상기 콘택홀(122)들 내부를 채우도록 도전막(도시안됨)을 증착한다. 상기 도전막은 금속막 또는 불순물이 도핑된 폴리실리콘막을 형성할 수 있다. 상기 제1 층간 절연막(112)의 상부면이 노출되도록 상기 도전막 및 더미 패턴(114a)을 연마함으로써 스토리지 노드 패드 콘택(124)들을 형성한다.
- <115> 도 24는 셀 영역에 형성된 스토리지 노드 패드 콘택들을 나타내는 평면도이다.
- <116> 도시된 것과 같이, 상기 스토리지 노드 패드 콘택(124)들은 매립 트랜지스터의 드레인 영역과 접속된다.
- <117> 도시되지는 않았지만, 후속 공정으로, 기판과 접속하는 비트 라인 콘택 및 비트 라인을 형성하고, 상기 스토리지 노드 패드 콘택과 접속되는 스토리지 노드 콘택 및 스토리지 노드를 형성함으로써 디 램 소자를 완성한다.
- <118> 상기 설명한 것과 같이, 상기 스토리지 노드 패드 콘택이 형성됨으로써, 후속의 스토리지 노드 콘택의 높이를 감소시킬 수 있다. 또한, 사진 공정에 의해 형성되는 포토레지스트 패턴의 노출부 폭보다 좁은 폭을 갖는 스토리지 노드 패드 콘택을 형성할 수 있다.
- <119> 도 25 내지 도 29는 본 발명의 실시예 5에 따른 디 램 소자의 제조 방법을 나타내는 단면도들이다.
- <120> 먼저, 도 15를 참조로 설명한 것과 동일한 공정을 수행함으로써, 기판에 소자 분리 패턴(102), 매립 게이트 전극(106), 캡핑막 패턴(108) 및 플레너형 게이트 전극(110)을 형성한다.
- <121> 이 후, 도 25를 참조하면, 상기 플레너형 게이트 전극을 덮는 제1 층간 절연막(150)을 형성한 후, 화학 기계적 연마 공정을 수행함으로써 상기 제1 층간 절연막(150)의 표면을 평탄화한다. 이 때, 상기 플레너형의 게이트 전극에 포함되는 하드 마스크 패턴(110c)의 표면이 노출되도록 상기 제1 층간 절연막(150)을 평탄화할 수 있다. 그러나, 이와는 달리, 상기 플레너형의 게이트 전극(110)이 노출되지 않도록 상기 제1 층간 절연막(150)을 평탄화할 수도 있다.
- <122> 상기 제1 층간 절연막(150) 상에 제1 포토레지스트 패턴(152)을 형성한다. 상기 제1 포토레지스트 패턴(152)은 상기 셀 영역에 형성되는 콘택홀들 사이 부위를 노출시키도록 형성된다. 본 실시예에서, 상기 제1 포토레지스트 패턴(152)은 상기 스토리지 노드 콘택 영역의 사이 부위, 즉 비트 라인 콘택 영역과 대향하는 부위를 노출시키도록 위치하게 된다. 상기 제1 포토레지스트 패턴(152)의 노출 부위는 상기 매립 게이트 전극의 연장 방향인 제 1 방향으로 연장되는 라인 형상을 가질 수도 있다. 한편, 상기 제1 포토레지스트 패턴(152)은 상기 코아/페리 영역에 위치하는 제1 층간 절연막(112) 전체를 덮도록 형성된다.
- <123> 이 후, 상기 제1 포토레지스트 패턴(152)을 식각 마스크로 사용하여 상기 제1 층간 절연막(112)을 일부 식각함으로써 더미 패턴을 성형(mold)하기 위한 트렌치(154)를 형성한다. 상기 트렌치(154)는 상기 제1 방향으로 연장되는 형상을 갖는다. 상기 트렌치(154)가 형성되면, 상기 제1 포토레지스트 패턴(152)을 에칭 및 스트립 공정을 수행함으로써 제거한다.
- <124> 도 26을 참조하면, 상기 트렌치(154) 내부를 매립하면서 상기 제1 층간 절연막(150) 상에 더미막(도시안됨)을 형성한다. 상기 더미막은 상기 제1 층간 절연막(150)과 식각 선택비를 갖는 물질로 형성되어야 한다. 예를들어, 상기 더미막은 실리콘 질화물, 폴리실리콘 등으로 형성될 수 있다.
- <125> 다음에, 상기 제1 층간 절연막(150)의 표면이 노출되도록 상기 더미막을 화학 기계적 연마 공정을 통해 연마함

으로써 상기 트렌치(154) 내부에 더미 패턴(156)을 형성한다. 상기 더미 패턴(156)은 도 22에 도시된 것과 동일한 형상을 갖는다.

- <126> 도 27을 참조하면, 상기 제1 층간 절연막(150) 및 더미 패턴(156)을 덮는 제2 층간 절연막(118)을 형성한다. 이 때, 상기 제1 층간 절연막(150) 및 더미 패턴(156)은 단차가 없으므로 상기 제2 층간 절연막(118)의 상부면을 평탄화시키는 공정은 요구되지 않는다.
- <127> 상기 제2 층간 절연막(118) 상에 제2 포토레지스트 패턴(120)을 형성한다. 상기 제2 포토레지스트 패턴(120)은 상기 셀 영역의 더미 패턴의 적어도 일부분과 대향하는 부위를 노출시키는 노출부(120a)를 갖는다. 상기 제2 포토레지스트 패턴(120)은 상기 실시예 4와 동일하게, 노출부(120a)가 액티브 영역과 동일한 형상을 가지며, 상기 더미 패턴(156) 양측에 위치하는 부분은 상기 셀 영역의 스토리지 노드 콘택 영역과 서로 대향하게 된다.
- <128> 도 28을 참조하면, 상기 제2 포토레지스트 패턴(120)을 식각 마스크로 사용하여 상기 제2 층간 절연막(118)을 이방성 식각하고, 계속하여 제1 층간 절연막(150)을 이방성 식각한다. 따라서, 도시된 것과 같이, 상기 더미 패턴(156) 양측으로 2개의 서로 분리된 콘택홀(122)들이 형성된다. 그리고, 상기 콘택홀(122)의 저면에는 상기 스토리지 노드 콘택 영역이 노출된다.
- <129> 상기 제2 포토레지스트 패턴(120)을 에칭 및 스트립 공정을 수행함으로써 제거한다.
- <130> 도 29를 참조하면, 상기 콘택홀(122)들 내부를 채우도록 도전막(도시안됨)을 증착한다. 상기 도전막은 금속막 또는 불순물이 도핑된 폴리실리콘막을 형성할 수 있다. 상기 제1 층간 절연막(150)의 상부면이 노출되도록 상기 도전막 및 더미 패턴을 연마함으로써 스토리지 노드 패드 콘택(124)들을 형성한다.
- <131> 상기 공정을 수행하면, 도 24에 도시된 것과 같이 셀 영역에 스토리지 노드 패드 콘택들이 형성된다.
- <132> 도시되지는 않았지만, 후속 공정으로, 기판과 접속하는 비트 라인 콘택 및 비트 라인을 형성하고, 상기 스토리지 노드 패드 콘택과 접속되는 스토리지 노드 콘택 및 스토리지 노드를 형성함으로써 디램 소자를 완성한다.
- <133> 도 30 내지 도 33은 본 발명의 실시예 6에 따른 디램 소자의 제조 방법을 나타내는 단면도들이다.
- <134> 먼저, 도 15를 참조로 설명한 것과 동일한 공정을 수행함으로써, 도 15에 도시된 것과 같이, 기판(100)에 소자 분리 패턴(102), 매립 게이트 전극(106), 플레너형 게이트 전극(110)을 형성한다.
- <135> 이 후, 도 30을 참조하면, 상기 플레너형 게이트 전극(110)을 덮는 제1 층간 절연막(200)을 형성한다. 화학 기계적 연마 공정을 수행함으로써 상기 제1 층간 절연막(200)을 평탄화한다. 이 때, 상기 플레너형의 게이트 전극 상부에 위치하는 하드 마스크 패턴이 노출되도록 상기 제1 층간 절연막(200)을 평탄화할 수 있다. 그러나, 이와는 달리, 상기 하드 마스크 패턴의 상부면이 노출되지 않도록 상기 제1 층간 절연막(200)을 평탄화할 수도 있다.
- <136> 상기 제1 층간 절연막(200) 상에 절연막을 형성하고, 이를 패터닝함으로써 절연막 패턴(202)을 형성한다. 상기 절연막 패턴(202)은 상기 제1 층간 절연막(200)과 동일한 물질로 이루어질 수 있다. 상기 절연막 패턴(202)은 서로 이웃하는 3개의 콘택 형성 영역 중에서 가운데 부위의 콘택 형성 영역, 즉 비트 라인 콘택 패드 영역을 마스크하도록 형성된다. 즉, 후속 공정을 통해, 상기 절연막 패턴(202)이 형성된 부위에 하나의 콘택 플러그가 형성된다. 또한, 상기 절연막 패턴(202)은 제1 방향으로 연장되는 라인 형상을 가질 수 있다.
- <137> 상기 코아 페리 영역의 제1 층간 절연막(200) 상에는, 도시된 것과 같이, 상기 절연막이 패터닝되지 않고 남아 있도록 할 수 있다. 그러나, 이와는 달리, 상기 코아 페리 영역의 제1 층간 절연막(200) 상에 상기 절연막이 전혀 남아있지 않도록 할 수도 있다.
- <138> 도 31을 참조하면, 상기 절연막 패턴(202) 및 상기 제1 층간 절연막(200)의 표면을 따라 더미막(도시안됨)을 형성한다. 상기 더미막은 상기 절연막 패턴 및 제1 층간 절연막 패턴과 식각 선택비를 갖는 물질로 형성된다. 상기 더미막은 상기 이웃하는 3개의 콘택 형성 영역들 사이 부위의 너비와 동일한 두께로 형성되는 것이 바람직하다.
- <139> 다음에, 상기 더미막을 이방성 식각 공정을 통해 식각함으로써, 상기 절연막 패턴(202)의 양측벽에 스페이서 형상의 더미 패턴(204)을 형성한다. 상기 더미 패턴(204)은 상기 매립 게이트 전극(106)의 적어도 일부를 마스크 하도록 형성된다.

- <140> 도 34는 셀 영역에 형성된 더미 패턴을 나타내는 평면도이다.
- <141> 도 34에 도시된 것과 같이, 상기 더미 패턴(204)은 상기 스토리지 노드 콘택 영역 및 비트 라인 콘택 영역들 사이를 지나는 라인 형상을 갖는다. 또한, 상기 더미 패턴(204)은 기관 아래에 형성된 매립 게이트 전극과 각각 대향하도록 형성된다.
- <142> 도 32를 참조하면, 상기 더미 패턴(204)들을 충분히 덮도록 제2 층간 절연막(206)을 형성한다. 다음에, 상기 제2 층간 절연막(206)의 상부면이 평탄하게 되도록 하는 평탄화 공정을 더 수행할 수도 있다.
- <143> 상기 제2 층간 절연막(206) 상에 상기 더미 패턴(204)들의 적어도 일부분을 노출시키는 제2 포토레지스트 패턴(210)을 형성한다. 상기 제2 포토레지스트 패턴(210)은 스토리지 노드 콘택 영역 및 비트 라인 콘택 영역과 대향하는 부위가 노출되도록 형성된다. 그리고, 상기 스토리지 노드 콘택 영역 및 비트 라인 콘택 영역들은 각각 상기 더미 패턴(204)들에 의해 각 영역들이 구분되어 진다.
- <144> 본 실시예에서, 상기 제2 포토레지스트 패턴(210)의 노출부는 액티브 영역과 동일한 형상을 가지며, 상기 액티브 영역과 대향하는 부위에 위치하게 된다.
- <145> 상기 제2 포토레지스트 패턴(210)을 식각 마스크로 사용하여 상기 제2 층간 절연막(206)을 이방성 식각하고, 계속하여 제1 층간 절연막(200)을 이방성 식각한다. 따라서, 도시된 것과 같이, 상기 더미 패턴(204)들 양측으로 3개의 서로 분리된 콘택홀(212)들이 형성된다. 그리고, 상기 콘택홀(212)들의 저면에는 상기 스토리지 노드 콘택 영역 및 비트 라인 콘택 영역이 각각 노출된다.
- <146> 도 33을 참조하면, 상기 제2 포토레지스트 패턴(210)을 에칭 및 스트립 공정을 수행함으로써 제거한다.
- <147> 다음에, 상기 콘택홀(212)들 내부를 채우도록 도전막(도시안됨)을 증착한다. 상기 도전막은 금속막 또는 불순물이 도핑된 폴리실리콘막을 형성할 수 있다. 상기 제1 층간 절연막(200)의 상부면이 노출되도록 상기 도전막 및 더미 패턴을 연마함으로써 스토리지 노드 패드 콘택(214)들 및 비트 라인 패드 콘택(216)들을 형성한다.
- <148> 도 35는 스토리지 노드 패드 콘택 및 비트 라인 패드 콘택을 나타내는 단면도이다.
- <149> 도 35에 도시된 것과 같이, 상기 매립 게이트 전극(106) 양측으로 스토리지 노드 패드 콘택(214) 및 비트 라인 패드 콘택(216)이 각각 형성된다.
- <150> 도시되지는 않았지만, 후속 공정으로, 상기 비트 라인 패드 콘택과 접속하는 비트 라인 콘택 및 비트 라인을 형성하고, 상기 스토리지 노드 패드 콘택과 접속되는 스토리지 노드 콘택 및 스토리지 노드를 형성함으로써 디램 소자를 완성한다.

산업이용 가능성

- <151> 상기 설명한 것과 같이, 본 발명에 의하면 사진 공정에 의해 형성된 포토레지스트 패턴들 사이의 폭보다 좁은 내부 폭을 갖는 콘택홀들을 형성할 수 있고, 이로써 좁은 폭을 갖는 콘택을 형성할 수 있다. 그러므로, 반도체 소자에 포함하는 콘택 형성 시에 다양하게 적용할 수 있다.

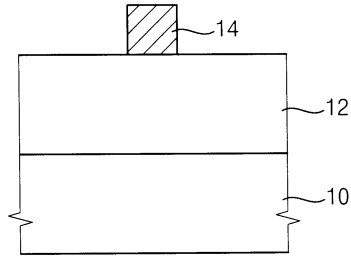
도면의 간단한 설명

- <152> 도 1 내지 도 4는 본 발명의 실시예 1에 따른 콘택 플러그 형성 방법을 나타내는 단면도들이다.
- <153> 도 5 내지 도 7은 본 발명의 실시예 2에 따른 콘택 플러그 형성 방법을 나타내는 단면도들이다.
- <154> 도 8 내지 도 12는 본 발명의 실시예 3에 따른 콘택 플러그 형성 방법을 나타내는 단면도들이다.
- <155> 도 13 내지 도 20은 본 발명의 실시예 4에 따른 디램 소자의 제조 방법을 나타내는 단면도들이다.
- <156> 도 21은 실시예 4에서 셀 영역에 형성된 매립 게이트 전극을 나타내는 평면도이다.
- <157> 도 22는 실시예 4에서 셀 영역에 형성된 더미 패턴을 나타내는 평면도이다.
- <158> 도 23은 실시예 4에서 셀 영역에 형성된 제2 포토레지스트 패턴을 나타내는 평면도이다.
- <159> 도 24는 실시예 4에서 셀 영역에 형성된 스토리지 노드 패드 콘택들을 나타내는 평면도이다.
- <160> 도 25 내지 도 29는 본 발명의 실시예 5에 따른 디램 소자의 제조 방법을 나타내는 단면도들이다.

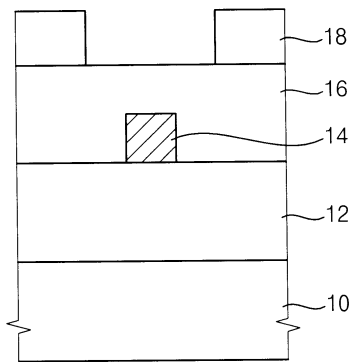
- <161> 도 30 내지 도 33은 본 발명의 실시예 6에 따른 디램 소자의 제조 방법을 나타내는 단면도들이다.
- <162> 도 34은 실시예 6에서 셀 영역에 형성된 더미 패턴을 나타내는 평면도이다.
- <163> 도 35는 실시예 6에서 스토리지 노드 패드 콘택 및 비트 라인 패드 콘택을 나타내는 단면도이다.

도면

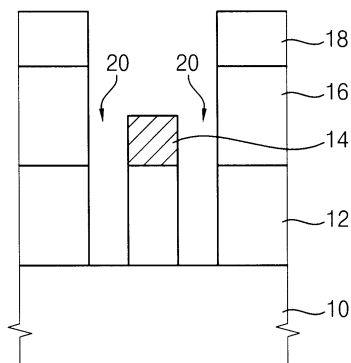
도면1



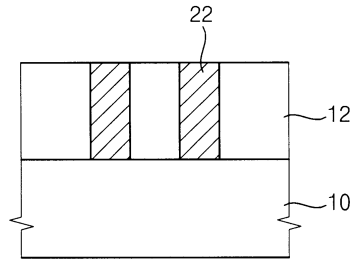
도면2



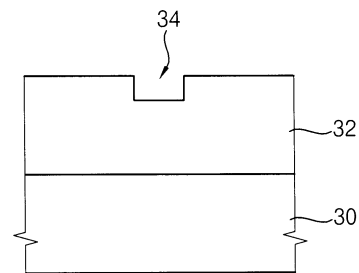
도면3



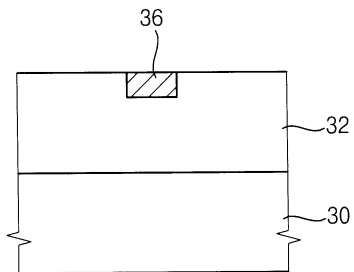
도면4



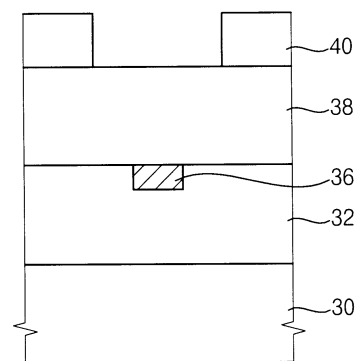
도면5



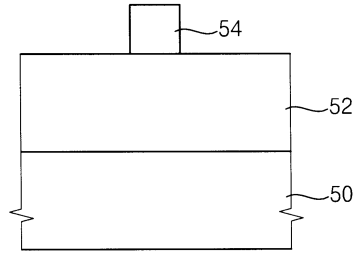
도면6



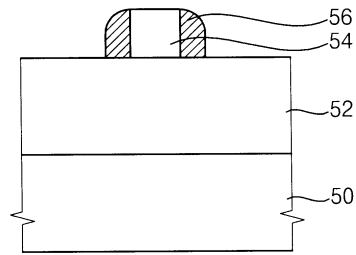
도면7



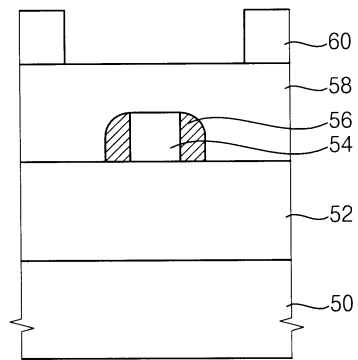
도면8



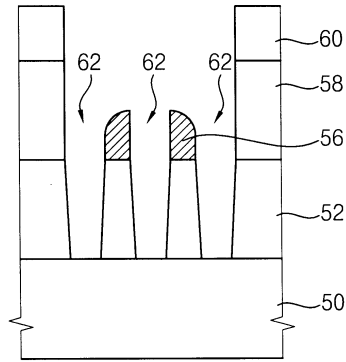
도면9



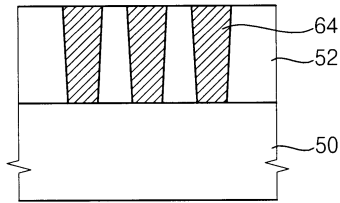
도면10



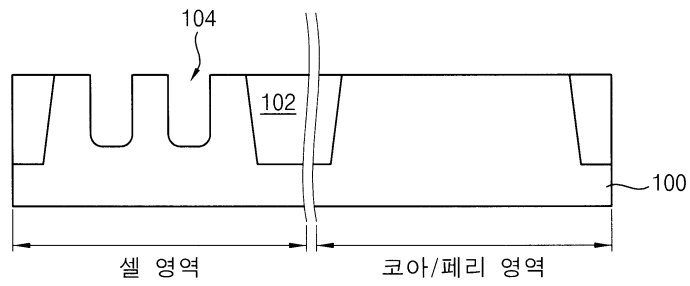
도면11



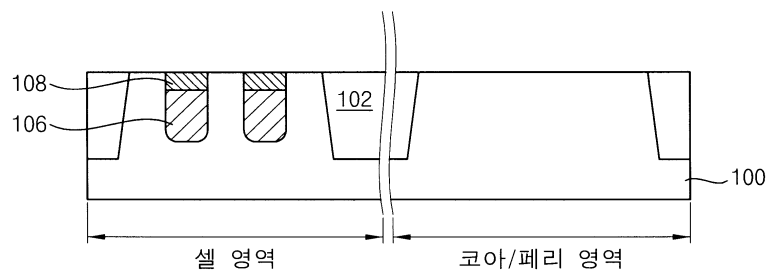
도면12



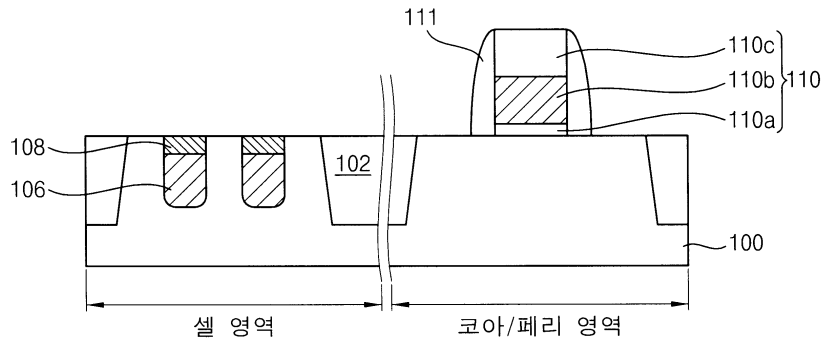
도면13



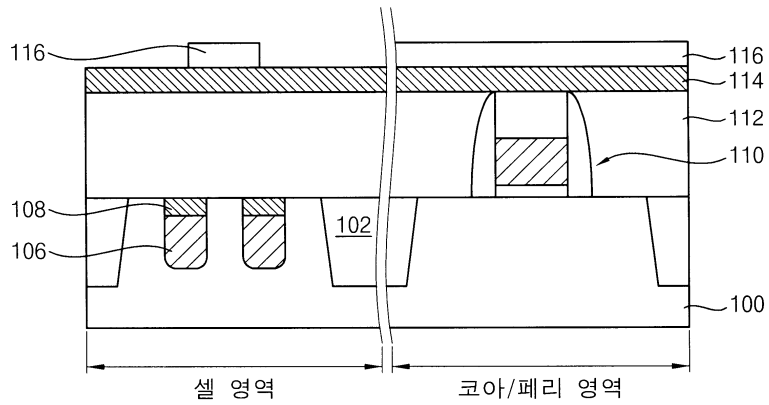
도면14



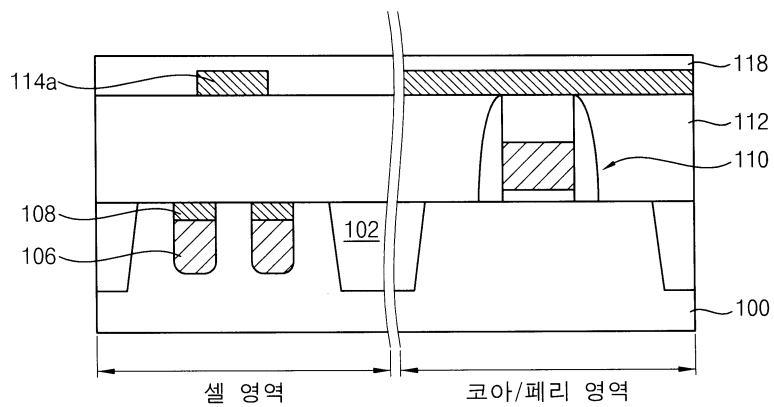
도면15



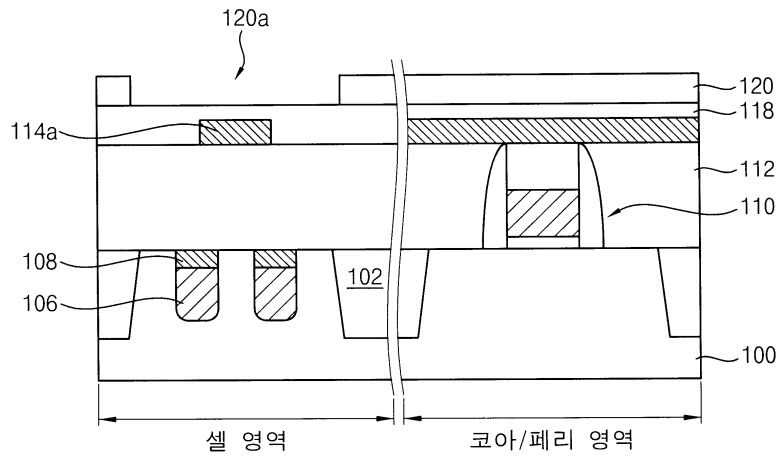
도면16



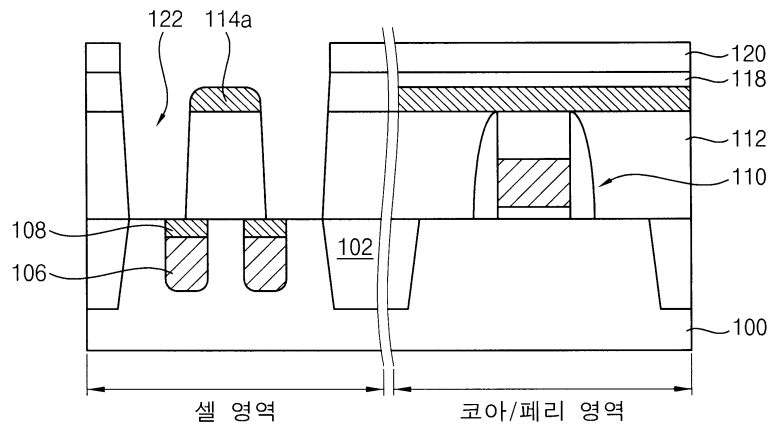
도면17



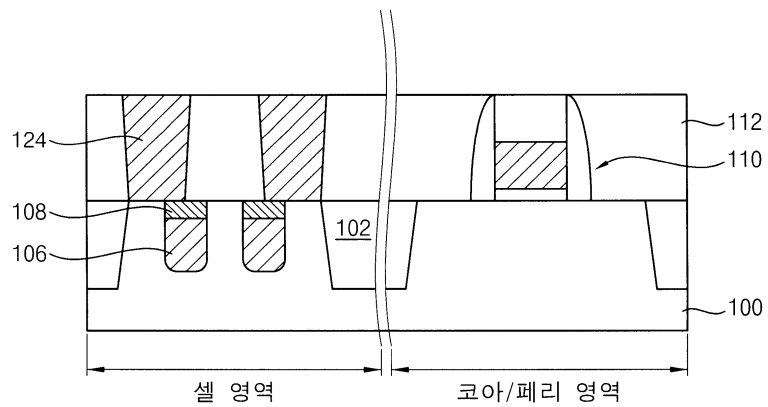
도면18



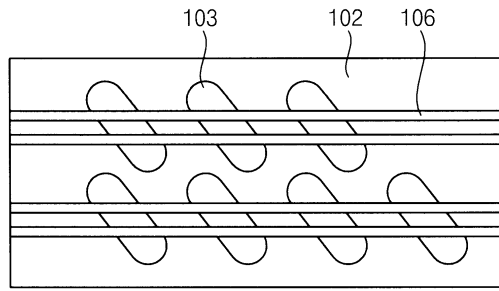
도면19



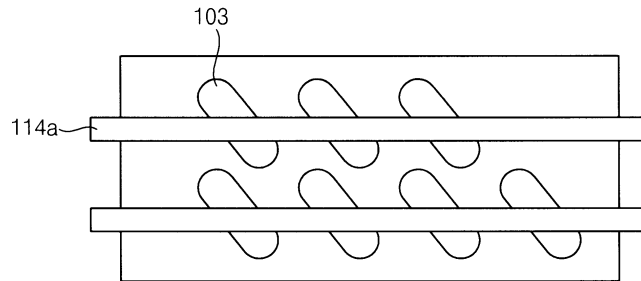
도면20



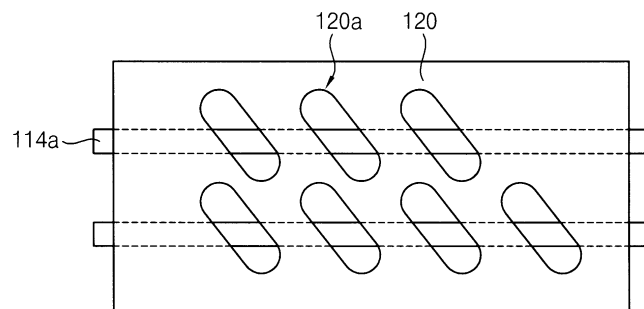
도면21



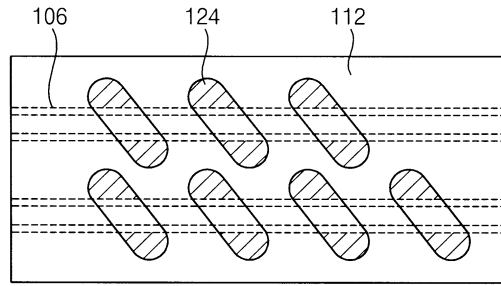
도면22



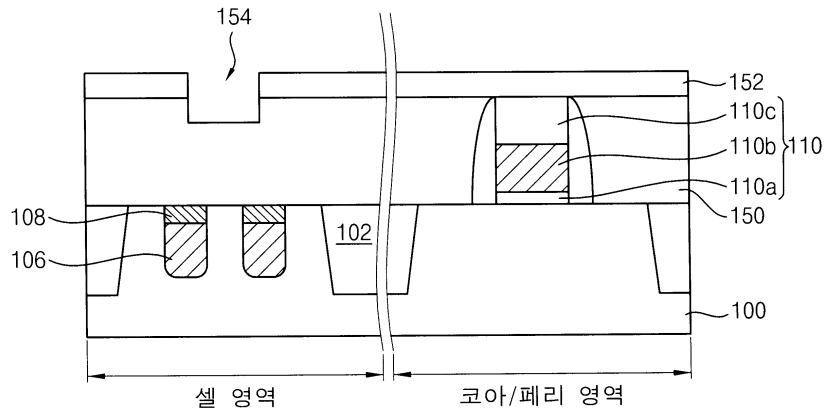
도면23



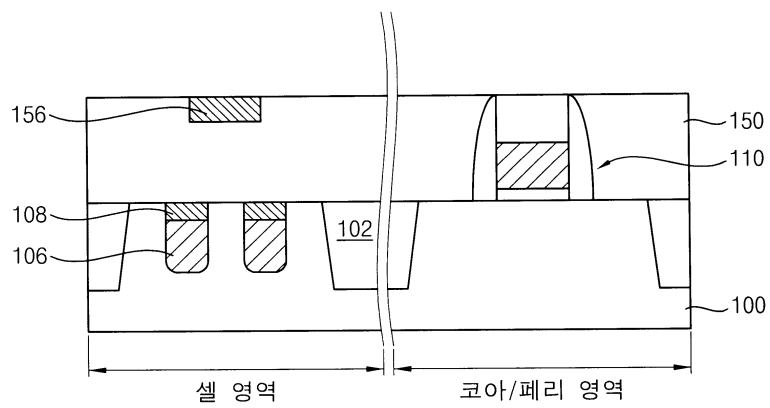
도면24



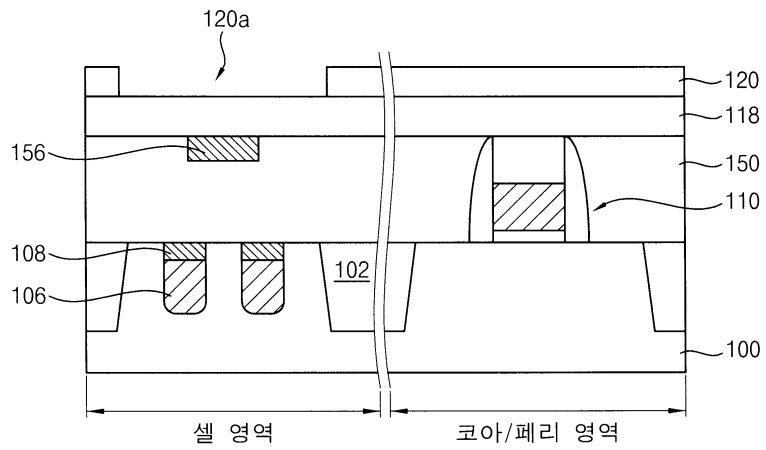
도면25



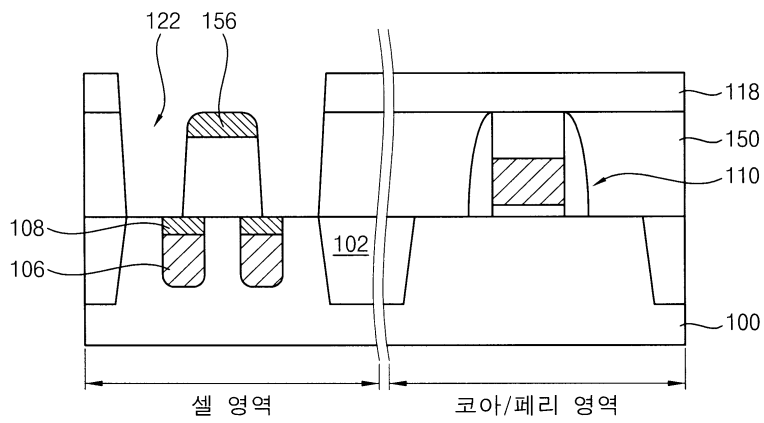
도면26



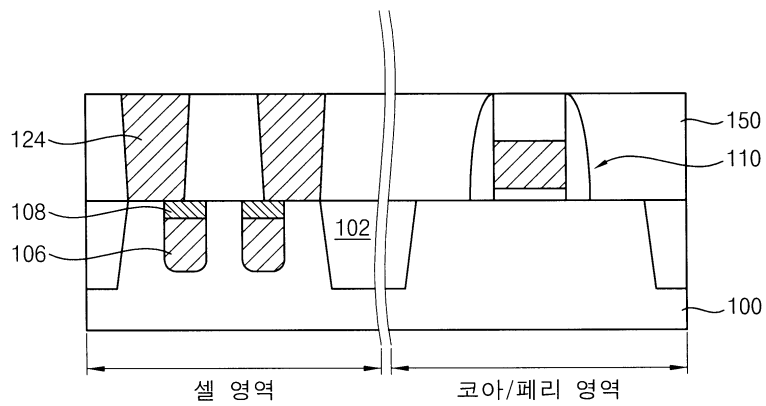
도면27



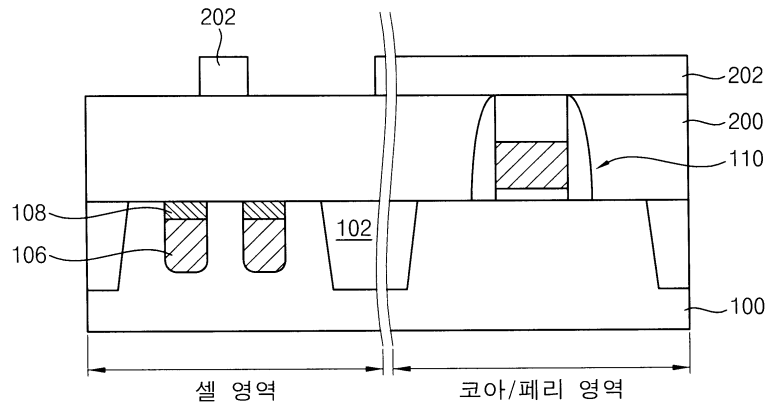
도면28



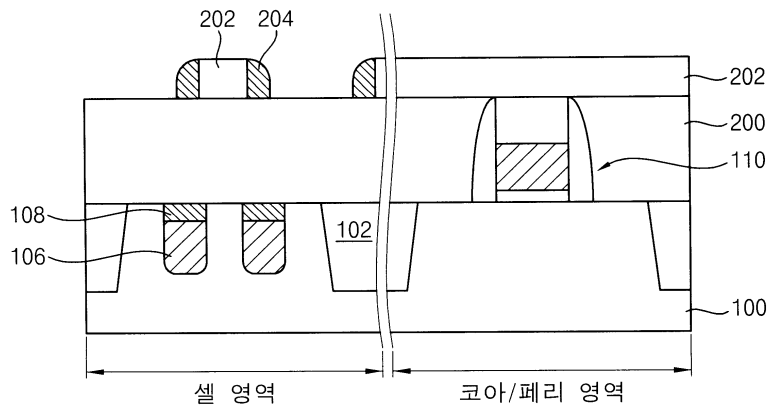
도면29



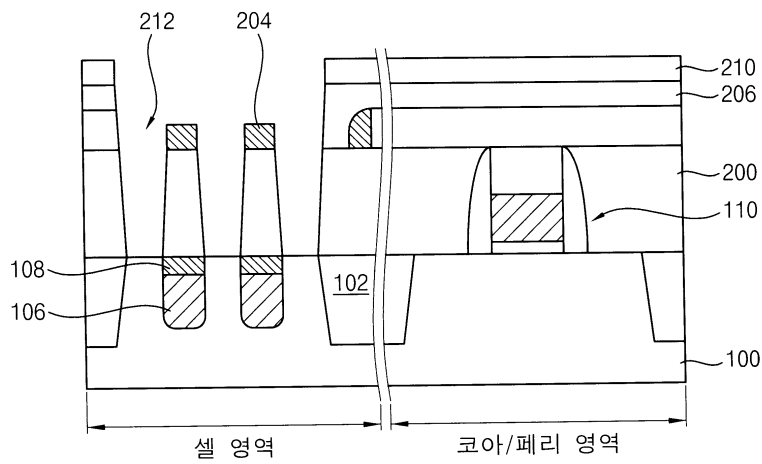
도면30



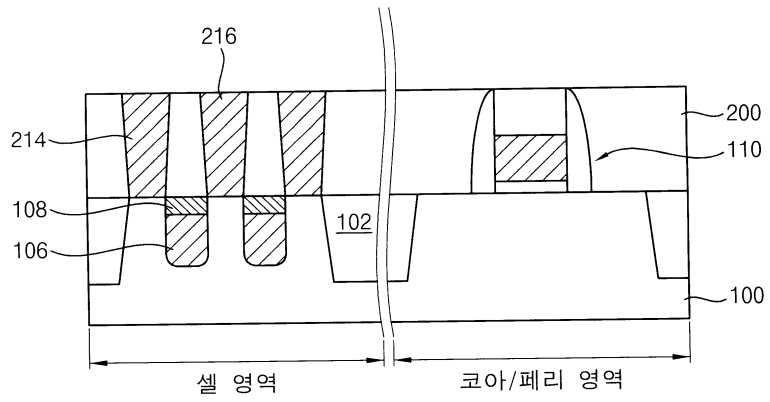
도면31



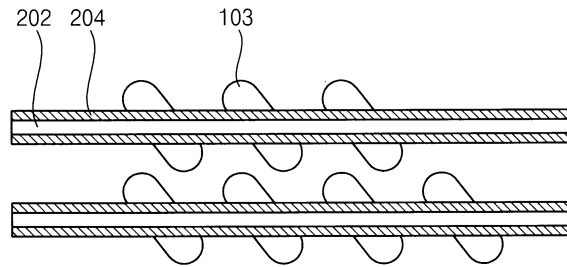
도면32



도면33



도면34



도면35

