



(12) 发明专利

(10) 授权公告号 CN 101465642 B

(45) 授权公告日 2011. 04. 20

(21) 申请号 200710172417. 6

审查员 郭从征

(22) 申请日 2007. 12. 17

(73) 专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市张江路 18 号

(72) 发明人 杨家奇 邓志兵 喻骞宇 郭俊涛

(74) 专利代理机构 上海思微知识产权代理事务所(普通合伙) 31237

代理人 屈蘅 李时云

(51) Int. Cl.

H03K 19/0175(2006. 01)

H03K 19/0185(2006. 01)

(56) 对比文件

US 5760606 A, 1998. 06. 02, 全文.

CN 1293488 A, 2001. 05. 02, 全文.

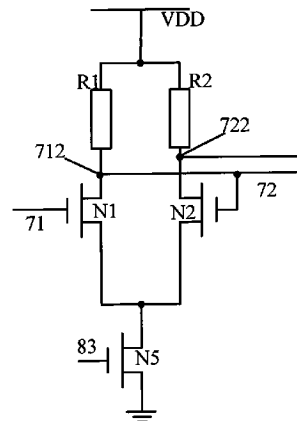
权利要求书 1 页 说明书 4 页 附图 4 页

(54) 发明名称

一种 CMOS 到 MCML 的转换电路

(57) 摘要

本发明提供了一种 CMOS 到 MCML 的转换电路, 用于单端输出的 CMOS 电路向双输入端的 MCML 电路转换。此转换电路由一差分电路组成, 包括一对差分管, 一对负载, 以及偏置管组成; 一对差分管中一差分管的输入端与 CMOS 输出端相连, 此差分管的输出端与另一差分管的输入端相连, 一对差分管的输出端作为 MCML 电路的两个输入端。通过将一差分管的输出端作为另一个差分管的输入端, 可有效节约额外的信号产生电路, 还可有效降低传统差分电路中电源噪声、输出抖动和转换噪声大的问题, 解决差分管的输入端引进外接参考电压时输出电压摆幅小及影响后接 MCML 电路的工作性能和降低电路速度的问题。



1. 一种 CMOS 到 MCML 的转化电路，所述 CMOS 为单端输出电路，所述 MCML 电路为双输入端电路，所述转换电路由一差分电路组成，包括一对差分管，一对负载器件，以及一偏置管组成，所述的差分管具有三端：输入端、输出端和连接端，所述偏置管具有三端；所述负载器件的一端与电源连接，另一端与一差分管的输出端连接；所述偏置管三端中的一端与所述一对差分管的连接端相连，所述偏置管的另一端接地，还有一端接外部信号；其特征在于，所述的一对差分管中一差分管的输入端与所述 CMOS 的单端输出端相连，它的输出端与所述一对差分管中另一差分管的输入端连接，所述一对差分管的输出端分别与所述 MCML 电路的两个输入端连接。

2. 如权利要求 1 所述的转换电路，其特征在于，所述的负载器件为负载管或负载电阻。

3. 如权利要求 1 所述的转换电路，其特征在于，所述的一对差分管均为 NMOS 管，均包括栅极、源极和漏极三端，所述差分管的输入端为差分管的栅极，所述差分管的输出端为差分管的漏极，所述差分管的连接端为差分管的源极。

4. 如权利要求 3 所述的转换电路，其特征在于，所述的偏置管为 NMOS 管，包括栅极、源极和漏极，所述偏置管与所述一对差分管的源极连接的一端为所述偏置管的漏极，所述偏置管接地一端为所述偏置管的源极，所述偏置管接外部信号的一端为所述偏置管的栅极。

5. 如权利要求 4 所述的转换电路，其特征在于，所述的外部信号为外部偏置电压。

一种 CMOS 到 MCML 的转换电路

技术领域

[0001] 本发明涉及不同类型电路之间转换电路的设计领域，尤其涉及一种 CMOS 到 MCML 的转换电路。

背景技术

[0002] 目前 CMOS (Complimentary MOS) 是数字逻辑电路中应用得十分普遍的逻辑电路类型。由于 CMOS 电路具有可忽略的静态电流，这点使得它在数字集成电路中具有统治性的地位。数字逻辑电路中，MOS 电流型逻辑电路 (MOS Current Mode Logical) 在高速电路系统的应用中相对 CMOS 电路有更快的速度，更低的功耗和更强的电源噪声的免疫性。这些优点使得 MCML 电路在高速高性能的集成电路设计中拥有主导地位。然而在片上系统 (System on a Chip SOC) 设计中，为在较低的成本代价下获得高性能的 SOC，CMOS 电路和 MCML 电路这两种电路都会应用到。

[0003] 这样就需要设计 CMOS 电路到 MCML 的转换电路，尤其是在 CMOS 电路的输出端只有一个的情况下。因为目前的 MCML 电路为双输入的电路，这样单端输出的 CMOS 电路无法与 MCML 的双输入端电路兼容。传统由 CMOS 到 MCML 的转换电路结合 D 锁存器的电路结构请参阅图 1。T1 虚线框中所示电路是传统转换电路结构，通过一差分电路的输出端 211 和 222 的信号为下一级 MCML 提供输入信号，21 和 22 为差分电路反相的两个输入信号端，31 和 32 为两个反相的时钟信号输入端，14 输入端接偏置电压。对于单端输出的 CMOS 电路它无法满足输入端 21 和 22 的输入。通常的做法，请参阅图 2，假设 15 为单输出端的 CMOS 输出信号，则通过接反相器来产生信号 11，通过传输门延迟单元使输出信号 12 与 11 在时序上满足一致。然后将获得的信号 11 和 12 分别与 21 和 22 相连。这种传统的转换电路存在电源噪声 (power noise)、输出抖动 (jitter) 和转换噪声大 (transition noise) 的问题，而且需要额外的器件产生两个反相的输入信号，带来信号的延时。

[0004] 美国专利，公开号为 US2004/0145389 提供的高速电流型或逻辑电路，请参阅图 3。41 和 42 为信号输入端，33 端接参考电压，此参考电压由外部的参考电压电路提供，34 端接偏置电压，411 为电路的输出端。基于此转换思想的转换电路与 D 锁存器结合为下一级 MCML 电路提供输入信号时，电路结构图，如图 4 所示。U1 为基于该专利的转换电路结构，51 端接 CMOS 单端输出信号，52 端接外部参考电压，61 和 62 为两个反相的时钟信号，63 接偏置电压，输出端 511 和 522 为下一级 MCML 电路提供两个输入信号。这种电路由于采用外部参考电压作为差分电路另一输入端，使得这一支路的始终处于导通状态，从而缩小输出电压摆幅，同时此电路还需要外部参考电压电路提供参考电压。此转换电路还存在与 MCML 其他电路兼容性不好的问题，例如应用到 MCML 的 D 触发器时，会影响其正常工作性能，降低此电路的速度。

发明内容

[0005] 本发明目的在于提供一种 CMOS 到 MCML 的转换电路，以解决需要额外的输入信号产生电路或参考电压电路的问题，以及传统转换电路电源噪声和输出抖动大的问题以及具有参考电压电路的转换电路的输出电压摆幅小和对后接 MCML 电路工作性能和速度造成影响的问题。

[0006] 为解决上述技术问题，本发明的 CMOS 到 MCML 的转换电路，CMOS 为单端输出的电路，MCML 电路为双输入端的电路，转换电路由一差分电路组成，包括一对差分管，一对负载器件，以及一偏置管组成；差分管具有三端：输入端、输出端和连接端，偏置管具有三端；负载器件的一端与电源连接，另一端与一差分管的输出端连接；偏置管三端中的一端与一对差分管的连接端相连，偏置管的另一端接地，还有一端接外部信号；其中，一对差分管中一差分管的输入端与 CMOS 的单端输出端相连，它的输出端与一对差分管中另一差分管的输入端连接，一对差分管的输出端分别与 MCML 电路的两个输入端连接。转换电路中的负载器件为负载电阻或负载管。

[0007] 进一步地，一对差分管均为 NMOS 管，均包括栅极、源极和漏极三端，差分管的输入端为差分管的栅极，差分管的输出端为差分管的漏极，差分管的连接端为差分管的源极。

[0008] 进一步地，偏置管为 NMOS 管，包括栅极、源极和漏极，偏置管与一对差分管的源极连接的一端为所述偏置管的漏极，偏置管接地一端为偏置管的源极，偏置管接外部信号的一端为偏置管的栅极。外部信号为外部偏置电压。

[0009] 与现有技术相比，本发明的 CMOS 到 MCML 的转换电路，通过将一对差分管中的一个差分管的输出端信号作为另一个差分管的输入信号可不需要额外的信号产生电路，避免了额外电路带来的延时问题，解决了传统转换电路的转换噪声、电源噪声和输出抖动 (jitter) 大的问题；也不要外部的参考电压电路，避免引进外部参考电压时，输出电压摆幅变窄影响后接的 MCML 电路的工作性能和速度。

附图说明

[0010] 以下结合附图和具体实施方式对本发明的 CMOS 到 MCML 的转化电路作进步详细的说明。

[0011] 图 1 是传统转换电路结合 D 锁存器的电路结构图。

[0012] 图 2 是传统转换电路输入信号转换图。

[0013] 图 3 是现有技术的高速电流型或逻辑电路结构图。

[0014] 图 4 是图 3 转换电路 U1 结合 D 锁存器的电路结构图。

[0015] 图 5 是本发明的转换电路结构图。

[0016] 图 6 是本发明的转换电路结合 D 锁存器的电路结构图。

[0017] 图 7 是图 1 中转换电路输出端的仿真波形图。

[0018] 图 8 是图 4 中转换电路输出端的仿真波形图。

[0019] 图 9 是图 6 中转换电路输出端的仿真波形图。

具体实施方式

[0020] 本发明的CMOS到MCML的转化电路，其中CMOS为单端输出电路，MCML为双端输入电路。请参阅图5，该转换电路由一差分电路组成，包括一对差分管N1和N2，一对负载电阻 R_1 和 R_2 ，以及偏置管N5，其中，差分管N1/N2具有三端：输入端、输出端和连接端，偏置管N5具有三端。差分管N1的输入端71与CMOS输出信号连接，差分管N1的输出端712与差分管N2的输入端72连接，差分管N1的输出端712和差分管N2的输出端722分别与MCML两个输入端连接；负载电阻 R_1/R_2 的一端与电源连接，另一端与差分管N1/N2的输出端712/722连接；偏置管N5三端中的一端与一对差分管的连接端相连，偏置管N5的另一端接地，还有一端83接外部信号。在此转换电路中负载器件以负载电阻为例。

[0021] 差分管N1和N2均为NMOS管，包括栅极、漏极和源极三端。差分管N1的输入端为栅极71，差分管N2的输入端为栅极72；差分管N1的输出端为差分管N1的漏端712，差分管N2的输出端为差分管N2的漏端722。偏置管N5为NMOS管，栅极83接外部偏置电压；差分管N1/N2的连接端为差分管N1/N2的源极。偏置管N5为NMOS管，包括栅极、源极和漏极，偏置管N5与一对差分管N1和N2的源极连接的一端为偏置管N5的漏极，偏置管N5接地一端为偏置管N5的源极，偏置管N5接外部信号的一端为偏置管N5的栅极。外部信号为外部偏置电压。

[0022] 将此转化电路与D锁存器结合的电路结构如图6所示。C1虚线框中电路和图5中电路相同，N3和N4为两MOS管，栅极81和栅极82接两个反相的时钟信号。N3和N4的导通与关闭因此受时钟信号的控制。将传统转换电路T1结合D锁存器的电路结构和基于美国专利US2004/0145389的转换电路U1结合D锁存器的电路结构与本发明的转换电路结合D锁存器的电路结构进行仿真和测试。三种电路结构如图1、图4和图6所示，所设计的NMOS管的尺寸均一致。

[0023] 从理论上可以得出本发明的输入信号的电压摆幅为 $VDD - I_D R \sim VDD$ ， I_D 为流经 R_2/R_1 的电流， R 为 R_1/R_2 的电阻。而传统转换电路的输入信号的电压摆幅为 $0 \sim VDD$ 。由于传统电路的输入电压摆幅大于本发明输入电压摆幅，这样会造成传统电路的转换噪声大于本发明电路的噪声。图4所示U1转换电路结合D锁存器的电路结构，由于一差分管的输入端52接外部参考电压 V_{ref} ，使得此差分管的这条支路常开，这样输出电压的摆幅在 $VDD - I_C \sim VDD$ ，而本发明的转换电路的D锁存器结构理论上输出电压可达到全摆幅 $0 \sim VDD$ ，这样可解决现有技术U1转换电路的输出摆幅小，影响后接MCML电路工作性能以及速度。图1、图4和图6三种电路的测试的数据如表1所示。 $I_{V_{SS}}$ 为电路工作电流，单位为微安(μA)。 $dI_{V_{SS}}/dt$ 的单位兆(MEG)，以其值来衡量转换电路电源噪声的大小以及电路的输出抖动(jitter)，它的值越大，电源噪声也就越大。可见本发明的C1转换电路结合D锁存器的电路相对传统的T1转换电路结合D锁存器的电路的电源噪声要降低很多。

[0024] 对图1、图4和图6所示的三种电路进行仿真，得出的一对差分管的输出端的波形分别如图7、图8和图9所示。图7，图8和图9中实线代表一差分管的输出端波形，虚线代表另一差分管输出端波形；纵坐标代表差分管输出端输出电压值，单位为伏特；横坐标代表仿真时间，单位为秒。对比三幅图的仿真波形图可看出图7的输出端波形是

比较完美的，但是此电路需要如图 2 所示的额外的输入信号产生电路，会造成一定的延时，对高速的 MCML 电路来说是个很大的弊端。图 9 为本发明转换电路输出端波形，这两个输出波形将会作为下一级 MCML 电路的两个输入信号。从波形图上看输出跳变之前会有一小台阶，由于小台阶的出现与结束是在 D 锁存器锁存和输出数据之前，所以这个小台阶的出现不影响作为下一级 MCML 的工作性能和速度。图 8 输出端波形相对图 7 和图 9 的输出波形是波形最差的，图 8 的波形出现了较长的台阶并发生在 D 锁存器锁存和输出数据之后，由于作为下一级 MCML 的输入信号，小的输出电压摆幅，影响下一级 MCML 的工作性能及速度。

[0025] 通过对比仿真波形图和表 1 中数据，本发明的转换电路与传统转换电路以及引入参考电压的转换电路进行比较，本发明的转换电路具有最好的工作速度以及输出抖动 (jitter) 和电源噪声。对实际的电路图 1、图 4 和图 6 进行对比，传统转换电路需要一反相器和传输门来产生差分管的输入信号，引入参考电压的转换电路需要外部参考电压电路，而本发明的转换直观的优点就是节省了额外的信号产生电路，避免了此额外电路带来的延时。

[0026]

表 1

[0027]

	I_{VSS}		dI_{VSS}/dt
	最大值	平均值	最大值
T1 转换电路的 D 锁存器	853.08uA	593.43uA	6.2232MEG
U1 转换电路的 D 锁存器	647.04uA	593.38uA	2.3578MEG
C1 转换电路的 D 锁存器	663.70uA	597.83uA	2.5779MEG

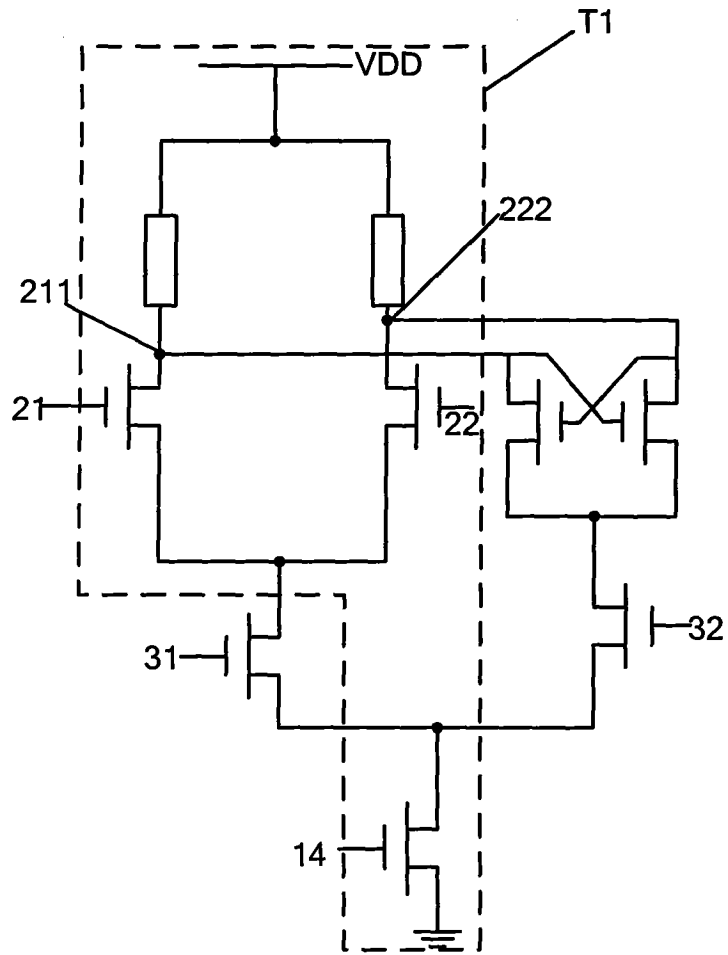


图 1

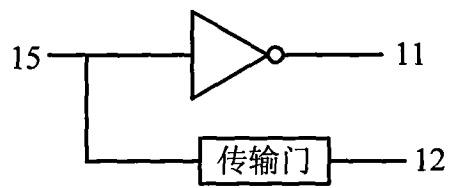


图 2

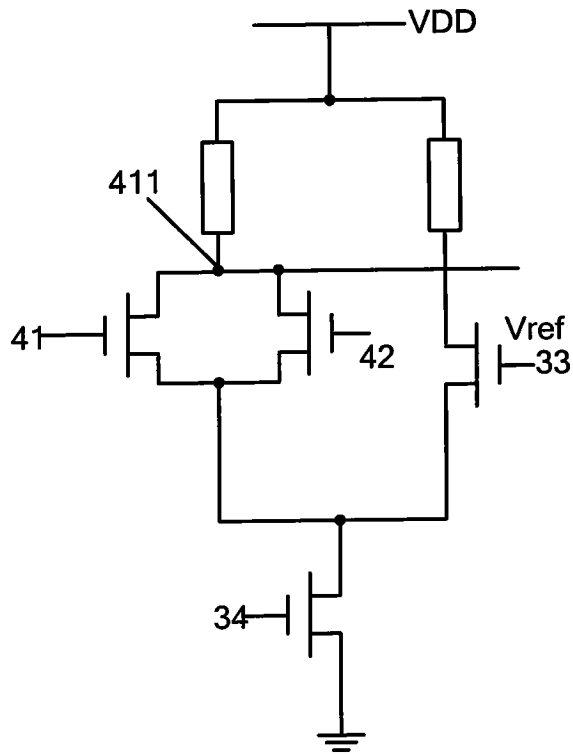


图 3

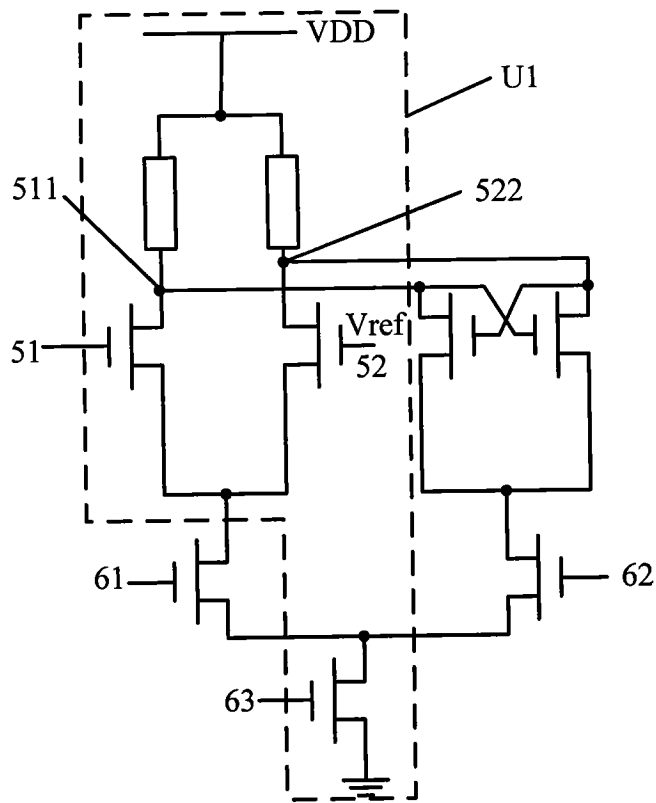


图 4

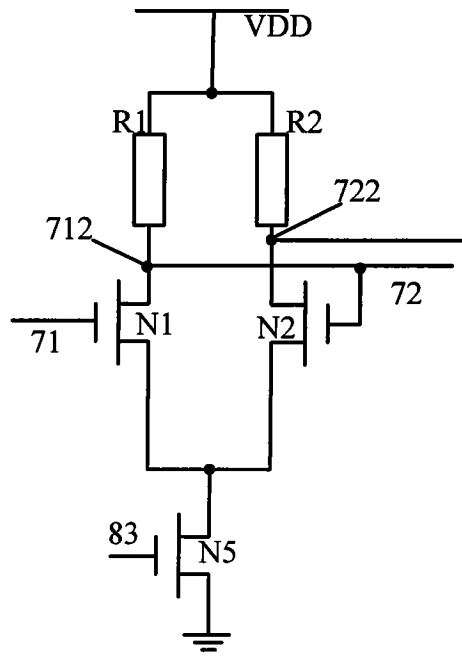


图 5

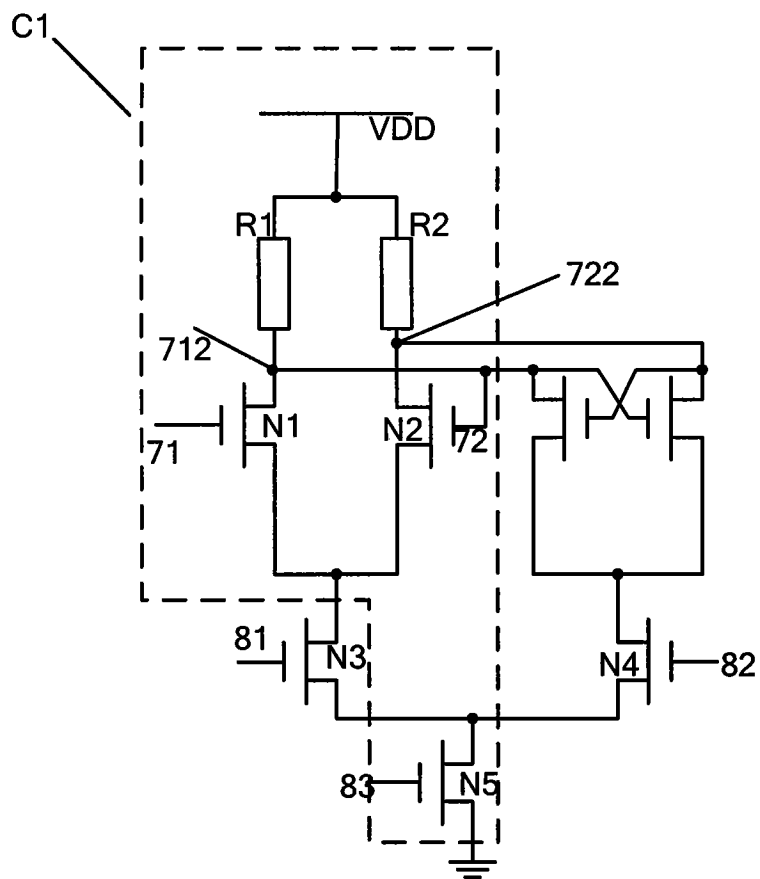


图 6

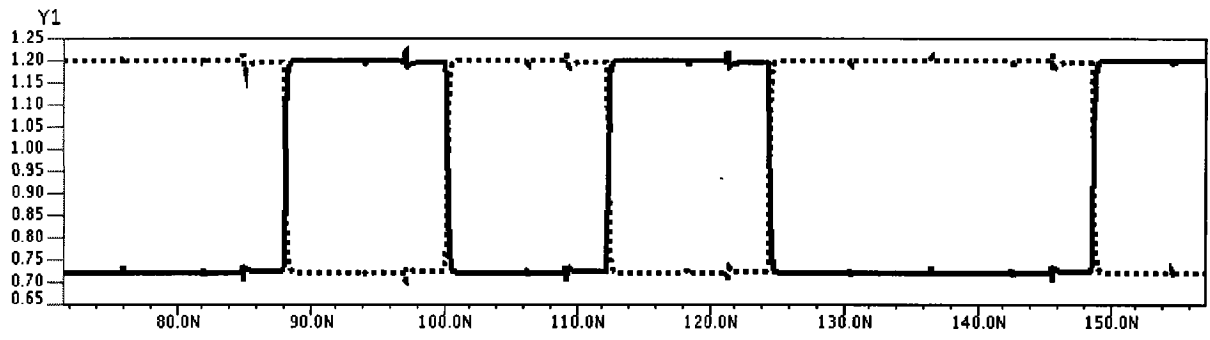


图 7

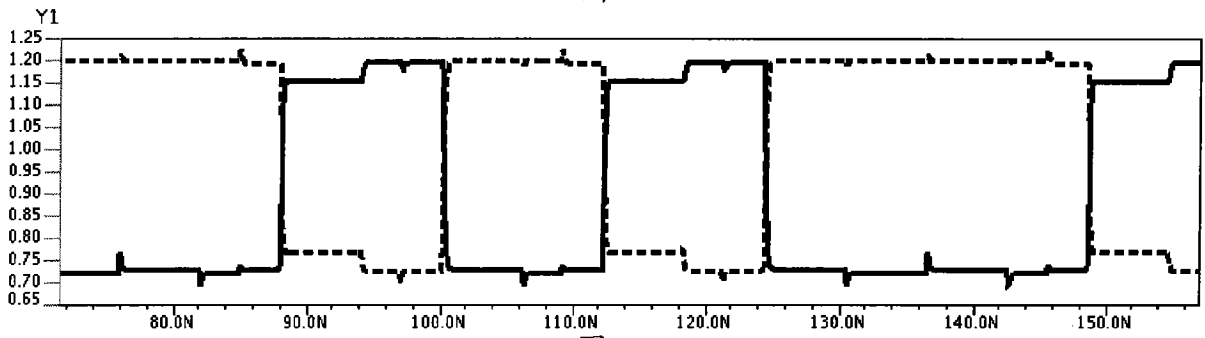


图 8

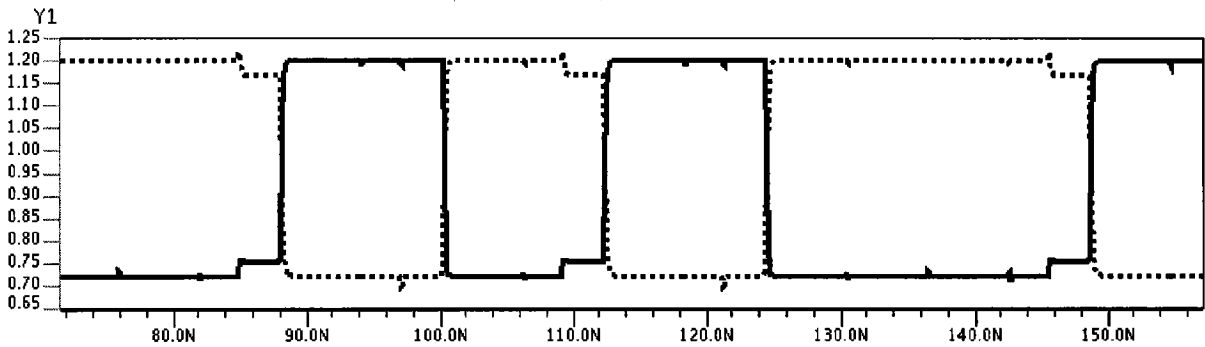


图 9