



(12)发明专利

(10)授权公告号 CN 105489153 B

(45)授权公告日 2018.06.29

(21)申请号 201510969635.7

(51)Int.Cl.

(22)申请日 2015.12.21

G09G 3/20(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 105489153 A

(56)对比文件

CN 104599630 A, 2015.05.06,

CN 104835450 A, 2015.08.12,

CN 103000155 A, 2013.03.27,

CN 104361875 A, 2015.02.18,

JP H06177749 A, 1994.06.24,

US 2010166136 A1, 2010.07.01,

(43)申请公布日 2016.04.13

(73)专利权人 上海天马有机发光显示技术有限公司

地址 201201 上海市浦东新区龙东大道
6111号1幢509室

专利权人 天马微电子股份有限公司

审查员 孟慧慧

(72)发明人 邹文晖 钱栋 吴桐 张通

(74)专利代理机构 北京晟睿智杰知识产权代理
事务所(特殊普通合伙)
11603

代理人 于淼

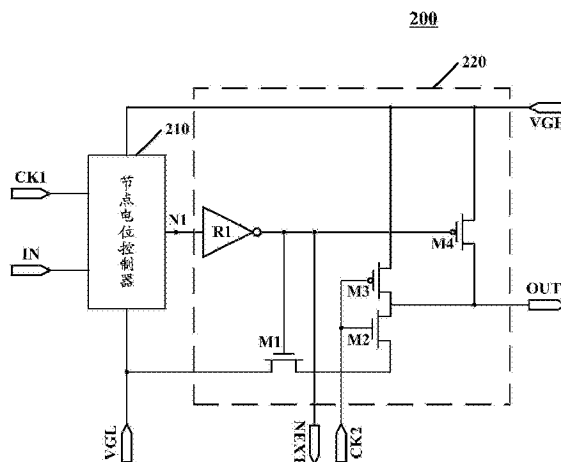
权利要求书4页 说明书11页 附图9页

(54)发明名称

移位寄存单元及其驱动方法和移位寄存器

(57)摘要

本申请公开了一种移位寄存单元及其驱动方法和移位寄存器,所述的移位寄存单元包括节点电位控制器和输出单元;节点电位控制器用于在第一时钟信号端输入的第一时钟信号和移位信号端输入的移位电压信号的控制下,基于第一电压输入端的第一电压信号和第二电压输入端输入的第二电压信号生成节点电压信号;输出单元用于在节点电压信号和第二时钟信号端输入的第二时钟信号的控制下,基于第一电压输入端的第一电压信号和第二电压输入端输入的第二电压信号生成移位寄存单元的第一输出信号。按照本申请的方案,驱动能力强、节点电压稳定。



1. 一种移位寄存单元,包括:节点电位控制器和输出单元;

所述节点电位控制器用于在第一时钟信号端输入的第一时钟信号和移位信号端输入的移位电压信号的控制下,基于第一电压输入端的第一电压信号和第二电压输入端输入的第二电压信号生成节点电压信号;

所述输出单元用于在所述节点电压信号和第二时钟信号端输入的第二时钟信号的控制下,基于所述第一电压输入端的第一电压信号和所述第二电压输入端输入的第二电压信号生成所述移位寄存单元的第一输出信号;

其中,

所述输出单元包括第一反相器、第一晶体管、第二晶体管、第三晶体管和第四晶体管;

所述第一反相器的输入端与所述节点电位控制器的输出端连接;

所述第一晶体管的栅极与所述第一反相器的输出端连接,所述第一晶体管的第一极连接至第二电压输入端,所述第一晶体管的第二极与所述第二晶体管的第一极连接;

所述第二晶体管的栅极和所述第三晶体管的栅极与第二时钟信号端连接,所述第二晶体管的第二极和所述第三晶体管的第二极连接至所述输出单元的第一输出端以输出所述第一输出信号;

所述第三晶体管的第一极和所述第四晶体管的第一极连接至所述第一电压输入端,所述第四晶体管的第二极连接至所述第三晶体管的第二极;

所述第四晶体管的栅极连接至所述第一反相器的输出端。

2. 根据权利要求1所述的移位寄存单元,所述节点电位控制器包括第一电容、第二反相器、第五晶体管、第六晶体管、第七晶体管和第八晶体管;

其中,

所述第五晶体管的栅极和所述第八晶体管的栅极连接至移位信号端,所述第五晶体管的第一极连接至所述第一电压输入端;

所述第二反相器的输入端与所述第一时钟信号端连接,所述第二反相器的输出端与所述第六晶体管的栅极连接;

所述第六晶体管的第一极与所述第五晶体管的第二极连接;

所述第七晶体管的栅极连接至所述第一时钟信号端,所述第七晶体管的第二极与所述第六晶体管的第二极连接至所述节点电位控制器的输出端,所述第七晶体管的第一极与所述第八晶体管的第二极连接;

所述第八晶体管的第一极连接至所述第二电压输入端;

所述第一电容连接在所述第一电压输入端和所述第六晶体管的第二极之间。

3. 根据权利要求2所述的移位寄存单元,其中:

所述第一晶体管、第二晶体管、第七晶体管和第八晶体管为NMOS晶体管;

所述第三晶体管、第四晶体管、第五晶体管和第六晶体管为PMOS晶体管;

所述第一电压输入端输入的电压大于所述第二电压输入端输入的电压。

4. 根据权利要求1所述的移位寄存单元,所述节点电位控制器包括第二电容、第三反相器、第九晶体管、第十晶体管、第十一晶体管和第十二晶体管;

其中,

所述第九晶体管的栅极和所述第十二晶体管的栅极连接至所述移位信号端,所述第九

晶体管的第一极连接至所述第一电压输入端；

所述第十晶体管的栅极连接至所述第一时钟信号端，所述第十晶体管的第一极与所述第九晶体管的第二极连接；

所述第三反相器的输入端与所述第一时钟信号端连接，且所述第三反相器的输出端与所述第十一晶体管的栅极连接；

所述第十一晶体管的第二极与所述第十晶体管的第二极连接至所述节点电位控制器的输出端；

所述第十二晶体管的第二极与所述第十一晶体管的第一极连接，所述第十二晶体管的第一极连接至所述第二电压信号输入端；

所述第二电容连接在所述第一电压输入端和所述第十晶体管的第二极之间。

5. 根据权利要求4所述的移位寄存单元，还包括第四反相器；

所述第四反相器的输入端与所述节点电位控制器的输出端连接，所述第四反相器的输出端与所述第一反相器的输入端连接。

6. 根据权利要求5所述的移位寄存单元，所述第一反相器的输出端连接至所述输出单元的第二输出端。

7. 根据权利要求5或6所述的移位寄存单元，所述输出单元还包括第十三晶体管、第十四晶体管和第十五晶体管；

其中，

所述第十三晶体管和所述第十四晶体管的栅极连接至第三时钟信号端，所述第十三晶体管的第一极连接至所述第一晶体管的第二极；

所述第十四晶体管的第二极与所述第十三晶体管的第二极连接，所述第十四晶体管的第一极连接至所述第一电压输入端；

所述第十五晶体管的栅极与所述第一反相器的输出端连接，所述第十五晶体管的第一极连接至所述第一电压输入端，所述第十五晶体管的第二极连接至所述第十三晶体管的第二极和所述输出单元的第三输出端。

8. 根据权利要求7所述的移位寄存单元，其中：

所述第一晶体管、第二晶体管、第十一晶体管、第十二晶体管和第十三晶体管为NMOS晶体管；

所述第三晶体管、第四晶体管、第九晶体管、第十晶体管、第十四晶体管和第十五晶体管为PMOS晶体管；

所述第一电压输入端输入的电压大于所述第二电压输入端输入的电压。

9. 一种移位寄存器，包括第0级~第N-1级的N个级联的移位寄存单元，所述移位寄存单元为权利要求1-8任意一项所述的移位寄存单元，其中，N为整数，且 $N > 1$ ；第i级移位寄存单元的移位信号端接收第i-1级移位寄存单元的节点电位控制器输出信号的反相信号，其中，i为整数，且 $1 \leq i \leq N-1$ 。

10. 一种用于驱动如权利要求1所述移位寄存单元的驱动方法，包括：

在第一期间，移位电压信号为第一电平，节点电位控制器输出的电压为第二电平，第二时钟信号为第二电平，使得第三晶体管导通，并将第一电压信号提供至输出单元的第一输出端；

在第二期间,移位电压信号变为第二电平,节点电位控制器输出的电压保持为第二电平,第二时钟信号为第一电平,第二晶体管的栅极信号为第一电平,第二晶体管导通,并将第二电压信号提供至输出单元的第一输出端;

在第三期间,移位电压信号保持为第二电平,节点电位控制器输出的电压为第一电平,第四晶体管的栅极信号为第二电平,第四晶体管导通,并将第一电压信号提供至输出单元的第一输出端。

11. 一种用于驱动如权利要求2或3所述的移位寄存单元的驱动方法,包括:

在第一期间,移位电压信号为第一电平,第一时钟信号在第一期间开始时保持为第一电平直至第一期间结束之前跳变为第二电平,使得第六晶体管和第七晶体管在第一期间结束之前截止,节点电位控制器输出的电压为第二电平,第二时钟信号为第二电平,使得第三晶体管导通,并将第一电压信号提供至输出单元的第一输出端;

在第二期间,移位电压信号变为第二电平,节点电位控制器输出的电压保持为第二电平,第一晶体管的栅极为第一电平,第一晶体管导通,第二时钟信号为第一电平,第二晶体管的栅极信号为第一电平,第二晶体管导通,并将第二电压信号提供至输出单元的第一输出端;

在第三期间,移位电压信号为第二电平,节点电位控制器输出的电压为第一电平,第四晶体管的栅极信号为第二电平,第四晶体管导通,并将第一电压信号提供至输出单元的第一输出端。

12. 一种用于驱动如权利要求6所述的移位寄存单元的驱动方法,包括:

在第一期间,移位电压信号为第二电平,节点电位控制器输出的电压为第一电平,第一时钟信号在第一期间开始时保持为第二电平直至第一期间结束之前跳变为第一电平,使得第十晶体管和第十一晶体管在第一期间结束前截止,第二时钟信号为第二电平,使得第三晶体管导通,并将第一电压信号提供至输出单元的第一输出端,输出单元的第二输出端输出第一电平;

在第二期间,移位电压信号变为第一电平,节点电位控制器输出的电压保持为第一电平,第一晶体管的栅极信号为第一电平,第一晶体管导通,第二时钟信号为第一电平,第二晶体管的栅极信号为第一电平,第二晶体管导通,并将第二电压信号提供至输出单元的第一输出端,输出单元的第二输出端保持为第一电平;

在第三期间,移位电压信号为第一电平,节点电位控制器输出的电压为第二电平,第四晶体管的栅极信号为第二电平,第四晶体管导通,并将第一电压信号提供至输出单元的第一输出端,在第三期间,输出单元的第二输出端输出第二电平。

13. 一种用于驱动如权利要求7或8所述的移位寄存单元的驱动方法,包括:

在第一期间,移位电压信号为第二电平,节点电位控制器输出的电压为第一电平;第一时钟信号在第一期间开始时保持为第二电平直至第一期间结束之前跳变为第一电平,使得第十晶体管和第十一晶体管在第一期间结束前截止,第二时钟信号为第二电平,使得第三晶体管导通,并将第一电压信号提供至输出单元的第一输出端,输出单元的第二输出端输出第一电平,第一晶体管导通,第三时钟信号为高电平,第十三晶体管导通,从而将第二电压信号提供至输出单元的第三输出端;

在第二期间,移位电压信号变为第一电平,节点电位控制器输出的电压保持为第一电

平,第一晶体管的栅极信号为第一电平,第一晶体管导通,第二时钟信号为第一电平,第二晶体管的栅极信号为第一电平,第二晶体管导通,并将第二电压信号提供至输出单元的第一输出端,输出单元的第二输出端保持为第一电平,第三时钟信号为低电平,第十四晶体管导通,从而将第一电压信号提供至输出单元的第三输出端;

在第三期间,移位电压信号为第一电平,节点电位控制器输出的电压为第二电平,第四晶体管的栅极信号为第二电平,第四晶体管导通,并将第一电压信号提供至输出单元的第一输出端,输出单元的第二输出端输出第二电平,第十五晶体管栅极电压为低电平,第十五晶体管导通,从而将第一电压信号提供至输出单元的第三输出端。

移位寄存单元及其驱动方法和移位寄存器

技术领域

[0001] 本公开一般涉及显示技术,尤其涉及移位寄存单元及其驱动方法和移位寄存器。

背景技术

[0002] 在显示装置中,移位寄存器通常包括多个级联的移位寄存单元,每个移位寄存单元向显示装置的显示面板中的像素行(或列)发送驱动信号,以使与该行(或列)的各像素连接的晶体管导通或截止。

[0003] 参见图1所示,为现有的移位寄存器中的移位寄存单元的电路结构示意图100。

[0004] 图1中的移位寄存单元包括节点电位控制器110和输出单元120。输出单元120受时钟信号CK1的驱动。也即是说,输出单元120在节点电位(N1处的电位)的控制下,将时钟信号CK1提供至输出端OUT。

[0005] 然而,由于时钟信号CK1的驱动能力有限,当输出负载较大(例如,需要驱动的像素行中包含的像素数量较多)时,采用时钟信号CK1驱动将产生较大的延迟,进而导致短路功耗的增加。

发明内容

[0006] 鉴于现有技术中的上述缺陷或不足,期望提供一种移位寄存单元及其驱动方法和一种移位寄存器,以解决背景技术中所述的至少部分技术问题。

[0007] 第一方面,本申请实施例提供了一种移位寄存单元,包括节点电位控制器和输出单元;节点电位控制器用于在第一时钟信号端输入的第一时钟信号和移位信号端输入的移位电压信号的控制下,基于第一电压输入端的第一电压信号和第二电压输入端输入的第二电压信号生成节点电压信号;输出单元用于在节点电压信号和第二时钟信号端输入的第二时钟信号的控制下,基于第一电压输入端的第一电压信号和第二电压输入端输入的第二电压信号生成移位寄存单元的第一输出信号;其中,输出单元包括第一反相器、第一晶体管、第二晶体管、第三晶体管和第四晶体管;第一反相器的输入端与节点电位控制器的输出端连接;第一晶体管的栅极与第一反相器的输出端连接,第一晶体管的第一极连接至第二电压输入端,第一晶体管的第二极与第二晶体管的第一极连接;第二晶体管的栅极和第三晶体管的栅极与第二时钟信号端连接,第二晶体管的第二极和第三晶体管的第二极连接至输出单元的第一输出端以输出第一输出信号;第三晶体管的第一极和第四晶体管的第一极连接至第一电压输入端,第四晶体管的第二极连接至第三晶体的第二极;第四晶体管的栅极连接至第一反相器的输出端。

[0008] 第二方面,本申请实施例还提供了一种移位寄存器,包括第0级~第N-1级的N个级联的如上所述的移位寄存单元,其中,N为整数,且 $N > 1$;第i级移位寄存单元的移位信号端接收第i-1级移位寄存单元的节点电位控制器输出信号的反相信号,其中,i为整数,且 $1 \leq i \leq N-1$ 。

[0009] 第三方面,本申请实施例还提供了一种移位寄存单元的驱动方法,包括:在第一期

间,移位电压信号为第一电平,节点电位控制器输出的电压为第二电平,第二时钟信号为第二电平,使得第三晶体管导通,并将第一电压信号提供至输出单元的第一输出端;在第二期间,移位电压信号变为第二电平,节点电位控制器输出的电压保持为第二电平,第二时钟信号为第一电平,第二晶体管的栅极信号为第一电平,第二晶体管导通,并将第二电压信号提供至输出单元的第一输出端;在第三期间,移位电压信号保持为第二电平,节点电位控制器输出的电压为第一电平,第四晶体管的栅极信号为第二电平,第四晶体管导通,并将第一电压信号提供至输出单元的第一输出端。

[0010] 第四方面,本申请实施例还提供了一种移位寄存单元的驱动方法,包括:在第一期间,移位电压信号为第一电平,第一时钟信号在第一期间开始时保持为第一电平直至第一期间结束之前跳变为第二电平,使得第六晶体管和第七晶体管在第一期间结束之前截止,节点电位控制器输出的电压为第二电平,第二时钟信号为第二电平,使得第三晶体管导通,并将第一电压信号提供至输出单元的第一输出端;在第二期间,移位电压信号变为第二电平,节点电位控制器输出的电压保持为第二电平,第一晶体管的栅极为第一电平,第一晶体管导通,第二时钟信号为第一电平,第二晶体管的栅极信号为第一电平,第二晶体管导通,并将第二电压信号提供至输出单元的第一输出端;在第三期间,移位电压信号为第二电平,节点电位控制器输出的电压为第一电平,第四晶体管的栅极信号为第二电平,第四晶体管导通,并将第一电压信号提供至输出单元的第一输出端。

[0011] 第五方面,本申请实施例还提供了一种移位寄存单元的驱动方法,包括:在第一期间,移位电压信号为第二电平,节点电位控制器输出的电压为第一电平,第一时钟信号在第一期间开始时保持为第二电平直至第一期间结束之前跳变为第一电平,使得第十晶体管和第十一晶体管在第一期间结束前截止,第二时钟信号为第二电平,使得第三晶体管导通,并将第一电压信号提供至输出单元的第一输出端,输出单元的第二输出端输出第一电平;在第二期间,移位电压信号变为第一电平,节点电位控制器输出的电压保持为第一电平,第一晶体管的栅极信号为第一电平,第一晶体管导通,第二时钟信号为第一电平,第二晶体管的栅极信号为第一电平,第二晶体管导通,并将第二电压信号提供至输出单元的第一输出端,输出单元的第二输出端保持为第一电平;在第三期间,移位电压信号为第一电平,节点电位控制器输出的电压为第二电平,第四晶体管的栅极信号为第二电平,第四晶体管导通,并将第一电压信号提供至输出单元的第一输出端,在第三期间,输出单元的第二输出端输出第二电平。

[0012] 第六方面,本申请实施例还提供了一种移位寄存器的驱动方法,包括:在第一期间,移位电压信号为第二电平,节点电位控制器输出的电压为第一电平;第一时钟信号在第一期间开始时保持为第二电平直至第一期间结束之前跳变为第一电平,使得第十晶体管和第十一晶体管在第一期间结束前截止,第二时钟信号为第二电平,使得第三晶体管导通,并将第一电压信号提供至输出单元的第一输出端,输出单元的第二输出端输出第一电平,第一晶体管导通,第三时钟信号为高电平,第十三晶体管导通,从而将第二电压信号提供至输出单元的第三输出端;在第二期间,移位电压信号变为第一电平,节点电位控制器输出的电压保持为第一电平,第一晶体管的栅极信号为第一电平,第一晶体管导通,第二时钟信号为第一电平,第二晶体管的栅极信号为第一电平,第二晶体管导通,并将第二电压信号提供至输出单元的第一输出端,输出单元的第二输出端保持为第一电平,第三时钟信号为低电平,

第十四晶体管导通,从而将第一电压信号提供至输出单元的第三输出端;在第三期间,移位电压信号为第一电平,节点电位控制器输出的电压为第二电平,第四晶体管的栅极信号为第二电平,第四晶体管导通,并将第一电压信号提供至输出单元的第一输出端,输出单元的第二输出端输出第二电平,第十五晶体管栅极电压为低电平,第十五晶体管导通,从而将第一电压信号提供至输出单元的第三输出端。

[0013] 本申请实施例提供的方案,避免了时钟信号驱动可能造成的信号延迟和短路功耗,提高了移位寄存器中各移位寄存单元的输出信号的负载驱动能力。

[0014] 在本申请一些实施例的移位寄存器中的移位寄存单元中,可以输出多个驱动信号,在输出的驱动信号数量相同的前提下,减小了电子元件的数量,从而节省了移位寄存单元所占的空间面积,利于显示装置的窄边框化的实现。

[0015] 在本申请的一些实现方式中,通过设置第一时钟信号的上跳沿或下降沿与移位电压信号的上跳沿或下降沿之间的时间差,可以避免节点电压控制器中的晶体管之间的寄生电容与节点电压之间的电荷分享,使得节点电压控制器输出的节点电压更加稳定。

附图说明

[0016] 通过阅读参照以下附图所作的对非限制性实施例所作的详细描述,本申请的其它特征、目的和优点将会变得更明显:

[0017] 图1示出了现有技术中的移位寄存单元的电路结构示意图;

[0018] 图2示出了本申请的移位寄存单元的一实施例的电路结构示意图;

[0019] 图3示出了本申请的移位寄存单元的另一实施例的电路结构示意图;

[0020] 图4示出了本申请的移位寄存单元的再一实施例的电路结构示意图;

[0021] 图5示出了本申请的移位寄存单元的又一实施例的电路结构示意图;

[0022] 图6示出了本申请一个实施例的移位寄存器的示意性结构图;

[0023] 图7示出了图2所示实施例的移位寄存单元的各信号的波形图;

[0024] 图8示出了图3所示实施例的移位寄存单元的各信号的波形图;

[0025] 图9示出了图4所示实施例的移位寄存单元的各信号的波形图;

[0026] 图10示出了图5所示实施例的移位寄存单元的各信号的波形图。

具体实施方式

[0027] 下面结合附图和实施例对本申请作进一步的详细说明。可以理解的是,此处所描述的具体实施例仅仅用于解释相关发明,而非对该发明的限定。另外还需要说明的是,为了便于描述,附图中仅示出了与发明相关的部分。

[0028] 需要说明的是,在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。下面将参考附图并结合实施例来详细说明本申请。

[0029] 参见图2所示,为本申请一实施例的移位寄存单元的电路结构示意图200。

[0030] 图2所示的移位寄存单元包括节点电位控制器210和输出单元220。

[0031] 节点电位控制器210用于在第一时钟信号端输入的第一时钟信号CK1和移位信号端输入的移位电压信号IN的控制下,基于第一电压输入端的第一电压信号VGH和第二电压输入端输入的第二电压信号VGL生成节点电压信号。图2中N1点的电压即为节点电压。

[0032] 输出单元220用于在节点电压信号和第二时钟信号端输入的第二时钟信号CK2的控制下,基于第一电压输入端的第一电压信号VGH和第二电压输入端输入的第二电压信号VGL生成移位寄存单元的第一输出信号OUT1。

[0033] 其中,输出单元210可包括第一反相器R1、第一晶体管M1、第二晶体管M2、第三晶体管M3和第四晶体管M4。

[0034] 第一反相器R1的输入端与节点电位控制器210的输出端连接。也即是说,第一反相器R1的输入端连接至节点N1。

[0035] 第一晶体管M1的栅极与第一反相器R1的输出端连接,第一晶体管M1的第一极连接至第二电压输入端,第一晶体管的第二极与第二晶体管M2的第一极连接。

[0036] 第二晶体管M2的栅极和第三晶体管M3的栅极与第二时钟信号端连接,第二晶体管M2的第二极和第三晶体管M3的第二极连接至输出单元220的第一输出端以输出第一输出信号OUT1。

[0037] 第三晶体管M3的第一极和第四晶体管M4的第一极连接至第一电压输入端,第四晶体管M4的第二极连接至第三晶体管M3的第二极。

[0038] 第四晶体管M4的栅极连接至第一反相器R1的输出端。

[0039] 在一些可选的实现方式中,第一晶体管M1、第二晶体管M2例如可以为NMOS晶体管。第三晶体管M3、第四晶体管M4例如可以为PMOS晶体管。第一电压输入端输入的第一电压信号的电压值(VGH)大于第二电压输入端输入的第二电压信号的电压值(VGL)。

[0040] 采用本实施例的移位寄存单元,输出单元210中的第二时钟信号CK2仅作为控制信号,用来控制第二晶体管M2和第三晶体管M3的导通和/或截止,而不作为驱动信号。取而代之的,以第一电压输入端提供的第一电压信号VGH和第二电压输入端提供的第二电压信号VGL来进行驱动。与CK2相比,VGH和VGL的驱动能力更强,可避免CK2驱动时造成的信号延迟和短路功耗,提高了移位寄存单元的输出信号的负载驱动能力。

[0041] 参见图3所示,为本申请另一实施例的移位寄存单元的电路结构示意图300。

[0042] 与图2所示的实施例相比,图3所示的实施例中,同样包括节点电位控制器310和输出单元320。与图2所示的实施例不同之处在于,图3所示的实施例进一步限定了节点电位控制器的结构。

[0043] 下面,将重点描述图3所示实施例与图2所示实施例的不同之处,而不再赘述图3所示实施例与图2所示实施例的相同之处。

[0044] 如图3所示,节点电位控制器310包括第一电容C1、第二反相器R2、第五晶体管M5、第六晶体管M6、第七晶体管M7和第八晶体管M8。

[0045] 其中,第五晶体管M5的栅极和第八晶体管M8的栅极连接至移位信号端以接收移位电压信号IN,第五晶体管的第一极连接至第一电压输入端以接收第一电压信号VGH。

[0046] 第二反相器R2的输入端与第一时钟信号端连接以接收第一时钟信号CK1,第二反相器R2的输出端与第六晶体管M6的栅极连接。

[0047] 第六晶体管M6的第一极与第五晶体管M5的第二极连接。

[0048] 第七晶体管M7的栅极连接至第一时钟信号端以接收第一时钟信号CK1,第七晶体管M7的第二极与第六晶体管M6的第二极连接至节点电位控制器310的输出端(即N1节点),第七晶体管M7的第一极与第八晶体管M8的第二极连接。

[0049] 第八晶体管M8的第一极连接至第二电压输入端以接收第二电压信号VGL。

[0050] 第一电容C1连接在第一电压输入端和第六晶体管M6的第二极之间。而由于第六晶体管M6的第二极连接至N1节点,因而第一电容C1的其中一端也连接至N1节点。

[0051] 在一些可选的实现方式中,第一晶体管M1、第二晶体管M2、第七晶体管M7和第八晶体管M8可以为NMOS晶体管。第三晶体管M3、第四晶体管M4、第五晶体管M5和第六晶体管M6可以为PMOS晶体管。第一电压输入端输入的第一电压信号的电压值(VGH)大于第二电压输入端输入的第二电压信号的电压值(VGL)。

[0052] 本实施例的移位寄存单元,通过采用驱动能力较强的第一电压信号VGH和第二电压信号VGL来向移位寄存单元提供输出,避免了时钟信号驱动可能造成的信号延迟和短路功耗,提高了移位寄存器中各移位寄存单元的输出信号的负载驱动能力。

[0053] 参见图4所示,为本申请再一实施例的移位寄存单元的电路结构示意图400。

[0054] 与图2所示的实施例相比,图4所示的实施例中,同样包括节点电位控制器410和输出单元420。与图2所示的实施例不同之处在于,图4所示的实施例进一步限定了节点电位控制器的结构,且图4所示的实施例中的节点电位控制器410的结构与图3所示的实施例中节点电位控制器310的结构不同。

[0055] 下面,将重点描述图4所示实施例与图2、图3所示实施例的不同之处,而不再赘述图4所示实施例与图2、图3所示实施例的相同之处。

[0056] 如图4所示,节点电位控制器410包括第二电容C2、第三反相器R3、第九晶体管M9、第十晶体管M10、第十一晶体管M11和第十二晶体管M12。

[0057] 其中,第九晶体管M9的栅极和第十二晶体管M12的栅极连接至移位信号端以接收移位电压信号IN。第九晶体管M9的第一极连接至第一电压输入端以接收第一电压信号VGH。

[0058] 第十晶体管M10的栅极连接至第一时钟信号端以接收第一时钟信号CK1,第十晶体管M10的第一极与第九晶体管M9的第二极连接。

[0059] 第三反相器R3的输入端与第一时钟信号端连接,且第三反相器R3的输出端与第十一晶体管M11的栅极连接。

[0060] 第十一晶体管M11的第二极与第十晶体管M10的第二极连接至节点电位控制器的输出端,即N1节点。

[0061] 第十二晶体管M12的第二极与第十一晶体管M11的第一极连接,第十二晶体管M12的第一极连接至第二电压信号输入端以接收第二电压信号VGL。

[0062] 第二电容C2连接在第一电压输入端和第十晶体管M10的第二极之间。而由于第十晶体管M10的第二极连接至N1节点,因而第二电容C2的其中一端也连接至N1节点。

[0063] 在一些可选的实现方式中,本实施例的移位寄存单元,还可以包括第四反相器R4。第四反相器R4的输入端与节点电位控制器410的输出端连接,第四反相器R4的输出端与第一反相器R1的输入端连接。

[0064] 本实施例的移位寄存单元,通过采用驱动能力较强的第一电压信号VGH和第二电压信号VGL来向移位寄存单元提供输出,避免了时钟信号驱动可能造成的信号延迟和短路功耗,提高了移位寄存器中各移位寄存单元的输出信号的负载驱动能力。

[0065] 在一些可选的实现方式中,本实施例的第一反相器R1的输出端还可以连接至输出单元420的第二输出端OUT2。

[0066] 这样一来,采用如图4所示实施例的移位寄存单元,可以生成两个输出信号(分别对应OUT1输出的第一输出信号和OUT2输出的第二输出信号),在输出信号数量相同的前提下,减小了电子元件的数量,从而节省了移位寄存单元所占的空间面积,利于显示装置的窄边框化的实现。

[0067] 在一些可选的实现方式中,第一晶体管M1、第二晶体管M2、第十一晶体管M11、第十二晶体管M12例如可以为NMOS晶体管。第三晶体管M3、第四晶体管M4、第九晶体管M9、第十晶体管M10例如可以为PMOS晶体管。第一电压输入端输入的第一电压信号的电压值(VGH)大于第二电压输入端输入的第二电压信号的电压值(VGL)。

[0068] 进一步参考图5所示,其示出了根据本申请的移位寄存单元的又一实施例的电路结构图500。

[0069] 与图4所示实施例的移位寄存单元相比,图5所示实施例的移位寄存单元中的输出单元520还包括第十三晶体管M13、第十四晶体管M14和第十五晶体管M15。

[0070] 其中,第十三晶体管M13和第十四晶体管M14的栅极连接至第三时钟信号端以接收第三时钟信号CK3,第十三晶体管M13的第一极连接至第一晶体管M1的第二极。

[0071] 第十四晶体管M14的第二极与第十三晶体管M13的第二极连接,第十四晶体管M14的第一极连接至第一电压输入端以接收第一电压信号VGH。

[0072] 第十五晶体管M15的栅极与第一反相器R1的输出端连接,第十五晶体管M15的第一极连接至第一电压输入端以接收第一电压信号VGH。第十五晶体管M15的第二极连接至第十三晶体管M13的第二极和输出单元520的第三输出端OUT3。

[0073] 可选的,第一晶体管、第二晶体管、第十一晶体管、第十二晶体管和第十三晶体管为NMOS晶体管。第三晶体管、第四晶体管、第九晶体管、第十晶体管、第十四晶体管和第十五晶体管为PMOS晶体管。第一电压输入端输入的第一电压信号的电压值(VGH)大于第二电压输入端输入的第二电压信号的电压值(VGL)。

[0074] 本实施例的移位寄存单元,通过采用驱动能力较强的第一电压信号VGH和第二电压信号VGL来向移位寄存单元提供输出,避免了时钟信号驱动可能造成的信号延迟和短路功耗,提高了移位寄存器中各移位寄存单元的输出信号的负载驱动能力。

[0075] 此外,与图4所示的实施例相比,图5所示的实施例仅增加了三个晶体管(即第十三晶体管M13、第十四晶体管M14和第十五晶体管M15)便增加了一路输出信号OUT3,在输出信号数量相同的前提下,电子元件的使用数量较小,从而节省了移位寄存单元所占的空间面积,利于显示装置的窄边框化的实现。

[0076] 参见图6所示,为本申请一个实施例的移位寄存单元的示意性结构图600。

[0077] 移位寄存器600包括第0级~第N-1级的N个级联的移位寄存单元 $R_0 \sim R_{N-1}$,其中,N为整数,且 $N > 1$ 。

[0078] 其中,第i级移位寄存单元的移位信号端接收第i-1级移位寄存单元的节点电位控制器输出信号的反相信号(例如,如图2~图5所示的NEXT信号),其中,i为整数,且 $1 \leq i \leq N-1$ 。

[0079] 需要说明的是,尽管图6中每个移位寄存单元 $R_0 \sim R_{N-1}$ 仅示意性地示出了一个输出信号OUT[0]~OUT[N-1],然而在实际应用场景中,每个移位寄存单元可以具有一个输出信号,也可以具有超过一个的输出信号。

[0080] 下面,将结合图7~图10来分别描述用于驱动包含如图2~图5所示移位寄存单元的移位寄存器的驱动方法。

[0081] 首先,参见图7所示,为图2所示实施例的移位寄存单元的各信号的波形图700。

[0082] 在T1期间,移位电压信号IN为第一电平,节点电位控制器输出的N1点的电压为第二电平。在此期间,第二时钟信号CK2为第二电平,使得第三晶体管导通,并将第一电压信号VGH提供至输出单元的第一输出端OUT1。

[0083] 在T2期间,移位电压信号IN变为第二电平,节点电位控制器输出的N1点的电压保持为第二电平。在此期间,第二时钟信号CK2为第一电平,第二晶体管M2的栅极信号为第一电平,第二晶体管M2导通,并将第二电压信号VGL提供至输出单元的第一输出端OUT1。

[0084] 在T3期间,移位电压信号IN保持为第二电平,节点电位控制器输出的N1点的电压为第一电平。在此期间,第四晶体管M4的栅极信号为第二电平,因此,第四晶体管M4导通,并将第一电压信号VGH提供至输出单元的第一输出端OUT1。

[0085] 从如上描述的驱动方法中可以看出,第二时钟信号CK2仅作为控制信号,用来控制第二晶体管M2和第三晶体管M3的导通和/或截止,而不作为驱动信号。取而代之的,以第一电压输入端提供的第一电压信号VGH和第二电压输入端提供的第二电压信号VGL来进行驱动。与CK2相比,VGH和VGL的驱动能力更强,可避免CK2驱动时造成的信号延迟和短路功耗,提高了移位寄存单元的输出信号的负载驱动能力。

[0086] 在一些可选的实现方式中,例如,第一电平为高电平,第二电平为低电平。

[0087] 参见图8所示,为图3所示实施例的移位寄存单元的各信号的波形图800。

[0088] 在T1期间,移位电压信号IN为第一电平,第一时钟信号CK1在T1期间开始时保持为第一电平直至T1期间结束之前跳变为第二电平,使得第六晶体管M6和第七晶体管M7在T1期间结束之前截止。节点电位控制器输出的N1点的电压为第二电平。在此期间,第二时钟信号CK2为第二电平,使得第三晶体管导通,并将第一电压信号VGH提供至输出单元的第一输出端OUT1。

[0089] 在T2期间,移位电压信号IN变为第二电平,节点电位控制器输出的N1点的电压保持为第二电平。在此期间,第一晶体管M1的栅极为第一电平,第一晶体管M1导通,第二时钟信号CK2为第一电平,第二晶体管M2的栅极信号为第一电平,第二晶体管M2导通,并将第二电压信号VGL提供至输出单元的第一输出端OUT1。

[0090] 在T3期间,移位电压信号IN为第二电平,节点电位控制器输出的N1点的电压为第一电平。在此期间,第四晶体管M4的栅极信号为第二电平,因此,第四晶体管M4导通,并将第一电压信号VGH提供至输出单元的第一输出端OUT1。

[0091] 从如上所述的驱动方法可以看出,通过采用驱动能力较强的第一电压信号VGH和第二电压信号VGL来向移位寄存单元提供输出,避免了时钟信号驱动可能造成的信号延迟和短路功耗,提高了移位寄存器中各移位寄存单元的输出信号的负载驱动能力。

[0092] 在一些可选的实现方式中,第一电平例如可以为高电平,第二电平可以为低电平。

[0093] 结合图3所示,在T1期间,CK1先保持为高电平,此时,第六晶体管M6和第七晶体管M7开启,此外,移位电压信号IN为高电平,因此,第八晶体管M8开启,从而将第二电压输入端的第二电压信号VGL(低电平)提供至N1节点。此外,由于CK1在T1期间结束之前跳变为第二电平(低电平),在T1期间CK1跳变为第二电平时,第六晶体管M6和第七晶体管M7截止。由于

第六晶体管M6截止,避免了第五晶体管M5和第六晶体管M6之间存在的寄生电容与N1点电位之间的电荷分享,使得N1点的电位更加稳定。

[0094] 此外,在T1期间,第二时钟信号CK2为低电平,第三晶体管M3的栅极信号为低电平,第三晶体管M3导通,并将第一电压信号(VGH)提供至输出单元的第一输出端OUT1。

[0095] 接着,在T2期间,CK1保持为低电平,移位电压信号IN为低电平,第五晶体管M5开启,第六晶体管M6、第七晶体管M7和第八晶体管M8均截止,使得N1点的电压保持为低电平。

[0096] 此外,在T2期间,由于N1点的电压保持为低电平,第一晶体管M1的栅极信号为高电平,第一晶体管M1开启;第二时钟信号CK2为高电平,第二晶体管M2的栅极信号为高电平,第二晶体管M2导通,第二电压信号VGL经过第一晶体管M1提供至输出单元的第一输出端OUT1。

[0097] 接着,在T3期间,移位电压信号IN为低电平,第一时钟信号CK1为高电平,第五晶体管M5、第六晶体管M6第七晶体管M7导通,第八晶体管M8截止,节点电位控制器输出的N1点的电压为高电平。在此期间,第四晶体管M4的栅极信号为低电平,因此,第四晶体管M4导通,并将第一电压信号(VGH)提供至输出单元的第一输出端OUT1。

[0098] 采用图8所示的IN信号和CK1信号的波形,由于在T1期间CK1的下降沿早于IN信号的下降沿,避免了如图3所示的移位寄存单元中第五晶体管M5和第六晶体管M6之间的寄生电容与N1点电压的电荷分享,使得N1点的电压更加稳定。

[0099] 参见图9所示,为图4所示实施例的移位寄存单元的各信号的波形图900。

[0100] 在T1期间,移位电压信号IN为第二电平,节点电位控制器输出的N1点的电压为第一电平。第一时钟信号CK1在T1期间开始时保持为第二电平直至T1期间结束之前跳变为第一电平,使得第十晶体管M10和第十一晶体管M11在T1期间结束前截止。在此期间,第二时钟信号CK2为第二电平,使得第三晶体管导通,并将第一电压信号VGH提供至输出单元的第一输出端OUT1。此外,由于输出单元的第二输出端OUT2与第一反相器R1的输出连接,因此,在T1期间,输出单元的第二输出端OUT2输出第一电平。

[0101] 在T2期间,移位电压信号IN变为第一电平,节点电位控制器输出的N1点的电压保持为第一电平。在此期间,第一晶体管M1的栅极信号为第一电平,第一晶体管M1导通,第二时钟信号CK2为第一电平,第二晶体管M2的栅极信号为第一电平,第二晶体管M2导通,并将第二电压信号(VGL)提供至输出单元的第一输出端OUT1。此外,由于输出单元的第二输出端OUT2与第一反相器R1的输出连接,因此,在T2期间,输出单元的第二输出端OUT2保持为第一电平。

[0102] 在T3期间,移位电压信号IN为第一电平,节点电位控制器输出的N1点的电压为第二电平。在此期间,第四晶体管M4的栅极信号为第二电平,因此,第四晶体管M4导通,并将第一电压信号(VGH)提供至输出单元的第一输出端OUT1。此外,由于输出单元的第二输出端OUT2与第一反相器R1的输出连接,因此,在T3期间,输出单元的第二输出端OUT2输出第二电平。

[0103] 从如上所述的驱动方法可以看出,通过采用驱动能力较强的第一电压信号VGH和第二电压信号VGL来向移位寄存单元提供输出,避免了时钟信号驱动可能造成的信号延迟和短路功耗,提高了移位寄存器中各移位寄存单元的输出信号的负载驱动能力。此外,采用如上所述的驱动方法,可以在仅增加少量晶体管的前提下,提供更多的驱动信号,利于显示装置的窄边框化的实现。

[0104] 在一些可选的实现方式中,第一电平例如可以是高电平,第二电平例如可以是低电平。

[0105] 结合图4所示,在T1期间,移位电压信号IN为低电平,第一时钟信号CK1在T1开始时保持为低电平,第九晶体管M9、第十晶体管M10和第十一晶体管M11导通,第十二晶体管M12截止。第一电压信号VGH经第九晶体管M9和第十晶体管M10提供至节点电位控制器输出的N1点的电压。在此期间,第二时钟信号CK2为低电平,使得第三晶体管M3导通,并将第一电压信号VGH提供至输出单元的第一输出端OUT1。此外,由于输出单元的第二输出端OUT2与第一反相器R1的输出连接,因此,在T1期间,输出单元的第二输出端OUT2输出高电平。

[0106] 此外,由于第一时钟信号CK1在第T1期间结束之前跳变为高电平,而当第一时钟信号CK1跳变时,移位电压信号IN维持低电平,此时,第九晶体管M9保持导通而第十晶体管M10、第十一晶体管M11变为截止,这样一来第十一晶体管M11和第十二晶体管M12之间的寄生电容不会与N1点电位发生电荷分享,从而可使得N1点的电位更加稳定。

[0107] 在T2期间,移位电压信号IN变为高电平,第一时钟信号CK1为高电平,第十二晶体管M12导通而第九晶体管M9、第十晶体管M10和第十一晶体管M11截止,使得节点电位控制器输出的N1点的电压保持为高电平。在此期间,第一晶体管M1的栅极信号为高电平,第一晶体管M1导通,同时第二时钟信号CK2为高电平,第二晶体管M2的栅极信号为高电平,第二晶体管M2导通,并将第二电压信号(VGL)提供至输出单元的第一输出端OUT1。此外,由于输出单元的第二输出端OUT2与第一反相器R1的输出连接,因此,在T2期间,输出单元的第二输出端OUT2保持为高电平。

[0108] 在T3期间,移位电压信号IN为高电平,第一时钟信号CK1为低电平,此时,第十晶体管M10、第十一晶体管M11和第十二晶体管M12导通,第九晶体管M9截止,第二电压信号(VGL)提供至节点电位控制器输出的N1点。在此期间,第四晶体管M4的栅极信号为低电平,因此,第四晶体管M4导通,并将第一电压信号(VGH)提供至输出单元的第一输出端OUT1。此外,由于输出单元的第二输出端与第一反相器R1的输出连接,因此,在T3期间,输出单元的第二输出端OUT2输出低电平。

[0109] 参见图10所示,为图5所示实施例的移位寄存单元的各信号的波形图1000。

[0110] 在T1期间,移位电压信号IN为第二电平,节点电位控制器输出的N1点的电压为第一电平。第一时钟信号CK1在T1期间开始时保持为第二电平直至T1期间结束之前跳变为第一电平,使得第十晶体管M10和第十一晶体管M11在T1期间结束前截止。在此期间,第二时钟信号CK2为第二电平,使得第三晶体管导通,并将第一电压信号VGH提供至输出单元的第一输出端OUT1。此外,由于输出单元的第二输出端OUT2与第一反相器R1的输出连接,因此,在T1期间,输出单元的第二输出端OUT2输出第一电平。此外,在T1期间,由于第一晶体管M1导通,同时,第三时钟信号CK3为高电平,第十三晶体管M13导通,从而将第二电压信号(VGL)提供至输出单元的第三输出端OUT3。

[0111] 在T2期间,移位电压信号IN变为第一电平,节点电位控制器输出的N1点的电压保持为第一电平。在此期间,第一晶体管M1的栅极信号为第一电平,第一晶体管M1导通,第二时钟信号CK2为第一电平,第二晶体管M2的栅极信号为第一电平,第二晶体管M2导通,并将第二电压信号(VGL)提供至输出单元的第一输出端OUT1。此外,由于输出单元的第二输出端OUT2与第一反相器R1的输出连接,因此,在T2期间,输出单元的第二输出端OUT2保持为第一

电平。此外,在T2期间,第三时钟信号CK3为低电平,第十四晶体管M14导通,从而将第一电压信号(VGH)提供至输出单元的第三输出端OUT3。

[0112] 在T3期间,移位电压信号IN为第一电平,节点电位控制器输出的N1点的电压为第二电平。在此期间,第四晶体管M4的栅极信号为第二电平,因此,第四晶体管M4导通,并将第一电压信号(VGH)提供至输出单元的第一输出端OUT1。此外,由于输出单元的第二输出端OUT2与第一反相器R1的输出连接,因此,在T3期间,输出单元的第二输出端OUT2输出第二电平。此外,在T3期间,第十五晶体管M15栅极电压为低电平,第十五晶体管M15导通,从而将第一电压信号(VGH)提供至输出单元的第三输出端OUT3。

[0113] 从如上所述的驱动方法可以看出,通过采用驱动能力较强的第一电压信号VGH和第二电压信号VGL来向移位寄存单元提供输出,避免了时钟信号驱动可能造成的信号延迟和短路功耗,提高了移位寄存器中各移位寄存单元的输出信号的负载驱动能力。此外,采用如上所述的驱动方法,可以在仅增加少量晶体管的前提下,提供更多的驱动信号,利于显示装置的窄边框化的实现。

[0114] 在一些可选的实现方式中,第一电平例如可以是高电平,第二电平例如可以是低电平。

[0115] 结合图5所示,在T1期间,移位电压信号IN为低电平,第一时钟信号CK1在T1开始时保持为低电平,第九晶体管M9、第十晶体管M10和第十一晶体管M11导通,第十二晶体管M12截止。第一电压信号VGH经第九晶体管M9和第十晶体管M10提供至节点电位控制器输出的N1点的电压。在此期间,第二时钟信号CK2为低电平,使得第三晶体管M3导通,并将第一电压信号VGH提供至输出单元的第一输出端OUT1。此外,由于输出单元的第二输出端OUT2与第一反相器R1的输出连接,因此,在T1期间,输出单元的第二输出端OUT2输出高电平。此外,由于N1点为高电平,第一晶体管M1导通,同时,第三时钟信号CK3为高电平,第十三晶体管M13导通,从而将第二电压信号(VGL)提供至输出单元的第三输出端OUT3。

[0116] 此外,由于第一时钟信号CK1在第T1期间结束之前跳变为高电平,而当第一时钟信号CK1跳变时,移位电压信号IN维持低电平,此时,第九晶体管M9保持导通而第十晶体管M10、第十一晶体管M11变为截止,这样一来第十一晶体管M11和第十二晶体管M12之间的寄生电容不会与N1点电位发生电荷分享,从而可使得N1点的电位更加稳定。

[0117] 在T2期间,移位电压信号IN变为高电平,第一时钟信号CK1为高电平,第十二晶体管M12导通而第九晶体管M9、第十晶体管M10和第十一晶体管M11截止,使得节点电位控制器输出的N1点的电压保持为高电平。在此期间,第一晶体管M1的栅极信号为高电平,第一晶体管M1导通,同时第二时钟信号CK2为高电平,第二晶体管M2的栅极信号为高电平,第二晶体管M2导通,并将第二电压信号(VGL)提供至输出单元的第一输出端OUT1。此外,由于输出单元的第二输出端OUT2与第一反相器R1的输出连接,因此,在T2期间,输出单元的第二输出端OUT2保持为高电平。此外,在T2期间,第三时钟信号CK3为低电平,第十四晶体管M14导通,从而将第一电压信号(VGH)提供至输出单元的第三输出端OUT3。

[0118] 在T3期间,移位电压信号IN为高电平,第一时钟信号CK1为低电平,此时,第十晶体管M10、第十一晶体管M11和第十二晶体管M12导通,第九晶体管M9截止,第二电压信号(VGL)提供至节点电位控制器输出的N1点。在此期间,第四晶体管M4的栅极信号为低电平,因此,第四晶体管M4导通,并将第一电压信号(VGH)提供至输出单元的第一输出端OUT1。此外,由

于输出单元的第二输出端与第一反相器R1的输出连接,因此,在T3期间,输出单元的第二输出端OUT2输出低电平。此外,在T3期间,N1点变为低电平,第十五晶体管M15栅极电压为低电平,第十五晶体管M15导通,从而将第一电压信号(VGH)提供至输出单元的第三输出端OUT3。

[0119] 以上描述仅为本申请的较佳实施例以及对所运用技术原理的说明。本领域技术人员应当理解,本申请中所涉及的发明范围,并不限于上述技术特征的特定组合而成的技术方案,同时也应涵盖在不脱离所述发明构思的情况下,由上述技术特征或其等同特征进行任意组合而形成的其它技术方案。例如上述特征与本申请中公开的(但不限于)具有类似功能的技术特征进行互相替换而形成的技术方案。

100

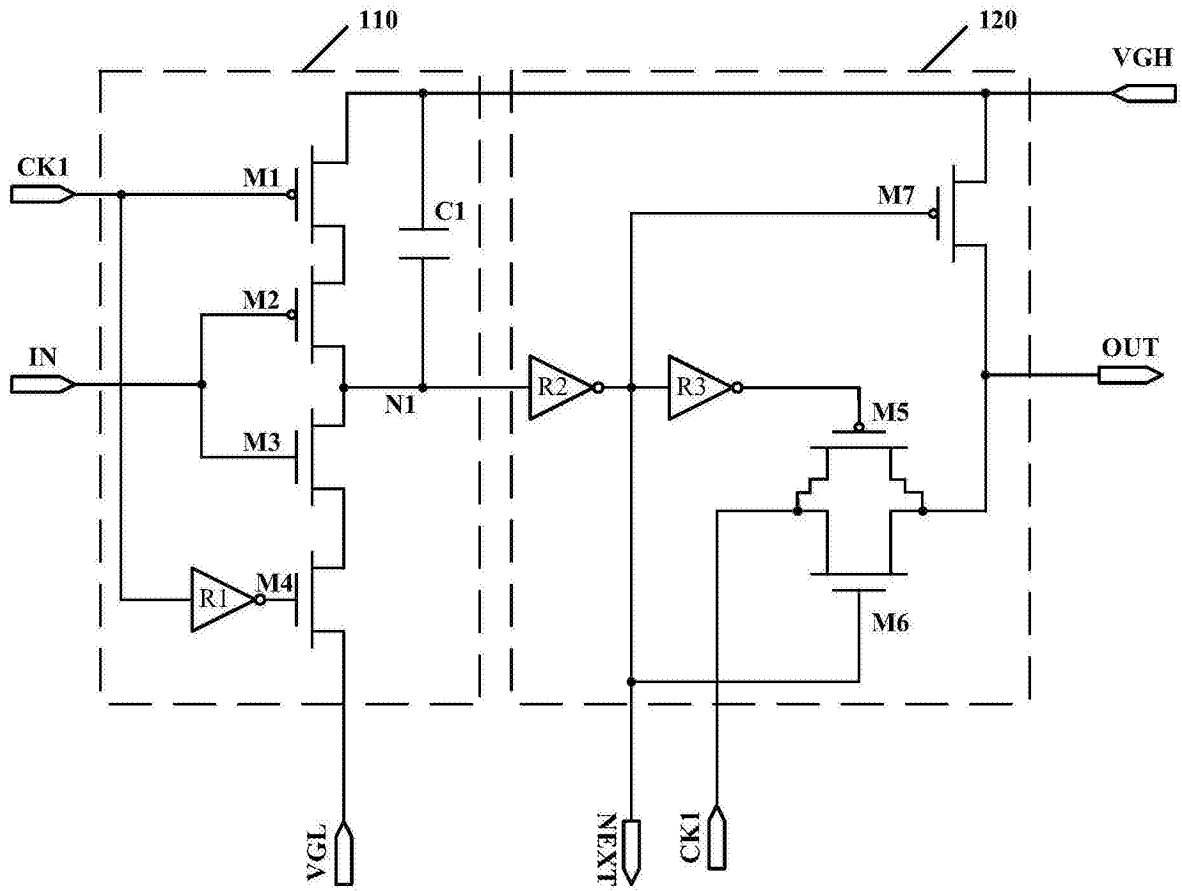


图1

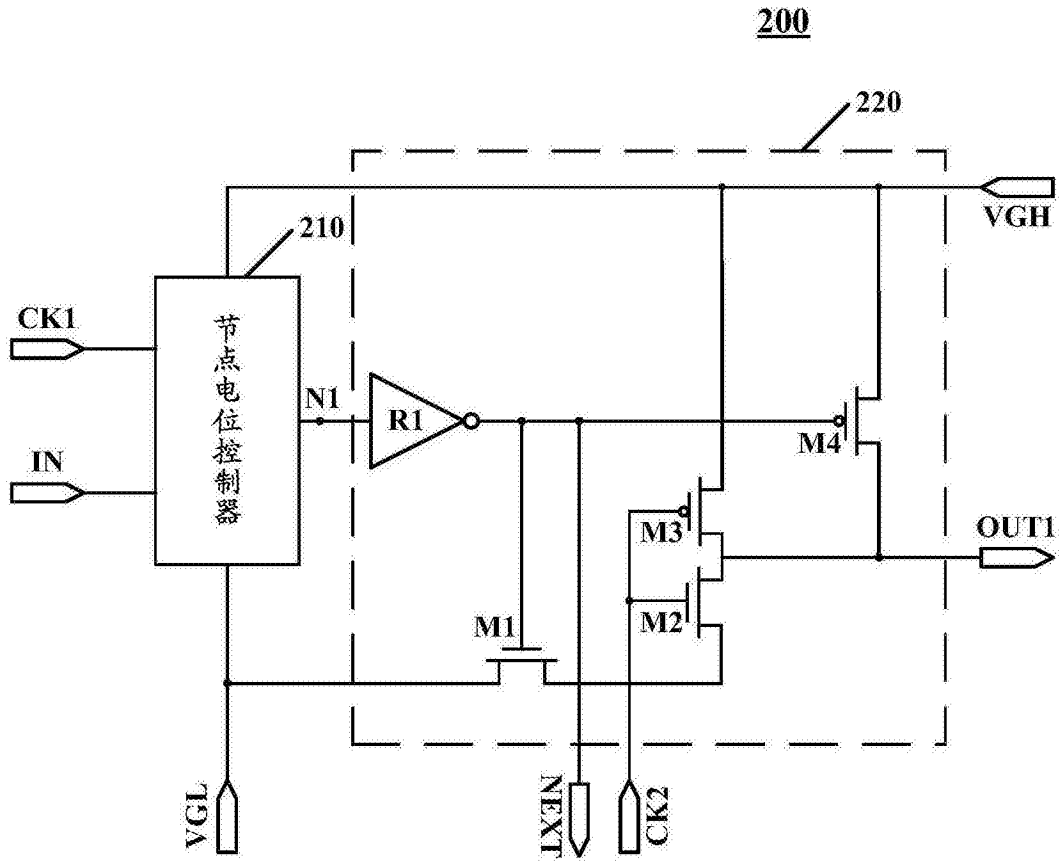


图2

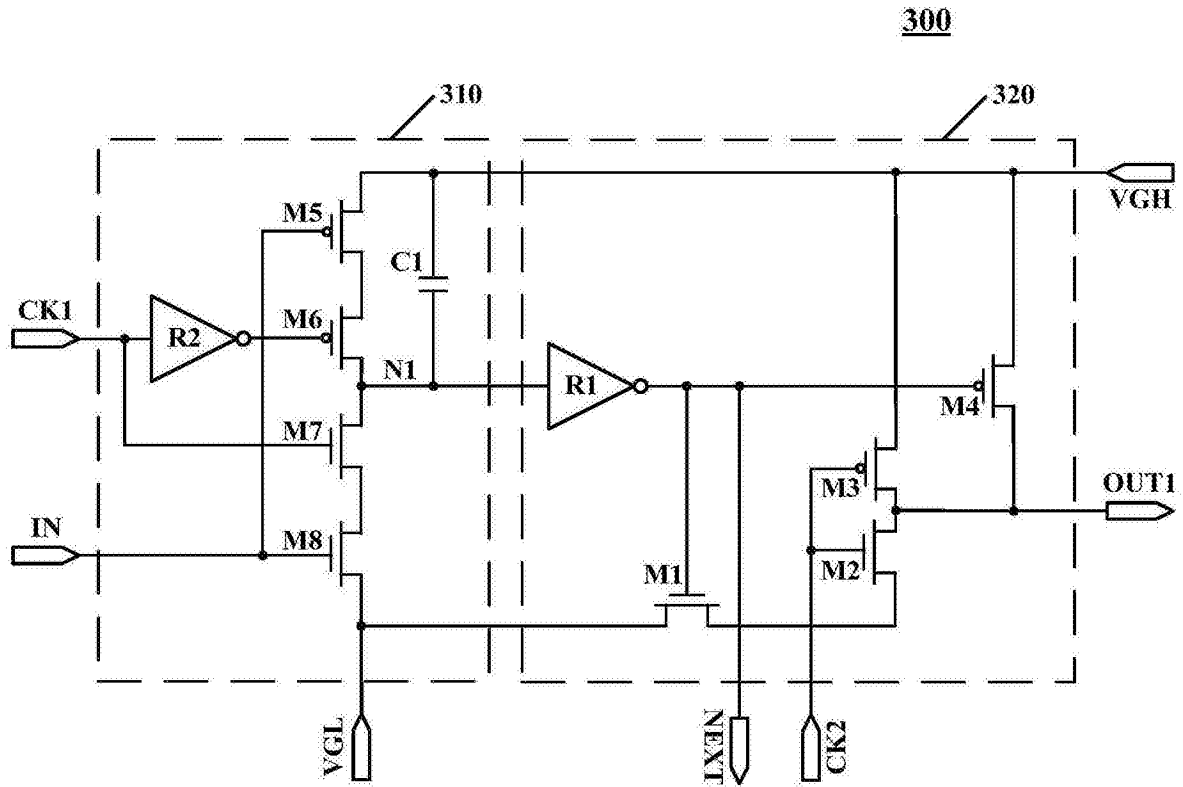


图3

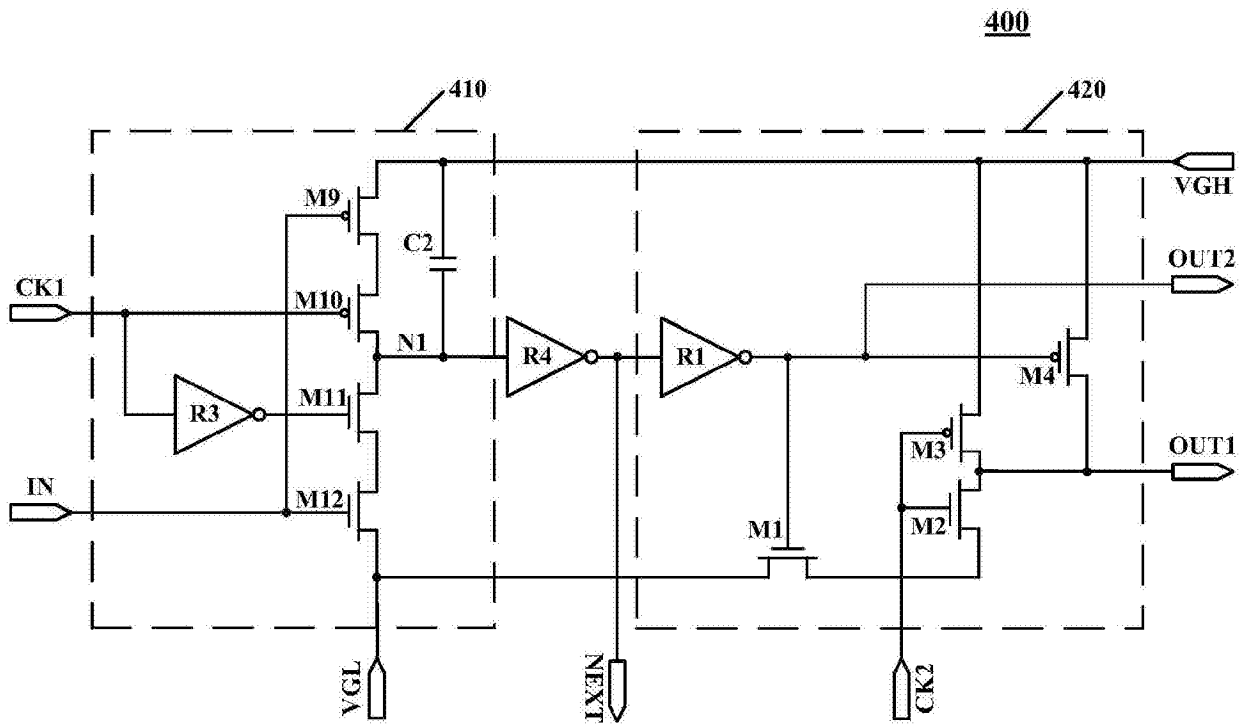


图4

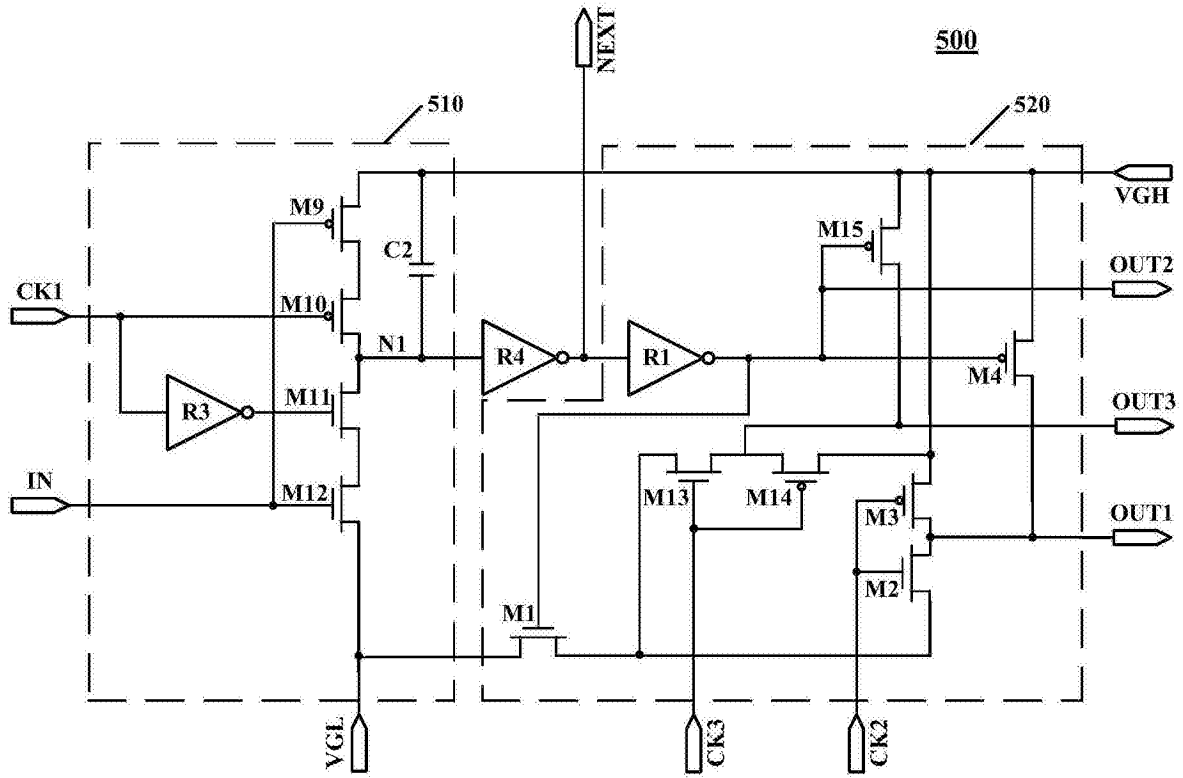


图5

600

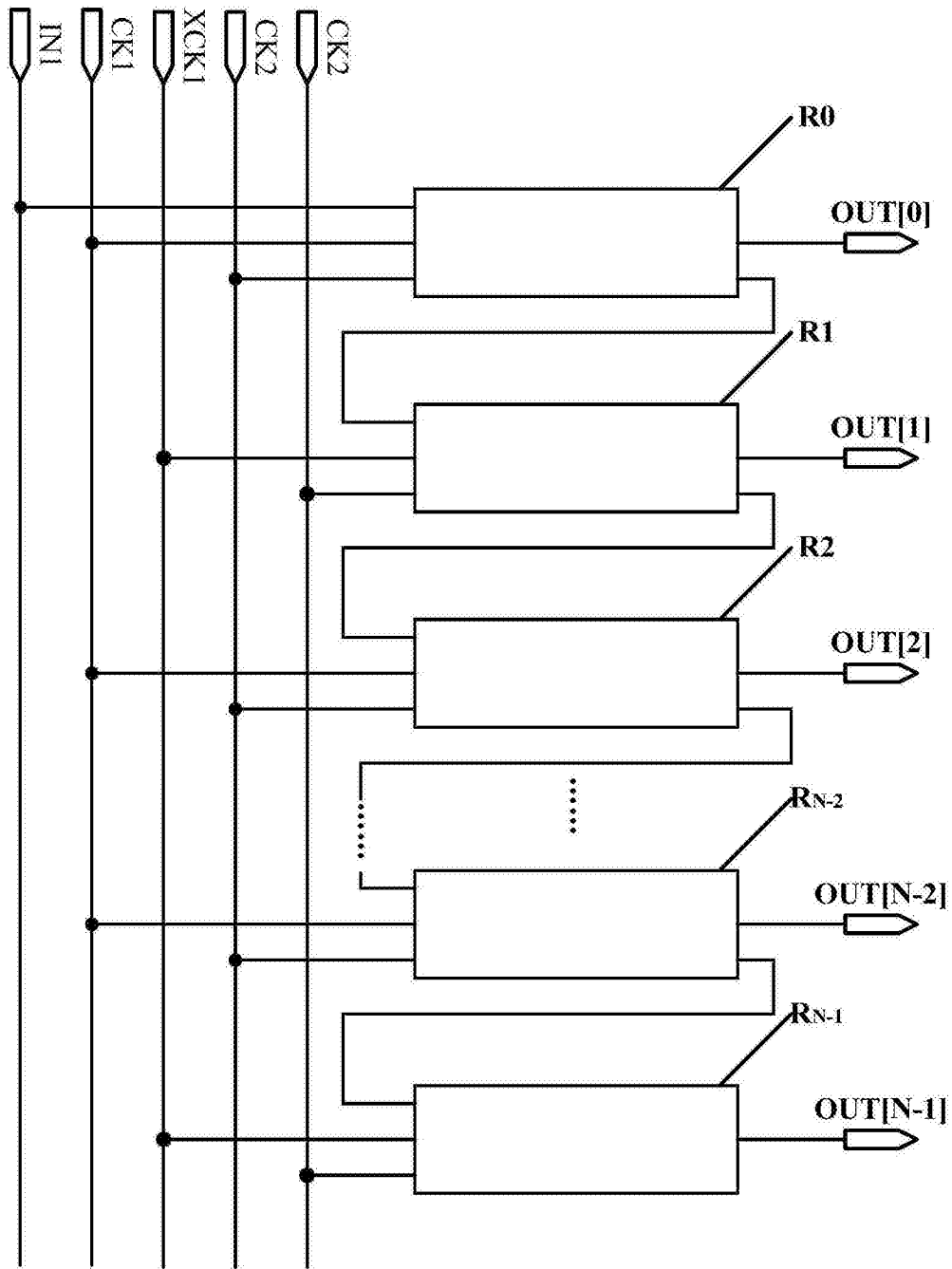


图6

700

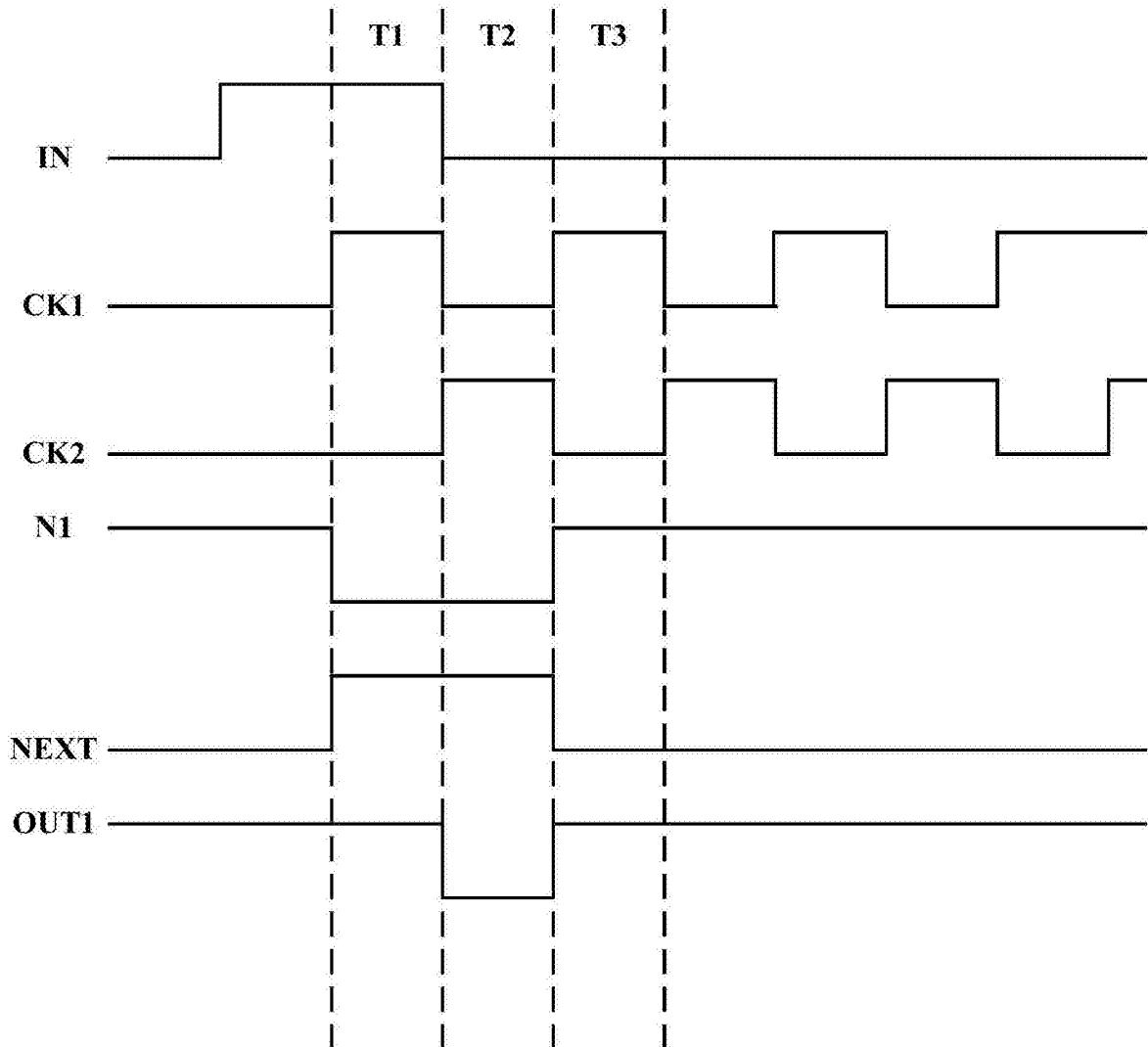


图7

800

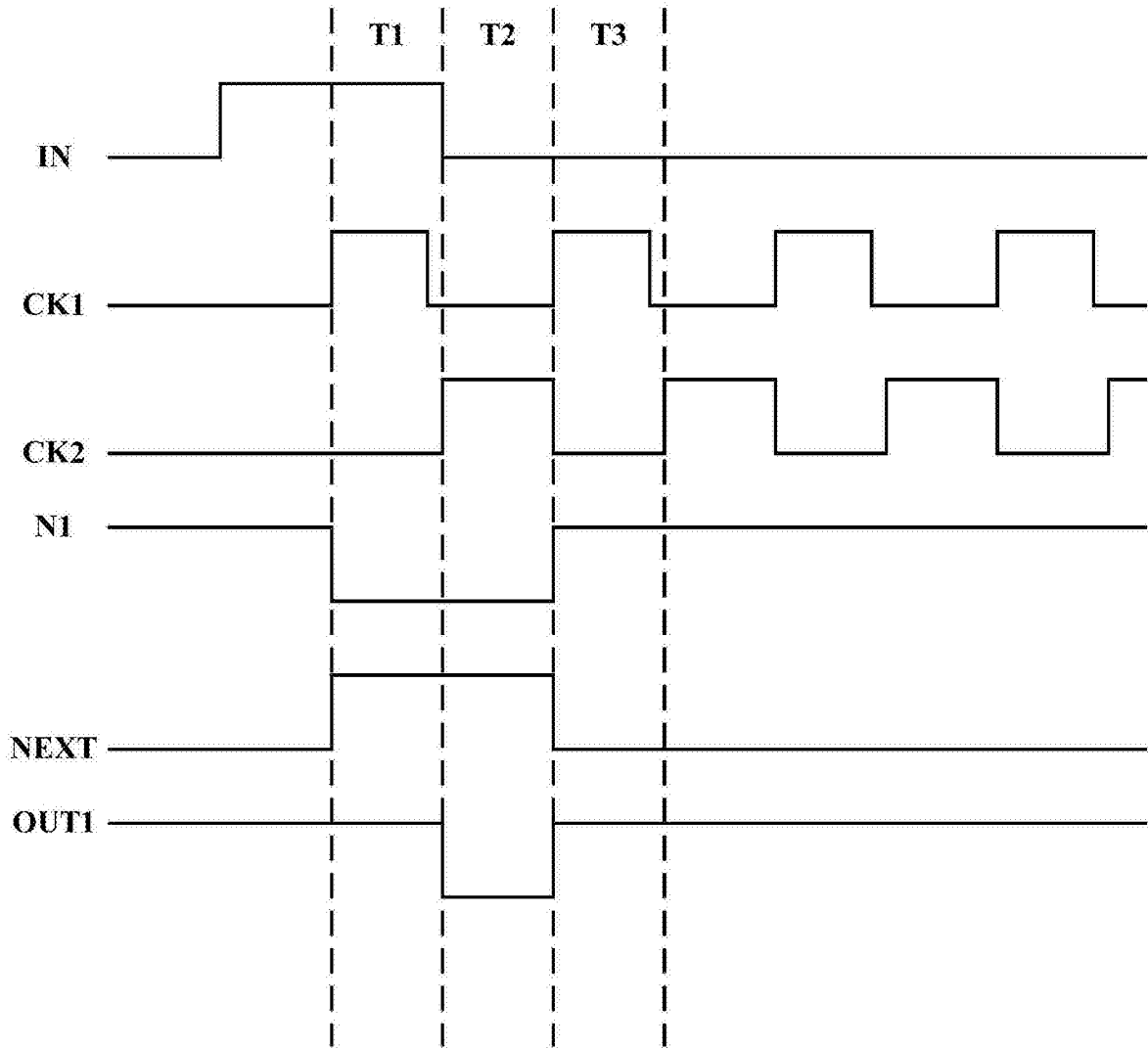


图8

900

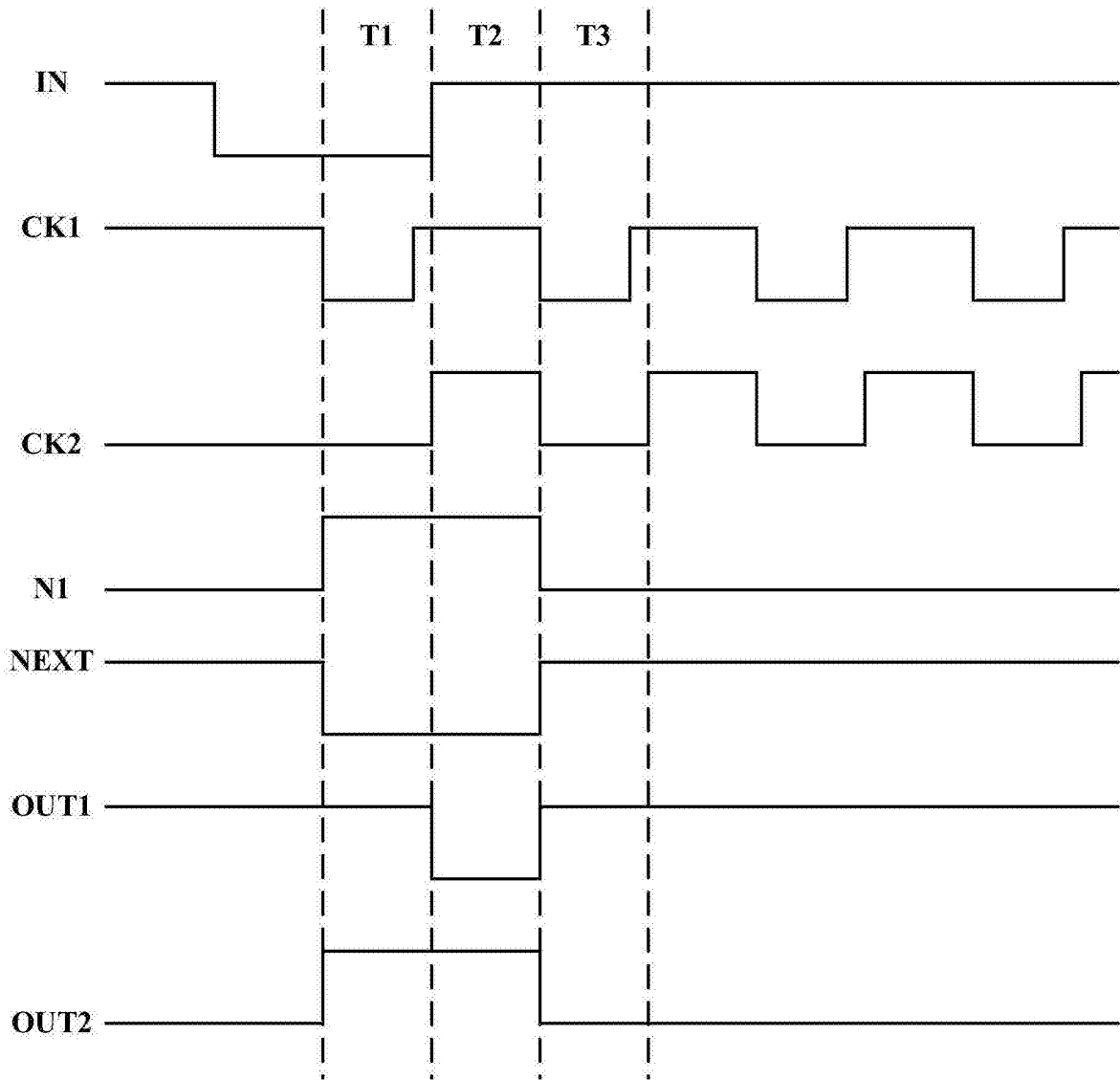


图9

1000

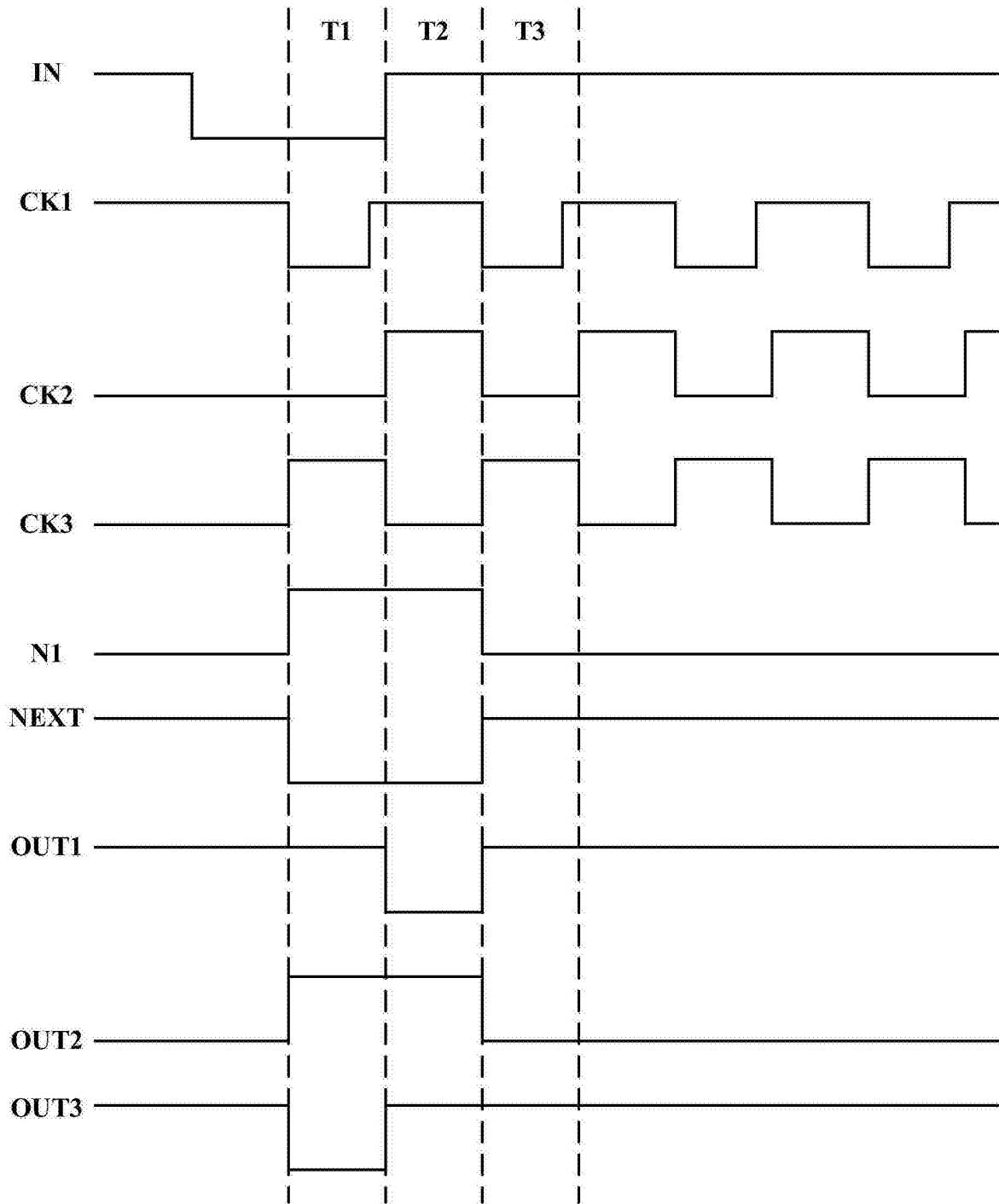


图10