

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200780008903.2

[51] Int. Cl.

H03K 17/04 (2006.01)

H02M 1/08 (2006.01)

H03K 17/687 (2006.01)

H03K 19/0175 (2006.01)

[43] 公开日 2009年4月1日

[11] 公开号 CN 101401307A

[22] 申请日 2007.11.30

[21] 申请号 200780008903.2

[30] 优先权

[32] 2006.12.6 [33] JP [31] 329435/2006

[86] 国际申请 PCT/JP2007/073181 2007.11.30

[87] 国际公布 WO2008/069129 日 2008.6.12

[85] 进入国家阶段日期 2008.9.12

[71] 申请人 罗姆股份有限公司

地址 日本京都府

[72] 发明人 柳岛大辉

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 朱进桂

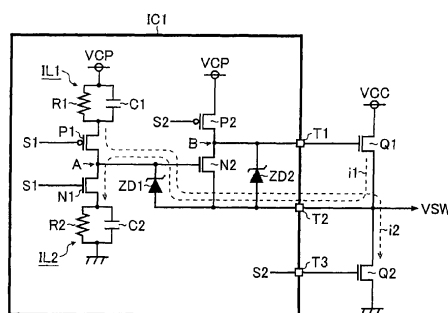
权利要求书 2 页 说明书 8 页 附图 3 页

[54] 发明名称

驱动器电路和使用该驱动器电路的半导体装置

[57] 摘要

本发明的驱动器电路包括：开关元件对 (P1, N1)，串联连接在接地端子和施加有升压电压 VCP 的升压电压施加端子之间；和箝位元件 ZD1，连接在开关元件对之间的节点 A 和输出端子 T2 之间，驱动器电路根据从开关元件对之间的节点 A 得到的电压信号，驱动连接在输出端子 T2 和施加有电源电压 VCC 的电源电压 VCC 施加端子之间的 N 沟道输出晶体管 Q1。这里，将由相互并联的电阻和电容形成的电流控制部 (IL1, IL2) 插入在开关元件对之间的节点 A 和升压电压 VCP 施加端子之间的电流路径、以及在开关元件对之间的节点 A 和接地端子之间的电流路径中的至少一个中。



1、一种驱动器电路，包括：

开关元件对，串联连接在接地端子和升压电压施加端子之间，所述升压电压施加端子上施加有高于电源电压的升压电压；以及

箝位元件，连接在所述开关元件对之间的节点与输出端子之间，

所述驱动器电路根据从所述开关元件对之间的节点得到的电压信号，驱动连接在所述输出端子与施加有电源电压的电源电压施加端子之间的N沟道输出晶体管，

其中

通过相互并联连接电阻和电容形成的电流控制部插入在所述开关元件对之间的节点与所述升压电压施加端子之间的电流路径、以及在所述开关元件对之间的节点与所述接地端子之间的电流路径中的至少一个电流路径中。

2、根据权利要求1所述的驱动器电路，其中所述箝位元件是齐纳二极管。

3、根据权利要求2所述的驱动器电路，其中所述开关元件对包括：第一P沟道场效应晶体管，其源极与所述升压电压施加端子连接；以及第一N沟道场效应晶体管，其源极与所述接地端子连接，并且其漏极与所述第一P沟道场效应晶体管的漏极连接。

4、根据权利要求3所述的驱动器电路，还包括：

第二P沟道场效应晶体管，其源极与所述升压电压施加端子连接；以及

第二N沟道场效应晶体管，其源极与所述输出端子连接，其漏极与所述第二P沟道场效应晶体管的漏极连接，并且其栅极与所述第一P沟道场效应晶体管和所述第一N沟道场效应晶体管之间的节点连接，

其中

所述驱动器电路输出从所述第二P沟道场效应晶体管和所述第二N沟道场效应晶体管之间的节点得到的电压信号，作为所述输出晶体管的栅极信号。

5、一种半导体装置，其中根据权利要求1到4中任一项所述的驱动器电路形成为集成电路。

驱动器电路和使用该驱动器电路的半导体装置

技术领域

本发明涉及用于驱动N沟道输出晶体管的驱动器电路和使用这种驱动器电路的半导体装置。

背景技术

下面列出的专利文献1公开并提出了一种用于向下一级高电压操作装置提供从低电压摆幅输入信号产生的高电压摆幅输出信号的高电压驱动器电路，作为用于驱动输出晶体管的驱动器电路的相关现有技术的示例，如图3所示，该高电压驱动器电路具有：高耐压晶体管对，由串联在两个电源电压线VDD和GND之间的第一和第二互补高耐压晶体管M1和M2形成，第二高耐压晶体管M2的控制电极连接到输入端子Vi，第一和第二高耐压晶体管M1和M2之间的节点连接到输出端子Vo；连接在高耐压晶体管对的控制电极之间的电容C；连接在电源电压线VDD和第一高耐压晶体管M1的控制电极之间的电压限制装置（晶体管M3和M4），用于箝制控制电极的电势，其中第一高耐压晶体管M1连接到所述电源电压线VDD。

专利文献 1：JP-A-H11-68534

发明内容

本发明要解决的问题

确实，采用上述现有高电压驱动器电路，可以同时实现高速开关和较低功耗。

然而，上述现有技术是排他性地以采用P沟道场效应晶体管作为上侧（即，VDD侧）高耐压晶体管M1为前提而设计的，因此不能应用在用于驱动N沟道场效应晶体管的驱动器电路中。

考虑到上面的问题，提出了本发明，本发明的目的是提供一种驱动器装置，其中在驱动N沟道输出晶体管时能够同时实现高速开关和较低功耗，并且提供一种使用这种驱动器装置的半导体装置。

解决问题的手段

为了达到以上目的，根据本发明的一个方面，一种驱动器电路，包括：开关元件对，串联连接在接地端子和升压电压施加端子之间，所述升压电压施加端子上施加有高于电源电压的升压电压；以及箝位元件，连接在所述开关元件对之间的节点与输出端子之间。所述驱动器电路根据从所述开关元件对之间的节点得到的电压信号，驱动连接在所述输出端子与施加有电源电压的电源电压施加端子之间的N沟道输出晶体管。这里，通过相互并联连接电阻和电容形成的电流控制部插入在所述开关元件对之间的节点与所述升压电压施加端子之间的电流路径、以及在所述开关元件对之间的节点与所述接地端子之间的电流路径中的至少一个电流路径中（第一配置）。

根据本发明，箝位元件优选地是齐纳二极管（第二配置）。

根据本发明，优选地，在具有上述第二配置的驱动器电路中，开关元件对包括：第一P沟道场效应晶体管，其源极与所述升压电压施加端子连接；以及第一N沟道场效应晶体管，其源极与所述接地端子连接，并且漏极与所述第一P沟道场效应晶体管的漏极连接（第三配置）。

根据本发明，优选地，具有上述第三配置的驱动器电路还包括：第二P沟道场效应晶体管，其源极与所述升压电压施加端子连接；以及第二N沟道场效应晶体管，其源极与所述输出端子连接，漏极与所述第二P沟道场效应晶体管的漏极连接，并且栅极与所述第一P沟道场效应晶体管和所述第一N沟道场效应晶体管之间的节点连接。这里，所述驱动器电路输出从所述第二P沟道场效应晶体管和所述第二N沟道场效应晶体管之间的节点得到的电压信号，作为所述输出晶体管的栅极信号（第四配置）。

根据本发明的另一方面，一种半导体装置具有形成为集成电路的以上配置1到4中任一种的驱动器电路（第五配置）。

本发明的有益效果

采用本发明的驱动器电路，可以在驱动N沟道输出晶体管时同时实现高速开关和较低功耗。

附图说明

图1是示出了实现本发明的驱动器装置的电路图；

图2A是示出了响应于控制信号S1和S2的开关电压VSW的行为的时序图（无电容C1和C2）；

图2B是示出了响应于控制信号S1和S2的开关电压VSW的行为的时序图（有电容C1和C2）；以及

图3是示出了现有高电压驱动器电路的示例的电路图。

附图标记列表

IC1	半导体装置
P1, P2	P沟道场效应晶体管
N1, N2	N沟道场效应晶体管
ZD1, ZD2	齐纳二极管（箝位元件）
IL1, IL2	电流限制部
R1, R2	电阻
C1, C2	电容
T1	外部端子（上侧栅极控制端子）
T2	外部端子（输出端子）
T3	外部端子（下侧栅极控制端子）
Q1	N沟道场效应晶体管（上侧输出晶体管）
Q2	N沟道场效应晶体管（下侧输出晶体管）
VCC	电源电压
VCP	升压电压

具体实施方式

图1是示出了实现本发明的驱动器装置的电路图。

半导体装置C1具有形成为集成电路的本发明的驱动器电路，并且对连接到外部端子T1到T3的N沟道场效应晶体管Q1和Q2（上侧和下侧输出晶体管）的互补开关操作进行驱动。

应当理解，本说明书中使用的术语“互补”不仅包括晶体管Q1的导通/截止和晶体管Q2的导通/截止彼此精确地相反发生的情况，而且也包括从防止直通（through）电流的角度使晶体管Q1的导通/截止的发生相对于晶体管Q2的截止有预定延迟。

在半导体装置IC1中，将下列元件设置到集成电路中作为本发明的驱动器电路的组件：P沟道场效应晶体管P1和P2，N沟道场效应晶体管N1和N2，齐纳二极管ZD1和ZD2（箝位元件）和电流限制部IL1和IL2。电流限制部IL1是通过将电阻R1和电容C1相互并联而形成的，电流限制部IL2是通过将电阻R2和电容C2相互并联而形成的。

晶体管P1的源极经由电流限制部IL1与升压电压VCP施加端子连接，在升压电压VCP施加端子上施加有升压电压VCP（其电平为例如40V）。晶体管N1的源极经由电流限制部IL2连接到接地端子。晶体管P1和N1的漏极相互连接。晶体管P1和N1的栅极都连接到被施加有控制信号S1的控制信号S1施加端子。

晶体管P2的源极连接到升压电压VCP施加端子。晶体管P2的漏极连接到外部端子T1。晶体管P2的栅极连接到被施加有控制信号S2的控制信号S2施加端子。晶体管N2的漏极连接到外部端子T1。晶体管N2的源极连接到外部端子T2。晶体管N2的栅极连接到晶体管P1和N1之间的节点A。

齐纳二极管ZD1的阴极连接到晶体管N2的栅极。齐纳二极管ZD1的阳极连接到晶体管N2的源极。齐纳二极管ZD2的阴极连接到外部端子T1。齐纳二极管ZD2的阳极连接到外部端子T2。

上述的齐纳二极管ZD1和ZD2分别将晶体管N2和Q1的栅极—源极电压箝制在比晶体管N2和Q1各自的耐压（典型地，15到20V）低的电平上（约5到10V）。

在半导体装置IC1的外部，晶体管Q1的漏极连接到被施加有电源电

压VCC（其电平为例如30V）的电源电压VCC施加端子。晶体管Q2的源极连接到接地端子。晶体管Q1的源极和晶体管Q2的漏极相互连接，两者的节点连接到负载（未示出），以作为输出开关电压VSW的开关电压VSW输出端子，并且该节点也连接到外部端子T2。晶体管Q1的栅极连接到外部端子T1；也就是，从晶体管P2和N2之间的节点B得到的电压信号被馈送到晶体管Q1，作为晶体管Q1的栅极信号。晶体管Q2的栅极经由外部端子T3连接到控制信号S2施加端子。

接下来，将给出如上述配置的驱动器电路的基本操作的详细描述。

当控制信号S1变为高电平时，晶体管P1截止，晶体管N1导通。相应地，节点A处的电压降低至低电平，并且晶体管N2截止。另一方面，当控制信号S2变为低电平时，晶体管P2导通。相应地，节点B处的电压升高至高电平，并且晶体管Q1导通。而且，响应于控制信号S2的电平变为低，晶体管Q2截止。结果，从晶体管Q1和Q2之间节点得到的开关电压VSW升高至高电平。

与上述情况相反，当控制信号S1变为低电平时，晶体管P1导通，晶体管N1截止。相应地，在节点A处的电压升高至高电平，并且晶体管N2导通。另一方面，当控制信号S2变为高电平时，晶体管P2截止。相应地，在节点B的电平降低至低电平，并且晶体管Q1截止。而且，响应于控制信号S2变为高电平，晶体管Q2导通。结果，从晶体管Q1和Q2之间节点得到的开关电压VSW降低至低电平。

这样，本实施例的驱动器电路根据控制信号S1和S2对晶体管Q1和Q2的互补开关操作进行驱动。

接下来，将给出电流限制部IL1和IL2的功能的详细描述。

如已经描述的那样，在本实施例的驱动器电路中，作为箝位元件的齐纳二极管ZD1和ZD2分别插入在晶体管N2的栅极和源极之间以及晶体管Q1的栅极和源极之间，以分别保护晶体管N2和Q1的栅极。这样可以将晶体管N2和Q1的栅极—源极电压限制在等于或低于它们各自耐压的电平上，但是同时，电流流过路径i1和i2中的每个路径而将被浪费掉，这是不便的。

更具体地，当晶体管Q1导通时，晶体管N1导通，以使晶体管N2截

止，因此，电流从晶体管Q1开始，经由齐纳二极管ZD1流过路径i1，到达晶体管N1，并被浪费掉了。另一方面，当晶体管Q1截止时，晶体管P1导通，相应地节点A处的电平变为高电平（其接近于升压电压VCP）以导通晶体管N2，因此，发生齐纳二极管ZD1的击穿，电流从晶体管P1开始，经由齐纳二极管ZD1流过路径i2，到达晶体管Q2，并被浪费掉。

特别地，由于晶体管Q1和Q2是高耐压元件，即使少量的电流泄漏也可能导致大量的功率损失，而且，当这个驱动器电路应用到开关调整器（switching regulator）和类似装置时，即使少量的电流泄漏也会对输出电压有不良影响。

为了解决上述的不便，在本实施例的驱动器电路中，将电流限制部IL1和IL2分别插入到上述路径i1和i2中。

在只插入电阻R1和R2分别作为电流限制部IL1和IL2的情况下，电阻值设定得越高，存在于晶体管N2的栅极和源极之间的寄生电容的充电/放电时间越长；这减慢了晶体管N2的操作，因此，开关电压VSW对控制信号S1和S2的响应也减慢（见图2A）。如已经描述的那样，电流限制能力和操作速度之间存在权衡关系；如果电阻R1和R2的电阻值设定得较小以获得更高速的开关操作，则将不能完全防止电流的浪费。

相反地，本实施例中的驱动器电路具有分别与电阻R1和R2并联连接的电容C1和C2。采用上述并联的电容C1和C2，在开关时段期间（即，当对电容C1和C2充电/放电时），电流流过电容C1和C2，而在稳定时段期间（即，在对电容C1和C2充电/放电后），电流流过电阻R1和R2；因此，可以将开关时段期间的电流路径和稳定时段期间的电流路径彼此分离。这种分离的电流路径的效果是，即使电阻R1和R2的电阻值设定得较高，这些高电阻值在开关时段中也几乎没有影响，因此，开关电压VSW对控制信号S1和S2的响应几乎不减慢（见图2B）。

因此，通过本实施例的驱动器电路，可以在驱动N沟道输出晶体管Q1时同时获得高速开关和较低功耗。

对于电容C1和C2的电容值，考虑到晶体管N2中存在的寄生电容的电容值和电路的时间常数，可以适当地设定电容C1和C2的电容以能够获得需要的开关速度。例如，可以将电容C1和C2的电容设定为足够高的电

容值（大约5pF），以晶体管N1中存在的寄生电容（其电容值低于1pF）完全充电/放电。

对于电阻R1和R2的电阻值，可以适当地将它们设定为足够高的电阻（大约100k Ω ），以完全防止电流的浪费。

以上的实施例针对将本发明应用到用于驱动半桥（half bridge）的驱动器电路的情况，然而这不意味着对本发明的应用存在任何限制，本发明可以应用在用于驱动全桥的驱动器电路，或者应用在用于驱动构成开关调整器或类似装置的单个输出晶体管的驱动器电路。

本发明还可以通过除了以上作为实施例而专门描述的方式以外的其他任何方式实现，并且允许在任何其精神内的变化和修改。

例如，以上的实施例针对如下配置：晶体管N2由从节点A得到的电压信号驱动，并且通过由晶体管P2和N2形成的缓冲级，晶体管Q1由从节点B得到的电压信号驱动。但是这并不意味着对本发明的配置存在任何限制，晶体管Q1可由从节点A得到的电压信号直接驱动，或者，可以插入多于一个的上述缓冲级。

上述实施例针对晶体管Q1和Q2是从外部连接到半导体装置IC1的配置，但是这不意味着对本发明的配置存在任何限制，晶体管Q1和Q2可以结合在半导体装置IC1中。N沟道晶体管较优地作为晶体管Q1，因为N沟道晶体管的元件面积大约是P沟道晶体管元件面积的三分之一，这有利于将晶体管Q1设置到集成电路中。

以上的实施例针对将电流限制部IL1和IL2分别插入在晶体管P1和升压电压VCP施加端子之间以及晶体管N1和接地端子之间的情况，但是这不意味着对本发明的配置存在任何限制，电流限制部IL1和IL2可以分别插入在节点A和晶体管P1之间以及节点A和晶体管N1之间，或者仅插入电流限制部IL1和IL2中的一个。

根据以上描述显而易见，本发明的技术范围覆盖包括如下所有驱动器电路：包括在升压电压VCP施加端子和接地端子之间串联连接的开关元件对（P1，N1）、以及连接在开关元件对之间的节点A与输入端子T2之间的箝位元件ZD1，并根据从节点A得到的电压信号，驱动连接在电源电压VCC施加端子和输出端子T2之间的N沟道输出晶体管Q1，其中将

由并联的电阻和电容形成的电流限制部（IL1， IL2）插入到连接节点A和升压电压VCP施加端子的电流路径以及连接节点A和接地端子的电流路径中的至少一个中。

工业应用

本发明提供一种可应用于诸如打印机等高电压装置领域中用于驱动N沟道输出晶体管的驱动器电路的技术，这对于同时获得高速开关和较低功耗是有用的。

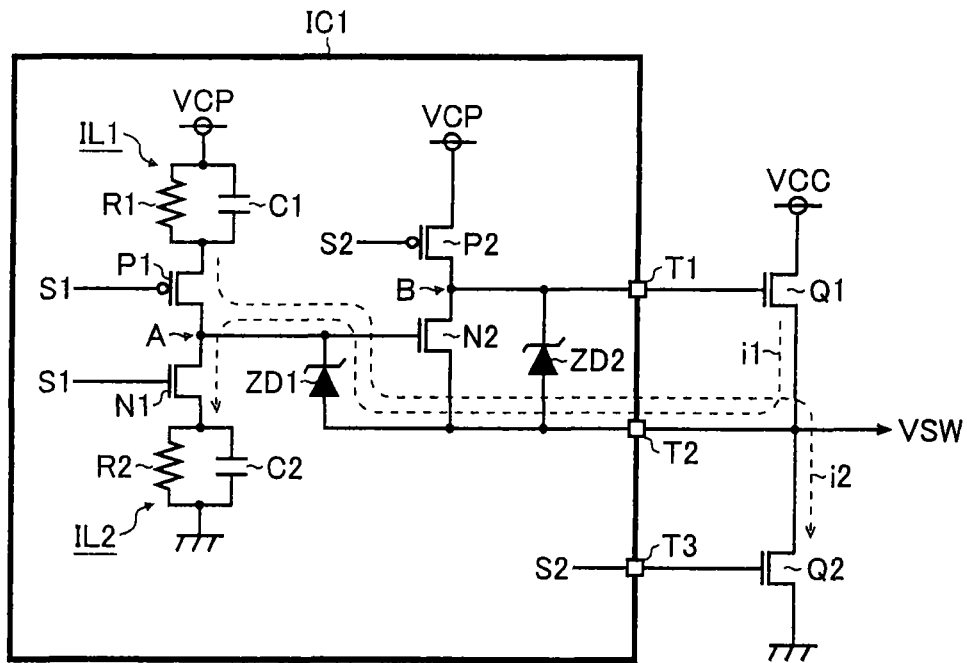


图 1

< 无 C1,C2 >

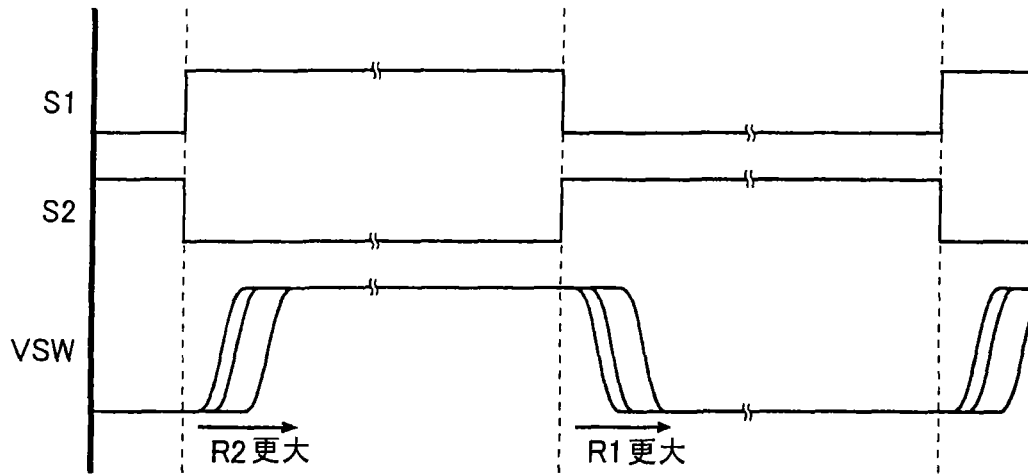


图 2 A

< 有 C1,C2 >

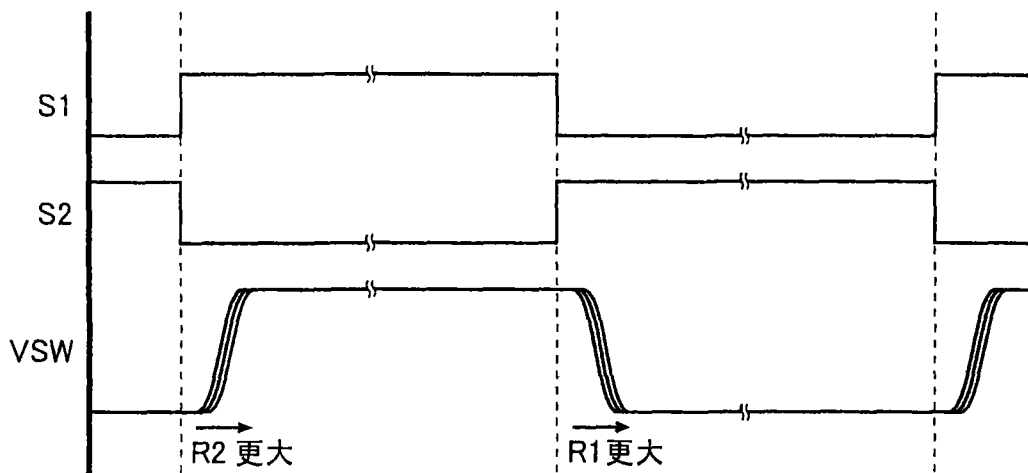


图 2 B

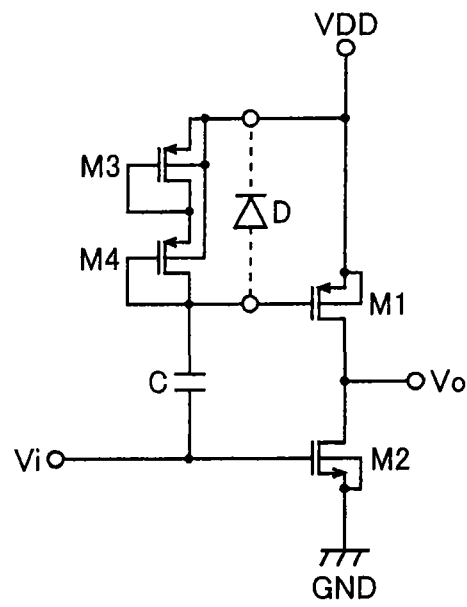


图 3