

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6429540号
(P6429540)

(45) 発行日 平成30年11月28日(2018.11.28)

(24) 登録日 平成30年11月9日(2018.11.9)

(51) Int.Cl.	F I				
HO 1 L 21/336 (2006.01)	HO 1 L	29/78	6 1 8 A		
HO 1 L 29/786 (2006.01)	HO 1 L	29/78	6 1 8 B		
HO 1 L 21/28 (2006.01)	HO 1 L	29/78	6 1 8 E		
HO 1 L 21/20 (2006.01)	HO 1 L	21/28	3 0 1 B		
HO 1 L 21/365 (2006.01)	HO 1 L	21/28	3 0 1 R		
請求項の数 1 (全 59 頁) 最終頁に続く					

(21) 出願番号 特願2014-181989 (P2014-181989)
 (22) 出願日 平成26年9月8日(2014.9.8)
 (65) 公開番号 特開2015-79945 (P2015-79945A)
 (43) 公開日 平成27年4月23日(2015.4.23)
 審査請求日 平成29年9月5日(2017.9.5)
 (31) 優先権主張番号 特願2013-190206 (P2013-190206)
 (32) 優先日 平成25年9月13日(2013.9.13)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 脇水 佳弘

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に、スパッタリング法によって結晶部を有する第1の酸化物半導体層を形成する工程と、

前記第1の酸化物半導体層上に、熱化学気相成長法によって、前記第1の酸化物半導体層を種結晶としてエピタキシャル成長させた領域を有する第2の酸化物半導体層を形成する工程と、

前記第1の酸化物半導体層を種結晶としてエピタキシャル成長させた領域に接するソース電極層及びドレイン電極層を形成する工程と、

前記ソース電極層及びドレイン電極層上にゲート絶縁層を形成する工程と、

前記ゲート絶縁層上にゲート電極層を形成する工程と、を有し、

前記第2の酸化物半導体層は、前記第1の酸化物半導体層よりも電子親和力が大きい領域を有する、ことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物、方法、または製造方法に関する。または、本発明は、プロセス、マシン、マニファクチャ、または組成物(コンポジション・オブ・マター)に関する。特に、本発明の一態様は、半導体装置またはその作製方法に関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。電気光学装置、画像表示装置（単に表示装置とも表記する）、半導体回路、発光装置、蓄電装置、記憶装置および電子機器は半導体装置を有する場合がある。

【背景技術】

【0003】

半導体層を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や表示装置のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体材料としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0004】

また、結晶性を有する酸化物半導体膜を形成することが検討されている。例えば、非特許文献1では、YSZ基板上に形成したZnOの単結晶薄膜上に、PLD法によりInGaO₃(ZnO)₅薄膜を形成し、その後1400で加熱処理することにより単結晶化が可能であることが開示されている。また、特許文献1では、基板上に第1の酸化物部材を形成し、第1の加熱処理を行って表面から内部に結晶成長して第1の酸化物結晶部材を形成した後、第1の酸化物結晶部材上に第2の酸化物部材を形成し、第2の加熱処理を行って第1の酸化物結晶部材を種として結晶成長させて第2の酸化物結晶部材を設け、トランジスタに用いる技術が開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2011-135064号公報

【非特許文献】

【0006】

【非特許文献1】Kenji Nomura et al., J. Appl. Phys. Vol. 95, p. 5532-5539 (2004)

【発明の概要】

【発明が解決しようとする課題】

【0007】

酸化物半導体を用いてトランジスタを作製する場合、酸化物半導体層に含まれる欠陥により、または欠陥と水素等の結合により膜中にキャリアが生じてしまい、トランジスタの電気特性が変化する恐れがある。

【0008】

そこで、本発明の一態様では、欠陥量の低減された酸化物半導体層を提供することを課題の一とする。または、本発明の一態様は、酸化物半導体を用いたトランジスタの信頼性を向上させることを課題の一とする。または、本発明の一態様は、酸化物半導体を用いた半導体装置などにおいて、電気特性を向上させることを課題の一とする。または、本発明の一態様は、新規な半導体装置などを提供することを課題の一とする。

【0009】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様はこれらの課題の全てを解決する必要はないものとする。また、上記以外の課題は、明細書等の記載から自ずと明らかになるものであり、明細書等の記載から上記以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0010】

酸化物半導体のキャリアの供給源の一つとして、酸素欠損が挙げられる。酸化物半導体に含まれる酸素欠損は、酸化物半導体のエネルギーギャップ内の深いエネルギー位置に存在する局在準位として顕在化する。このような局在準位にキャリアがトラップされることで、トランジスタのノーマリーオン化、リーク電流の増大、ストレス印加によるしきい値電圧の変動（シフト）など、電気特性の不良を引き起こす要因となる。よって、トランジス

10

20

30

40

50

タの信頼性を向上させるためには、酸化物半導体に含まれる酸素欠損を低減することが必要となる。

【0011】

酸化物半導体層の酸素欠損の形成要因の一つに、酸化物半導体層の成膜時のプラズマによる損傷がある。例えば、インジウムを含む酸化物半導体層の成膜に際してプラズマを使用する場合、プラズマによって酸化物半導体層が損傷して結合力の最も弱いIn-O-Inが切断され、酸素欠損を形成することがある。

【0012】

そこで、本発明の一態様では、チャンネルを形成する酸化物半導体層の成膜に、プラズマを使用しない成膜方法、例えば、熱化学気相成長(熱CVD、またはTCVD:Thermal Chemical Vapor Deposition)法等を適用することで、酸化物半導体層へのプラズマによる損傷を防止し、欠陥量の低減された酸化物半導体層を形成する。さらに、本発明の一態様では、スパッタリング法によって形成された結晶部を有する第1の酸化物半導体層を種結晶として用いて、当該第1の酸化物半導体層を熱CVD法によってエピタキシャル成長させた第2の酸化物半導体層をトランジスタのチャンネルに用いる。これによって、プラズマダメージが抑制され、且つ結晶性の高い酸化物半導体層をトランジスタのチャンネルに用いることが可能となる。

10

【0013】

より具体的には、例えば以下の作製方法とすることができる。

【0014】

本発明の一態様は、基板上に、スパッタリング法によって結晶部を有する第1の酸化物半導体層を形成し、第1の酸化物半導体層を種結晶としてエピタキシャル成長させた第2の酸化物半導体層を、熱化学気相成長法によって形成する半導体装置の作製方法である。

20

【0015】

また、本発明の一態様は、基板上に、スパッタリング法によって結晶部を有する第1の酸化物半導体層を形成し、第1の酸化物半導体層を種結晶としてエピタキシャル成長させた第2の酸化物半導体層を、有機金属気相成長法によって形成する半導体装置の作製方法である。

【0016】

また、本発明の一態様は、基板上にスパッタリング法によって結晶部を有する第1の酸化物半導体層を形成し、第1の酸化物半導体層を種結晶としてエピタキシャル成長させた第2の酸化物半導体層を、熱化学気相成長法によって形成し、第2の酸化物半導体層と電氣的に接続するソース電極層およびドレイン電極層を形成し、第2の酸化物半導体層と接するゲート絶縁層を形成し、ゲート絶縁層を介して第2の酸化物半導体層と対向するゲート電極層を形成する半導体装置の作製方法である。

30

【0017】

また、本発明の一態様は、基板上にゲート電極層を形成し、ゲート電極層に接するゲート絶縁層を形成し、ゲート絶縁層を介してゲート電極層と対向する位置に、スパッタリング法によって、結晶部を有する第1の酸化物半導体層を形成し、第1の酸化物半導体層を種結晶としてエピタキシャル成長させた第2の酸化物半導体層を、熱化学気相成長法によ

40

【0018】

上記の半導体装置の作製方法において、熱化学気相成長法として、有機金属気相成長法を適用することが好ましい。

【0019】

また、上記の半導体装置の作製方法において、第2の酸化物半導体層として、第1の酸化物半導体層よりも電子親和力が大きい領域を有する膜を形成することが好ましい。

【発明の効果】

【0020】

50

本発明の一態様により、欠陥量の低減された酸化物半導体層を提供することができる。または、本発明の一態様により、酸化物半導体を用いたトランジスタの信頼性を向上させることができる。または、本発明の一態様により、酸化物半導体を用いた半導体装置などにおいて、電気特性を向上させることができる。なお、本発明の一態様はこれらの効果に限定されるものではない。例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果以外の効果を有する場合もある。または、例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果を有さない場合もある。

【図面の簡単な説明】

【0021】

【図1】本発明の一態様の半導体装置の作製方法を説明する図。

10

【図2】本発明の一態様の半導体装置に含まれる酸化物半導体層のバンド構造を示す図。

【図3】本発明の一態様に係る半導体装置の製造装置を説明する図。

【図4】本発明の一態様に係るトランジスタを示す平面図および断面図。

【図5】本発明の一態様に係るトランジスタを示す平面図および断面図。

【図6】本発明の一態様に係るトランジスタを示す平面図および断面図。

【図7】本発明の一態様に係るトランジスタを示す平面図および断面図。

【図8】本発明の一態様に係る半導体装置の断面図および回路図。

【図9】本発明の一態様に係る記憶装置の回路図。

【図10】本発明の一態様に係るRFタグのブロック図。

【図11】本発明の一態様に係るRFタグの使用例を示す図。

20

【図12】本発明の一態様に係るCPUを示すブロック図。

【図13】本発明の一態様に係る記憶素子の回路図。

【図14】本発明の一態様に係る表示装置の構成を示す図および回路図。

【図15】本発明の一態様に係る電子機器を示す図。

【図16】本発明の一態様に係るトランジスタを示す断面図。

【図17】本発明の一態様に係るトランジスタを示す断面図。

【図18】本発明の一態様に係るトランジスタを示す断面図。

【図19】CAAC-OS層の断面におけるCs補正高分解能TEM像、およびCAAC-OS層の断面模式図。

【図20】CAAC-OS層の平面におけるCs補正高分解能TEM像。

30

【図21】CAAC-OS層および単結晶酸化物半導体のXRDによる構造解析を説明する図。

【図22】CAAC-OS層の電子回折パターンを示す図。

【図23】In-Ga-Zn酸化物の電子照射による結晶部の変化を示す図。

【図24】CAAC-OS層およびnc-OS層の成膜モデルを説明する模式図。

【図25】InGaZnO₄の結晶、およびペレットを説明する図。

【図26】CAAC-OS層の成膜モデルを説明する模式図。

【発明を実施するための形態】

【0022】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。また、以下に説明する実施の形態において、同一部分または同様の機能を有する部分には、同一の符号または同一のハッチパターンを異なる図面間で共通して用い、その繰り返しの説明は省略する。

40

【0023】

なお、本明細書で説明する各図において、各構成の大きさ、膜の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

50

【0024】

また、本明細書等にて用いる第1、第2、第3等の序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば「第1の」を「第2の」または「第3の」等と適宜置き換えて説明することができる。

【0025】

また、「ソース」や「ドレイン」の機能は、回路動作において電流の方向が変化する場
合などには適宜入れ替わることがある。このため、本明細書等においては、「ソース」や
「ドレイン」の用語は入れ替えて用いることができるものとする。

【0026】

また、本明細書等において、「上」や「下」という用語は、構成要素の位置関係が「直
上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁膜上のゲ
ート電極層」との表現であれば、ゲート絶縁膜とゲート電極層との間に他の構成要素を含
むものを除外しない。「下」についても同様である。

10

【0027】

本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配
置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「
略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう
。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状
態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは
、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

20

【0028】

また、本明細書等において、結晶が三方晶または菱面体晶である場合、六方晶系として
表す。

【0029】

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置に適用可能な酸化物半導体層の形成方
法について、図面を参照して説明する。

【0030】

本発明の一態様は、基板上にスパッタリング法によって形成された第1の酸化物半導体
層を種結晶として、エピタキシャル成長によって第2の酸化物半導体層を形成するもので
ある。ここで、第2の酸化物半導体層の形成には熱化学気相成長(熱CVD)法を適用す
る。熱CVD法は、膜の主成分となる材料の原料ガスをプラズマによって分解するプラズ
マCVD法と異なり、加熱された基板の上で原料ガスを熱によって分解するため、熱C
VD法によって成膜された第2の酸化物半導体層はプラズマによる損傷が防止され、欠陥量
が低減される。よって、当該第2の酸化物半導体層を例えばトランジスタのチャンネルに適
用することで、トランジスタの電気特性の変動を抑制することが可能である。

30

【0031】

なお、熱CVD法は、用いる原料ガスによって金属CVD(MCVD: Metal C
VD)法、有機金属CVD(MOCVD: Metal Organic CVD)法に分
けることができる。第1の酸化物半導体層および第2の酸化物半導体層として結晶部を有
する酸化物半導体層を形成するためには、膜の主成分となる有機金属を含むガスを分解し
て堆積させるMOCVD法を適用することが好ましい。ただし、ここでの有機金属を含む
ガスの分解には、熱による分解を適用するものとする。なお、第1の酸化物半導体層およ
び第2の酸化物半導体層の形成方法はこれに限られるものではなく、成膜時にプラズマダ
メージの発生が防止または抑制される形成方法を適宜用いることができる。例えば、原子
層堆積(ALD: Atomic Layer Deposition)法を適用してもよ
い。

40

【0032】

<酸化物半導体層を含む積層構造の形成方法>

以下では、本発明の一態様に係る酸化物半導体層の形成方法の例について、図1を参照

50

して説明する。

【0033】

まず、基板100を準備する。基板100は、少なくとも半導体装置の作製工程での加熱処理に耐えうる程度の耐熱性を有していれば、単結晶基板に限らずに適用することができる。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板、イットリア安定化ジルコニア(YSZ)基板、SOI基板、またはシリコン、炭化シリコン、窒化ガリウム、酸化ガリウムなどの半導体基板等を、適宜、基板100として用いることができる。

【0034】

基板100上に、第1の絶縁層102を形成する(図1(A)参照)。第1の絶縁層102は、基板100からの不純物の拡散を防止する役割を有する。また、後の工程で第1の絶縁層102上に形成される第1の酸化物半導体層または第2の酸化物半導体層に酸素を供給することができるように、第1の絶縁層102を、酸素を含む絶縁層、好ましくは化学量論的組成よりも多い酸素を含む絶縁層とすることが好ましい。

【0035】

第1の絶縁層102としては、例えば、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムまたは酸化タンタルを含む絶縁膜を、単層で、または積層で用いればよい。

【0036】

第1の絶縁層102の表面は平坦化されていてもよい。例えば、第1の絶縁層102にCMP(Chemical Mechanical Polishing)法等で平坦化処理を行ってもよい。CMP処理を行うことで、第1の絶縁層102の平均面粗さ(Ra)を1nm以下、好ましくは0.3nm以下、さらに好ましくは0.1nm以下とする。上述の数値以下のRaとすることで、後に形成される第1の酸化物半導体層104および/または第2の酸化物半導体層106の結晶性が向上する場合がある。Raは原子間力顕微鏡(AFM: Atomic Force Microscope)にて測定可能である。ただし、第1の絶縁層102は、必ずしも形成しなくてもよい。

【0037】

第1の絶縁層102は、スパッタリング法、CVD法、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法、原子層堆積法(ALD: Atomic Layer Deposition)法またはパルスレーザ堆積(PLD: Pulsed Laser Deposition)法等を用いて成膜すればよい。ただし、第1の絶縁層102中、または第1の絶縁層102上に形成される第1の酸化物半導体層、または第2の酸化物半導体層へのプラズマによる損傷(ダメージ)を低減するためには、熱CVD法を用いることが好ましい。

【0038】

または、基板100としてシリコン基板を用いた場合、第1の絶縁層102となる絶縁層を、熱酸化法によって形成してもよい。

【0039】

次いで、第1の絶縁層102上に、第1の酸化物半導体層104を形成する(図1(B)参照)。

【0040】

第1の酸化物半導体層104を構成する酸化物半導体としては、少なくともインジウム(In)または亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、第1の酸化物半導体層104を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザとして、それらに加えてガリウム(Ga)、スズ(Sn)、ハフニウム(Hf)、ジルコニウム(Zr)、チタン(Ti)、スカンジウム(Sc)、イットリウム(Y)、ランタノイド(例えば、セリウム(Ce)、ネオジウム(Nd)ガドリニウム(Gd))等から選ばれた一種、または複数種が含まれていることが好ましい。

10

20

30

40

50

【0041】

例えば、第1の酸化物半導体層104を構成する酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

10

【0042】

ここで、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0043】

または、第1の酸化物半導体層104を構成する酸化物半導体として、 $InMO_3 (ZnO)_m$ (MはAl、Ti、Ga、Y、Zr、La、Ce、Nd、またはHf、mは自然数)で表されるホモロガス化合物を適用することができる。

20

【0044】

第1の酸化物半導体層104は、スパッタリング法で形成することが好ましい。なお、第1の酸化物半導体層104をスパッタリング法で成膜する場合、パーティクル数低減のため、インジウムを含むターゲットを用いると好ましい。また、Mの原子数比が高い酸化物ターゲットを用いた場合、ターゲットの導電性が低くなる場合がある。インジウムを含むターゲットを用いる場合、ターゲットの導電率を高めることができ、DC放電、AC放電が容易となるため、大面積の基板へ対応しやすくなる。したがって、半導体装置の生産性を高めることができる。

30

【0045】

第1の酸化物半導体層104をスパッタリング法で成膜する場合、ターゲットの原子数比は、In:M:Znが3:1:1、3:1:2、3:1:4、2:2:1、1:1:1、1:1:2、1:1:3、1:1:4、1:1:5などとすればよい。なお、スパッタリング法によって得られる第1の酸化物半導体層104は、ターゲットの原子数比からずれた原子数比の膜が形成される場合がある。特に、亜鉛は、ターゲットの原子数比よりも膜の原子数比が小さくなる場合がある。具体的には、ターゲットに含まれる亜鉛の原子数比の40 atomic %以上90 atomic %程度以下となる場合がある。

【0046】

第1の酸化物半導体層104は、成膜により、または成膜後の加熱処理により結晶部を含む酸化物半導体層とする。好ましくは、被形成面の法線方向または第1の酸化物半導体層104の表面の法線方向に平行な方向にc軸が揃った結晶部を含む酸化物半導体層とする。スパッタリング法によって、結晶部を含む酸化物半導体層を形成する方法の例を以下に説明する。

40

【0047】

第1の例では、第1の酸化物半導体層104は、多結晶である酸化物半導体スパッタリングターゲットを用いて成膜する。当該スパッタリングターゲットにイオンが衝突すると、スパッタリングターゲットに含まれる結晶領域がab面から劈開し、ab面に平行な面を有する平板状またはペレット状のスパッタ粒子として剥離することがある。この場合、

50

当該平板状のスputタ粒子又はペレット状のスputタリング粒子が、結晶状態を維持したまま被成膜面に到達することで、結晶部を有する第1の酸化物半導体層104を成膜することができる。

【0048】

平板状のスputタ粒子又はペレット状のスputタリング粒子は、例えば、ab面に平行な面の円相当径が1nm以上100nm以下、1nm以上30nm以下、1nm以上10nm以下、または3nm以上10nm以下であって、厚さ(ab面に垂直な方向の長さ)が0.7nm以上1nm未満である。なお、平板状のスputタ粒子又はペレット状のスputタリング粒子は、ab面に平行な面が正三角形または正六角形であってもよい。ここで、面の円相当径とは、面の面積と等しい正円の直径をいう。

10

【0049】

なお、基板温度を100以上740以下として成膜することが好ましい。成膜時の基板温度を高めることで、平板状のスputタ粒子又はペレット状のスputタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スputタ粒子の平らな面が基板に付着する。このとき、スputタ粒子が正または負に帯電することで、スputタ粒子同士が反発しながら基板に付着するため、スputタ粒子が偏って不均一に重なることがなく、厚さの均一な第1の酸化物半導体層104とすることができる。一方、成膜雰囲気温度が高すぎると、ターゲットに含まれる亜鉛が昇華してしまうことがあるため、基板温度は、好ましくは200以上500以下、より好ましくは200以上350以下とする。

20

【0050】

また、成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度(水素、水、二酸化炭素および窒素など)を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が-80以下、好ましくは-100以下である成膜ガスを用いる。

【0051】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0052】

また、第2の例では、スputタリングターゲットとして、 $InMO_3(ZnO)_m$ (MはAl、Ti、Ga、Y、Zr、La、Ce、Nd、またはHf、mは自然数)で表されるホモガス化合物およびZnOの混晶であり、スputタリングターゲットの組成においてMに対するZnの原子数比が $(m+0.05)$ 以上 $(m+0.5)$ 以下となる酸化物ターゲットを適用し、第1の酸化物半導体層104を形成する。なお、ここではMとしてGaを適用した場合を例に説明する。すなわち、第1の酸化物半導体層104として、In-Ga-Zn酸化物層を形成するものとする。

30

【0053】

上述のスputタリングターゲットを用いた成膜において、スputタ粒子としては、亜鉛粒子、酸素粒子、酸化亜鉛粒子、In-Ga-Zn酸化物粒子等がある。ここで、用いるスputタリングターゲットはGaよりZnを多く含むため、基板上に亜鉛粒子、酸素粒子、または酸化亜鉛粒子が到達した後、In-Ga-Zn酸化物粒子が到達することがある。

40

【0054】

基板上に到達した亜鉛粒子および酸素粒子は基板上を移動し、六方晶の酸化亜鉛が基板上に形成される。酸化亜鉛はab面と平行な方向における結晶成長が速いため、基板温度が100以上、好ましくは150以上、より好ましくは200以上の場合、六方晶の酸化亜鉛は基板の表面と平行な方向(膜の面方向)に結晶成長する。結果、単結晶である六方晶の酸化亜鉛層、または単結晶領域を有する六方晶の酸化亜鉛層が形成される。成膜時の基板温度が高いほど、酸化亜鉛層の結晶性を向上させることができ、また、不純物

50

の混入を抑制することができるため、好ましい。ただし、酸化亜鉛は、減圧雰囲気において、600 以上で蒸発しやすいため、基板温度が600 以上であると、分離した酸化亜鉛層（第1の絶縁層102が露出する領域を有する酸化亜鉛層）が形成される場合がある。

【0055】

次に、スパッタ粒子として、In-Ga-Zn酸化物粒子が剥離し、六方晶の酸化亜鉛層上に、In-Ga-Zn酸化物粒子が堆積し、In-Ga-Zn酸化物粒子を含む層が形成される。スパッタリングターゲットから剥離したIn-Ga-Zn酸化物粒子は、断面における縦横比が異なり、縦より横が長い平板状または平坦状の塊（ペレット）である。さらには内角が全て120°の六角形（正六角形）または内角が全て60°の三角形（正三角形）の平行な2つの面を有することが好ましい。該ペレットは、例えば、六角形の面と結晶のab面とが平行である。また、ペレットは、例えば、六角形の面と垂直な方向が結晶のc軸方向となる。In-Ga-Zn酸化物粒子は、結晶性を有し、代表的には単結晶である。またはIn-Ga-Zn酸化物粒子は多結晶の場合もある。

10

【0056】

基板上に到達したペレットは、先に示したようにマイグレーションが起り、平らな面が基板に付着する。このとき、In-Ga-Zn酸化物粒子が正または負に帯電することで、該粒子同士が反発しながら基板に付着する。六方晶の酸化亜鉛層は結晶性が高く、ab面方向の格子定数がIn-Ga-Zn酸化物と近い。また、六方晶の酸化亜鉛は六方格子であるため、酸化亜鉛層上に六方格子であるIn-Ga-Zn酸化物をエピタキシャル成長させることが可能である。よって、六方晶の酸化亜鉛層を種結晶とすることで、結晶性の高いIn-Ga-Zn酸化物層を形成することができる。

20

【0057】

種結晶となる六方晶の酸化亜鉛層の膜厚は、0.1原子層以上20原子層以下、好ましくは1原子層以上5原子層以下でよい。なお、本明細書等において、層の厚さが0.1原子層以上1原子層未満であるとは、1原子層以上の厚さの層が成膜領域に部分的に堆積していることを指す。

【0058】

以上によって、酸化亜鉛層およびIn-Ga-Zn酸化物層を含む第1の酸化物半導体層104が形成される。なお、第1の酸化物半導体層104に含まれる酸化亜鉛層およびIn-Ga-Zn酸化物層は、2層の積層構造に限られず、さらに酸化亜鉛層およびIn-Ga-Zn酸化物層が交互に積層されるように、3層以上積層させてもよい。すなわち、第1の酸化物半導体層104は、組成の異なる複数の酸化物半導体層を含んでいてもよい。

30

【0059】

第3の例では、第1の酸化物半導体層104を1nm以上10nm未満の厚さで、スパッタリング法で成膜する。成膜条件は、例えば、基板温度を100 以上500 以下、好ましくは150 以上450 以下とし、成膜ガス中の酸素割合を30体積%以上、好ましくは100体積%とする。ここで、成膜直後の第1の酸化物半導体層104は、必ずしも結晶部を有するとは限らない。

40

【0060】

次に、加熱処理を行い、第1の酸化物半導体層104に結晶部を設ける、または結晶性を向上させる。加熱処理の温度は、350 以上740 以下、好ましくは450 以上650 以下とする。また、加熱処理の時間は1分以上24時間以下、好ましくは6分以上4時間以下とする。また、加熱処理は、不活性雰囲気または酸化性雰囲気で行えばよい。好ましくは、不活性雰囲気で行った後、酸化性雰囲気で行う。不活性雰囲気での加熱処理により、第1の酸化物半導体層104の不純物濃度を短時間で低減することができる。一方、不活性雰囲気での加熱処理により第1の酸化物半導体層104に酸素欠損が生成されることがある。その場合、酸化性雰囲気での加熱処理によって該酸素欠損を低減することができる。なお、加熱処理は1000Pa以下、100Pa以下

50

、10 Pa以下または1 Pa以下の減圧下で行ってもよい。減圧下では、第1の酸化物半導体層104の不純物濃度をさらに短時間で低減することができる。第1の酸化物半導体層104の厚さを1 nm以上10 nm未満とすることにより、厚さが10 nm以上である場合と比べ、加熱処理によって容易に結晶化させることができる。

【0061】

ただし、結晶部を有する第1の酸化物半導体層104の成膜方法は、上記の例に限られるものではない。

【0062】

次いで、第1の酸化物半導体層104を種結晶としてエピタキシャル成長させ、第1の酸化物半導体層104上に第2の酸化物半導体層106を形成する(図1(C)参照)。

10

【0063】

第2の酸化物半導体層106は、第1の酸化物半導体層104を成膜後、大気に曝すことなく連続的に成膜することが好ましい。これによって、第1の酸化物半導体層104および第2の酸化物半導体層106界面への不純物(例えば、吸着水による水素または水素化合物等)の混入を防止することができる。

【0064】

第2の酸化物半導体層106には、第1の酸化物半導体層104と同様の材料を適用することができる。ただし、第1の酸化物半導体層104および第2の酸化物半導体層106の積層構造をトランジスタに適用する場合、第1の酸化物半導体層104は成膜時のプラズマによる損傷(ダメージ)を含有する場合がある。したがって、トランジスタの電気特性を安定化させるためには第2の酸化物半導体層106にチャンネルが形成されることが好ましい。よって、第2の酸化物半導体層106には、第1の酸化物半導体層104よりも電子親和力の大きい材料を用いることが好ましい。例えば、第2の酸化物半導体層106に、In-M-Zn酸化物(Mは、Al、Ti、Ga、Y、Zr、La、Ce、Nd、またはHf)を適用する場合、元素Mは、例えば、酸化物のエネルギーギャップを大きくする機能を有する元素である。よって、In-M-Zn酸化物において、Mの組成を制御することで、酸化物の有するエネルギーギャップを制御することが可能となる。

20

【0065】

また、第2の酸化物半導体層106の成膜雰囲気は、希ガス等の不活性ガス雰囲気とすることができる。なお、第1の酸化物半導体層104と同様に、第2の酸化物半導体層106への不純物の混入を防止するために、成膜室内を高真空排気し、成膜に用いるガスを高純度化することが好ましい。

30

【0066】

本実施の形態では、インジウムを含む有機金属ガス、ガリウムを含む有機金属ガス、亜鉛を含む有機金属ガスおよび酸素を含むガスを用いたMOCVD法によって、第2の酸化物半導体層106としてIn-Ga-Zn酸化物層を形成するものとする。インジウムを含む有機金属材料としては、例えばトリメチルインジウム等を用いることができる。ガリウムを含む有機金属材料としては、例えばトリメチルガリウム、トリエチルガリウム等を用いることができる。亜鉛を含む有機金属材料としては、例えばジエチル亜鉛、ジメチル亜鉛等を用いることができる。酸素を含むガスとしては、例えば、一酸化二窒素ガス、酸素ガスまたはオゾン等を用いることができる。ただし、用いることのできる原料ガスはこれらに限られない。また、第2の酸化物半導体層106に、In-Ga-Zn酸化物以外の酸化物半導体材料を用いてもよい。

40

【0067】

第1の酸化物半導体層104は、表面に六方晶の結晶構造を有するため、第2の酸化物半導体層106成膜時に、混合された上述の原料ガスが第1の酸化物半導体層104の表面に達すると、熱分解および/または化学反応をおこし、第1の酸化物半導体層104の結晶情報を引き継いで堆積する。これによって、プラズマによる損傷を防止しつつ、結晶

50

性の高い第2の酸化物半導体層106を形成することができる。また、第1の酸化物半導体層104が、単結晶領域を含むと、または単結晶（実質的に単結晶である場合も含む）であると、該第1の酸化物半導体層104のエピタキシャル成長によって得られる第2の酸化物半導体層106も単結晶領域を含む、または単結晶（実質的に単結晶である場合も含む）の酸化物半導体層とすることができる。

【0068】

なお、第2の酸化物半導体層106の成膜時の基板温度は、110 以上、好ましくは150 以上、より好ましくは200 以上とする。基板温度を高めることで、第2の酸化物半導体層106に含まれる不純物を低減し、第2の酸化物半導体層106の結晶性を良好にすることができる。例えば、第2の酸化物半導体層106として単結晶、または実質的に単結晶の酸化物半導体層を形成する場合、基板温度を400 以上好ましくは500 以上とする。また、成膜速度および生産性を考慮すると、基板温度は800 以下とすることが好ましく、酸化亜鉛の蒸発を考慮すると、基板温度は600 未満とすることが好ましい。

10

【0069】

次いで、第2の酸化物半導体層106上に第2の絶縁層110を形成する（図1（D）参照）。

【0070】

第2の絶縁層110としては、例えば、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを含む絶縁膜を、単層で、または積層で用いればよい。

20

【0071】

第2の絶縁層110は、スパッタリング法、CVD法、またはパルスレーザー堆積法等を用いて成膜すればよい。ただし、成膜された膜、または第2の絶縁層110と重なる第1の酸化物半導体層104または第2の酸化物半導体層106へのプラズマによる損傷（ダメージ）を低減するためには、熱CVD法を用いることが好ましい。

【0072】

以上によって、本発明の一態様に係る酸化物半導体層を含む積層構造を形成することができる。

30

【0073】

なお、CVD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、MCVD法およびMOCVD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、MCVD法およびMOCVD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる。

【0074】

例えば、第2の酸化物半導体層106成膜時において、原料ガスの流量比を変化させることで、第2の酸化物半導体層106の組成を膜厚方向に変化させることが可能である。また、第2の酸化物半導体層106としてIn-M-Zn酸化物層を形成する場合、元素Mは酸化物のエネルギーギャップを大きくする機能を有する元素であるため、例えば、Mの組成を制御することで、第2の酸化物半導体層106のバンド構造を制御することが可能となる。具体的には、例えば、第2の酸化物半導体層106として、In-Ga-Zn酸化物層を形成する場合、Gaを含む有機金属ガスの流量比を小さくすることで、バンドギャップの小さい酸化物半導体層が形成される。この場合、第2の酸化物半導体層106の電子親和力（真空準位と伝導帯下端のエネルギー差）を大きくすることが可能となる。なお、In-Ga-Zn酸化物の価電子帯上端のエネルギーは、例えば、亜鉛の原子数比によって制御できる。または、In-Ga-Zn酸化物層を形成する場合、Gaを含む有

40

50

機金属ガスの流量比を大きくすることで、バンドギャップの大きい酸化物半導体層が形成される。この場合、第2の酸化物半導体層106の電子親和力を小さくすることが可能となる。

【0075】

図2に、第2の酸化物半導体層106の成膜時に原料ガスの流量比を変化させた場合における、該第2の酸化物半導体層106の有するバンド構造を例示する。

【0076】

図2(A)乃至図2(C)は、第1の絶縁層102、第1の酸化物半導体層104、第2の酸化物半導体層106および第2の絶縁層110を有する積層構造の膜厚方向のバンド構造である。バンド構造は、理解を容易にするため、第1の絶縁層102、第1の酸化物半導体層104、第2の酸化物半導体層106および第2の絶縁層110の伝導帯下端のエネルギー(E_c)を示す。なお、図2(A)乃至図2(C)において、vacuum levelは、真空準位を表し、electron affinityは電子親和力を表す。

10

【0077】

図2(A)に示す第2の酸化物半導体層106のバンド構造は、第1の酸化物半導体層104との界面近傍において連続的に変化する(連続接合とも表記する。)。より具体的には、第1の酸化物半導体層104との界面近傍において、第2の酸化物半導体層106の伝導帯下端のエネルギーは、第1の酸化物半導体層104から遠ざかるほど電子親和力が大きくなる。また、第2の絶縁層110との界面近傍においては、第2の酸化物半導体層106は伝導帯下端のエネルギーが一定であり、電子親和力も一定の大きさを有している。

20

【0078】

例えば、第2の酸化物半導体層106として、In-M-Zn酸化物層(Mは、Al、Ti、Ga、Y、Zr、La、Ce、Nd、またはHf)を形成する場合、第2の酸化物半導体層106が、第1の酸化物半導体層104との界面近傍において、第1の酸化物半導体層104から遠ざかるほど含有M濃度が低減する濃度勾配を有し、第2の絶縁層110との界面近傍においては、含有M濃度が一定(または概略一定)とすると、図2(A)に示す第2の酸化物半導体層106のバンド構造が形成されることがある。第2の酸化物半導体層106に含まれるMの濃度は、例えば二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)で測定することが可能である。

30

【0079】

第1の酸化物半導体層104を、スパッタリング法を適用して成膜した場合、第1の酸化物半導体層104中、または第1の酸化物半導体層104と第2の酸化物半導体層106との界面近傍には、プラズマによる損傷に起因した界面準位が形成されることがある。

【0080】

しかしながら、図2(A)に示すバンド構造をトランジスタに適用することで、チャンネルが上述の界面準位の影響を受けにくい構造とすることができ、界面準位に起因したオン電流の低下が起りにくい。これは、電子親和力の最も大きい領域である、第2の酸化物半導体層106中であって第1の酸化物半導体層104との界面から離間した領域にチャンネルが形成されるためである。したがって、オン電流が高く、S値の低いトランジスタとすることができる。また、界面準位を有する第1の酸化物半導体層104と第2の酸化物半導体層106との界面と、チャンネルとの間に伝導帯下端のエネルギー差があることにより、界面準位にキャリアが捕獲されにくい。したがって、界面準位に起因した電気特性の変動が起りにくく、信頼性の高いトランジスタとなる。

40

【0081】

図2(B)に示す第2の酸化物半導体層106のバンド構造は、第2の絶縁層110との界面近傍において連続接合を有する。より具体的には、第2の絶縁層110との界面近傍における第2の酸化物半導体層106の伝導帯下端のエネルギーは、第2の絶縁層11

50

0 から遠ざかるほど電子親和力が大きくなる。また、第1の酸化物半導体層104との界面近傍においては、第2の酸化物半導体層106は伝導帯下端のエネルギーが一定であり、電子親和力も一定の大きさを有している。

【0082】

例えば、第2の酸化物半導体層106として、In-M-Zn酸化物層(Mは、Al、Ti、Ga、Y、Zr、La、Ce、Nd、またはHf)を形成する場合、第2の酸化物半導体層106が、第2の絶縁層110との界面近傍において、第2の絶縁層110から遠ざかるほど含有M濃度が低減する濃度勾配を有し、第1の酸化物半導体層104との界面近傍においては、含有M濃度が一定(または概略一定)とすると、図2(B)に示す第2の酸化物半導体層106のバンド構造が形成されることがある。

10

【0083】

第2の絶縁層110として、酸化物半導体と異なる構成元素(例えばシリコン)を有する絶縁層を設けた場合、第2の酸化物半導体層106との界面には、異種接合、不純物の混入等に起因した界面準位が形成されることがある。また、第2の絶縁層110を、プラズマを用いた成膜方法(例えば、プラズマCVDまたはスパッタリング法)を適用して成膜した場合、第2の絶縁層110中、または第2の絶縁層110と第2の酸化物半導体層106との界面近傍には、プラズマによる損傷に起因した界面準位が形成されることがある。

【0084】

そこで、図2(B)に示すバンド構造をトランジスタに適用することで、チャンネルが上述の界面準位の影響を受けにくい構造とすることができ、界面準位に起因したオン電流の低下が起こりにくくなる。これは、電子親和力の最も大きい領域である、第2の酸化物半導体層106中であって第2の絶縁層110との界面から離間した領域にチャンネルが形成されるためである。したがって、オン電流が高く、S値の低いトランジスタとすることができる。また、界面準位を有しうる第2の絶縁層110と第2の酸化物半導体層106との界面と、チャンネルとの間に伝導帯下端のエネルギー差があることにより、界面準位にキャリアが捕獲されにくい。したがって、界面準位に起因した電気特性の変動が起こりにくく、信頼性の高いトランジスタとなる。

20

【0085】

図2(C)に示す第2の酸化物半導体層106のバンド構造は、第1の酸化物半導体層104との界面近傍および第2の絶縁層110との界面近傍において、連続接合を有する。より具体的には、第2の酸化物半導体層106の伝導帯下端のエネルギーは、第1の酸化物半導体層104との界面近傍において第1の酸化物半導体層104から遠ざかるほど電子親和力が大きくなり、第2の絶縁層110との界面近傍において、第2の絶縁層110から遠ざかるほど電子親和力が大きくなる。

30

【0086】

例えば、第2の酸化物半導体層106として、In-M-Zn酸化物層(Mは、Al、Ti、Ga、Y、Zr、La、Ce、Nd、またはHf)を形成する場合、第2の酸化物半導体層106が、第2の絶縁層110との界面近傍において、第2の絶縁層110から遠ざかるほど含有M濃度が低減する濃度勾配を有し、第1の酸化物半導体層104との界面近傍においても、第1の酸化物半導体層104から遠ざかるほど含有M濃度が低減する濃度勾配を有すると、図2(C)に示す第2の酸化物半導体層106のバンド構造が形成されることがある。

40

【0087】

図2(C)に示すバンド構造をトランジスタに適用することで、第2の酸化物半導体層106に形成されるチャンネルが、第1の酸化物半導体層104と第2の酸化物半導体層106との界面に生じうる界面準位、および、第2の酸化物半導体層106と第2の絶縁層110との界面に生じうる界面準位の双方から離れた領域に形成される。よって、オン電流が高く、S値の低いトランジスタとすることができる。また、界面準位に起因した電気特性の変動が起こりにくく、信頼性の高いトランジスタとすることができる。

50

【 0 0 8 8 】

なお、本実施の形態で示す積層構造の有しうるバンド構造は、図 2 の構成に限られるものではない。第 2 の酸化物半導体層 1 0 6 は、少なくとも第 1 の酸化物半導体層 1 0 4 よりも電子親和力の大きい領域を有していれば、その組成および電子親和力を適宜設定することが可能である。例えば、第 2 の酸化物半導体層 1 0 6 と接する層（第 1 の酸化物半導体層 1 0 4 および / または第 2 の絶縁層 1 1 0 ）と近づくほど電子親和力が大きくなるバンド構造を有していてもよい。このようなバンド構造をトランジスタに適用した場合、バックチャネル側の電子親和力が大きければ、低いゲート電圧で高いオン電流を得ることができるため、消費電力の小さいトランジスタとすることができる。または、フロントチャネル側の電子親和力が大きければ、ゲート電極からの電界に対して敏感となるため、オンオフの切り替えが速く、S 値の低いトランジスタとすることができる。

10

【 0 0 8 9 】

または、第 2 の酸化物半導体層 1 0 6 が、該第 2 の酸化物半導体層 1 0 6 と接する層（第 1 の酸化物半導体層 1 0 4 および / または第 2 の絶縁層 1 1 0 ）と遠ざかるほど、または近づくほど電子親和力が大きくなるようなバンド構造を有している場合、当該バンド構造がショルダーピークを有していてもよい。

【 0 0 9 0 】

または、第 2 の酸化物半導体層 1 0 6 として、第 1 の酸化物半導体層 1 0 4 と接する領域における構成元素と、第 2 の絶縁層 1 1 0 と接する領域における構成元素とが異なる構造を有する層を形成してもよい。当該構成を有する場合、第 2 の酸化物半導体層 1 0 6 として、構成元素の異なる層の積層構造としてもよい。

20

【 0 0 9 1 】

以上の形成方法によって得られた本実施の形態に係る第 2 の酸化物半導体層は、プラズマによる損傷が防止され、欠陥量の低減された酸化物半導体層である。当該酸化物半導体層を例えば半導体装置のチャネルに適用することで、半導体装置の電気特性の変動を抑制し、信頼性を向上させることができる。

【 0 0 9 2 】

また、本発明の一態様に係る酸化物半導体層の形成方法によれば、第 1 の酸化物半導体層をスパッタリング法によって形成することで、単結晶基板上に限らず、非晶質または多結晶の表面を有する基板上であっても、結晶部を有する第 1 の酸化物半導体層を形成することができる。また、当該第 1 の酸化物半導体層を種結晶として用い、熱 C V D 法で第 2 の酸化物半導体層を形成することで、プラズマによる欠陥が抑制され、且つ結晶性の良好な酸化物半導体層とすることができる。

30

【 0 0 9 3 】

さらに、本発明の一態様に係る酸化物半導体層の形成方法によれば、第 1 の酸化物半導体層の成膜後および第 2 の酸化物半導体層の成膜後に、結晶化を目的とした高温（例えば 1 3 0 0 を超える温度）での加熱処理を行う必要がない。1 3 0 0 を超える温度にて加熱処理を行うには、例えばセラミック製の隔壁を備えるマuffle 炉などを用いる必要がある。このような炉は大型化が困難であるため生産性を高められないことや、炉内を清浄に保つことが困難であり被処理基板への汚染が懸念されるなどの問題点があるため、本発明の一態様に係る形成方法を適用することは有用である。

40

【 0 0 9 4 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【 0 0 9 5 】

（実施の形態 2 ）

本実施の形態では、本発明の一態様に係る酸化物半導体層などを成膜することが可能な製造装置の具体例について説明する。

【 0 0 9 6 】

図 3 (A) に示す製造装置は、ロード室 3 0 2 、搬送室 3 1 0 、前処理室 3 0 3 、スバ

50

ッタリング法を利用した成膜室である処理室304、熱CVD法を利用した成膜室である処理室331、アンロード室306を少なくとも有する。また、図3(A)に示す製造装置は、大気に触れることなく、連続的に成膜を行うことができる。そのため、積層構造を形成する場合、膜中および膜の界面への不純物の混入を防ぐことができる。なお、製造装置のチャンパー(ロード室、処理室、搬送室、成膜室、アンロード室などを含む)は、チャンパー内壁への水分の付着などを防ぐため、露点が-60未満、好ましくは-80未満、さらに好ましくは-100未満の不活性ガス(窒素ガス、希ガスなど)を充填させておくことが好ましい。または、圧力を1Pa未満、好ましくは0.1Pa未満、さらに好ましくは 1×10^{-4} Pa未満の減圧状態とする。

【0097】

また、処理室305は、処理室331と同様の熱CVD法を利用する成膜室(熱CVD装置ともいう。)としてもよい。

【0098】

例えば、処理室304にて第1の酸化物半導体層を形成し、処理室331にて第2の酸化物半導体層を形成し、処理室305にて絶縁層を形成してもよい。その場合、それらの積層構造を大気に触れることなく連続的に形成することができる。

【0099】

まず、基板をロード室302に搬入する。次いで、搬送室310の搬送ユニット307によって基板を前処理室303に搬送する。前処理室303では、基板を洗浄する処理や加熱処理を行う。次に基板を処理室304に搬送して第1の酸化物半導体層を形成する。次に基板を処理室331に搬送して第2の酸化物半導体層を形成する。前処理室303で処理されることによって、基板表面を清浄化することができる。また、基板表面の処理から第2の酸化物半導体層の成膜までの間に大気に触れないため、不純物等が基板表面に付着することを抑制できる。

【0100】

次いで、搬送ユニット307によって基板を処理室305に搬送して、酸化ハフニウム等の絶縁層を形成する。次いで、搬送ユニット307によって基板をアンロード室306に搬送する。以上の手順によって第1の酸化物半導体層、第2の酸化物半導体層、および絶縁層を順に積層することができる。

【0101】

図3(B)に熱CVD装置の一例を示す。熱CVD装置は、基板の搬入されたチャンパーに原料ガス(一種または複数種)、酸化剤(O_2 、 O_3 等)等を同時に供給し、基板近傍または基板表面にて反応させ、生成物を堆積することで成膜を行う。

【0102】

熱CVD装置の処理室331は、基板ホルダ319と、複数の原料ガスの導入口の接続された部材321と、排気装置318とを少なくとも有する。原料ガスの導入口には、それぞれ供給管、圧力調整器、バルブ、流量制御器(流量制御器322、流量制御器324、流量制御器326、流量制御器328)を介して原料供給部(原料供給部323、原料供給部325、原料供給部327、原料供給部329)と接続されており、排出口は、排出管やバルブや圧力調整器を介して排気装置318と接続されている。

【0103】

成膜時の処理室331内は、大気圧としてもよいし、減圧雰囲気としてもよい。

【0104】

また、原料ガスを供給する際には、シャワーヘッドのように設けられた複数の開口部から原料ガスを供給してもよい。

【0105】

また、基板面内における膜の厚さを均一にするため、基板ホルダ319を回転させ、基板ホルダ319に固定されている基板320を回転させてもよい。

【0106】

なお、熱CVD法は、プラズマを用いないため、プラズマに起因して膜に欠陥が生成さ

10

20

30

40

50

れることがない。

【0107】

熱CVD法によって、導電層、半導体層、絶縁層など様々な膜を形成することができる。例えば、In-Ga-Zn酸化物層を成膜する場合には、原料ガスとして、トリメチルインジウム($(\text{CH}_3)_3\text{In}$)、トリメチルガリウム($(\text{CH}_3)_3\text{Ga}$)、およびジメチル亜鉛($(\text{CH}_3)_2\text{Zn}$)などを用いる。ただし、In-Ga-Zn酸化物膜の原料ガスは、これらの組み合わせに限定されない。例えば、トリメチルガリウムに代えてトリエチルガリウム($(\text{C}_2\text{H}_5)_3\text{Ga}$)を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛($(\text{C}_2\text{H}_5)_2\text{Zn}$)を用いることもできる。

【0108】

また、図3(A)では搬送室310の上面形状が六角形であるマルチチャンバーの製造装置の例を示しているが、それより角の多い多角形(七角形、八角形など)としてより多くのチャンバーと連結させてもよい。または、搬送室310の上面形状が五角形または四角形であるマルチチャンバーの製造装置であってもよい。また、チャンバーを複数連結することで搬送室を省略した、インライン製造装置としてもよい。インライン製造装置は、搬送室を有さないことにより、搬送の時間が短くできるため、生産性の高い製造装置である。なお、図3(A)では枚葉式の製造装置の例を示したが、複数枚の基板を一度に成膜するバッチ式の成膜装置としてもよい。また、各処理室にクリーニング(例えばプラズマクリーニングなど)を行うための機構を設けてもよい。

【0109】

また、図3(A)においては、処理室305および処理室331に熱CVD装置を用いる例を示したが、いずれか一をスパッタリング装置やALD装置など、そのほかの成膜装置としてもよい。また、処理室304を、熱CVD装置やALD装置など、そのほかの成膜装置としてもよい。

【0110】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0111】

(実施の形態3)

本実施の形態では、実施の形態1に示した積層構造を有する、本発明の一態様に係るトランジスタの構造について説明する。

【0112】

<トランジスタ構造1>

図4(A)および図4(B)は、本発明の一態様のトランジスタ450の平面図および断面図である。図4(A)は平面図であり、図4(B)は、図4(A)に示す一点鎖線A1-A2、および一点鎖線A3-A4に対応する断面図である。なお、図4(A)の平面図では、図の明瞭化のために一部の要素を省いて図示している。

【0113】

図4(A)および図4(B)に示すトランジスタ450は、基板400上の凸部を有する絶縁層402と、絶縁層402の凸部上の第1の酸化物半導体層404および第2の酸化物半導体層406と、第1の酸化物半導体層404の側面および第2の酸化物半導体層406の上面と側面に接するソース電極層408aおよびドレイン電極層408bと、ソース電極層408aおよびドレイン電極層408b上において、第2の酸化物半導体層406と接する絶縁層410と、絶縁層410の上面に接し、第1の酸化物半導体層404の側面および第2の酸化物半導体層406の上面と側面に対向するゲート電極層412と、を有する。なお、ソース電極層408a、ドレイン電極層408bおよびゲート電極層412上の絶縁層414をトランジスタ450の構成要素に含めてもよい。また、絶縁層402は凸部を有さなくても構わない。

【0114】

なお、ソース電極層408a(および/または、ドレイン電極層408b)の、少なく

10

20

30

40

50

層の一部（または全部）の上側に配置されている。

【0121】

図4に示すトランジスタ450において、絶縁層402は、実施の形態1の第1の絶縁層102に相当し、第1の酸化物半導体層404は、実施の形態1の第1の酸化物半導体層104に相当し、第2の酸化物半導体層406は、実施の形態1の第2の酸化物半導体層106に相当する。さらに、トランジスタ450においてゲート絶縁層として機能する絶縁層410は、実施の形態1の第2の絶縁層110に相当する。すなわち、トランジスタ450において、第2の酸化物半導体層406は、第1の酸化物半導体層404を種結晶としてエピタキシャル成長した結晶部を有する酸化物半導体層であり、第1の酸化物半導体層404よりも電子親和力の大きい領域を有する。換言すると、トランジスタ450において、第2の酸化物半導体層406は電流の主な経路（チャンネル）として機能する。また、第2の酸化物半導体層406は、プラズマによる損傷が防止され、欠陥量の低減された酸化物半導体層である。

10

【0122】

図4(B)に示すように、ソース電極層408aおよびドレイン電極層408bの側面は、チャンネルが形成される第2の酸化物半導体層406の側面と接する。また、チャンネル幅方向の断面において、ゲート電極層412は第2の酸化物半導体層406の上面および側面と対向して設けられており、ゲート電極層412の電界によって第2の酸化物半導体層406を電気的に取り囲むことができる。ここで、ゲート電極層412の電界によってチャンネル（またはチャンネルが形成される第2の酸化物半導体層406）を電気的に取り囲むトランジスタの構造を、surrounded channel (s-channel) 構造とよぶ。トランジスタ450は、s-channel 構造を有することで、第2の酸化物半導体層406の全体（バルク）にチャンネルを形成することが可能となる。s-channel 構造では、トランジスタのソース-ドレイン間に大電流を流すことができ、高いオン電流を得ることができる。

20

【0123】

高いオン電流が得られるため、s-channel 構造は、微細化されたトランジスタに適した構造といえる。トランジスタを微細化できるため、該トランジスタを有する半導体装置は、集積度の高い、高密度化された半導体装置とすることが可能となる。例えば、トランジスタのチャンネル長を、好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下とし、かつ、トランジスタのチャンネル幅を、好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下とする。

30

【0124】

なお、チャンネル長とは、平面図において、半導体層とゲート電極層とが重なる領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との距離をいう。すなわち、図4(A)では、チャンネル長は、第2の酸化物半導体層406とゲート電極層412とが重なる領域における、ソース電極層408aとドレイン電極層408bとの距離となる。チャンネル幅とは、半導体層とゲート電極層とが重なる領域における、ソースまたはドレインの幅をいう。すなわち、図4(A)では、チャンネル幅は、第2の酸化物半導体層406とゲート電極層412とが重なる領域における、ソース電極層408aまたはドレイン電極層408bの幅をいう。

40

【0125】

基板400は、基板100についての記載を参照することができる。絶縁層402は、第1の絶縁層102についての記載を参照することができる。第1の酸化物半導体層404は、第1の酸化物半導体層104についての記載を参照することができる。第2の酸化物半導体層406は、第2の酸化物半導体層106についての記載を参照することができる。絶縁層410は、第2の絶縁層110についての記載を参照することができる。

【0126】

ソース電極層408aおよびドレイン電極層408bには、酸化物半導体層から酸素を引き抜く性質を有する導電層を用いると好ましい。例えば、酸化物半導体層から酸素を引

50

き抜く性質を有する導電層として、アルミニウム、チタン、クロム、ニッケル、モリブデン、タンタル、タングステンなどを含む導電層が挙げられる。

【0127】

酸化物半導体層から酸素を引き抜く性質を有する導電層の作用により、第1の酸化物半導体層104および/または第2の酸化物半導体層106中の酸素が脱離し、酸化物半導体層中に酸素欠損を形成する場合がある。酸素の引き抜きは、高い温度で加熱するほど起こりやすい。トランジスタの作製工程には、いくつかの加熱工程があることから、酸化物半導体層のソース電極層またはドレイン電極層と接触した近傍の領域には酸素欠損が形成される可能性が高い。また、加熱により該酸素欠損のサイトに水素が入りこみ、酸化物半導体層がn型化する場合がある。したがって、ソース電極層およびドレイン電極層の作用により、酸化物半導体層と、ソース電極層またはドレイン電極層と、が接する領域を低抵抗化させ、トランジスタのオン抵抗を低減することができる。

10

【0128】

なお、チャンネル長が小さい(例えば200nm以下、または100nm以下)トランジスタを作製する場合、n型化領域の形成によってソース-ドレイン間が短絡してしまうことがある。そのため、チャンネル長が小さいトランジスタを形成する場合は、ソース電極層およびドレイン電極層に酸化物半導体層から適度に酸素を引き抜く性質を有する導電層を用いればよい。適度に酸素を引き抜く性質を有する導電層としては、例えば、ニッケル、モリブデンまたはタングステンを含む導電層などがある。

【0129】

また、チャンネル長がごく小さい(40nm以下、または30nm以下)トランジスタを作製する場合、ソース電極層408aおよびドレイン電極層408bとして、酸化物半導体層からほとんど酸素を引き抜くことのない導電層を用いればよい。酸化物半導体層からほとんど酸素を引き抜くことのない導電層としては、例えば、窒化タンタル、窒化チタン、またはルテニウムを含む導電層などがある。なお、複数種の導電層を積層しても構わない。

20

【0130】

ゲート電極層412は、アルミニウム、チタン、クロム、コバルト、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、タンタル、タングステンなどから得られればた一種以上を含む導電層を用いればよい。

30

【0131】

絶縁層414としては、例えば、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムまたは酸化タンタルを含む絶縁層を、単層で、または積層で用いればよい。

【0132】

以下では、チャンネルが形成される第2の酸化物半導体層406に適用可能な酸化物半導体について詳細に説明する。

【0133】

第2の酸化物半導体層406に2以上の金属元素を構成元素として含む酸化物半導体を用いる場合は、少なくともインジウムを含む酸化物半導体を用いることが好ましい。酸化物は、例えば、インジウムを含むと、キャリア移動度(電子移動度)が高くなる。また、酸化物半導体層は、元素Mを含むことがより好ましい。元素Mは、好ましくは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、チタン、ジルコニウム、ランタン、セリウム、ネオジウム、ハフニウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない。元素Mは、例えば、酸素との結合エネルギーが高い元素である。元素Mは、例えば、酸化物のエネルギーギャップを大きくする機能を有する元素である。また、酸化物半導体層は、亜鉛を含むと好ましい。酸化物が亜鉛を含むと、例えば、酸化物を結晶化しやすくなる。

40

【0134】

50

ただし、第2の酸化物半導体層406は、インジウムを含む酸化物に限定されない。第2の酸化物半導体層406は、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物であっても構わない。

【0135】

また、第2の酸化物半導体層406は、エネルギーギャップが大きい酸化物を用いる。第2の酸化物半導体層406のエネルギーギャップは、例えば、2.5 eV以上4.2 eV以下、好ましくは2.8 eV以上3.8 eV以下、さらに好ましくは3 eV以上3.5 eV以下とする。

【0136】

以下では、チャンネルが形成される酸化物半導体層における不純物の影響について説明する。なお、トランジスタの電気特性を安定にするためには、第2の酸化物半導体層406中(界面も含む)の不純物濃度を低減し、低キャリア密度化および高純度化することが有効である。なお、第2の酸化物半導体層406のキャリア密度は、 1×10^{17} 個/cm³未満、 1×10^{15} 個/cm³未満、または 1×10^{13} 個/cm³未満とする。第2の酸化物半導体層406中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。

10

【0137】

例えば、第2の酸化物半導体層406中のシリコンは、キャリアトラップやキャリア発生源となる場合がある。そのため、第2の酸化物半導体層406と絶縁層410との間におけるシリコン濃度を、SIMSにおいて、 1×10^{19} atoms/cm³未満、好ましくは 5×10^{18} atoms/cm³未満、さらに好ましくは 2×10^{18} atoms/cm³未満とする。

20

【0138】

また、第2の酸化物半導体層406中に水素が含まれると、キャリア密度を増大させてしまう場合がある。第2の酸化物半導体層406の水素濃度はSIMSにおいて、 2×10^{20} atoms/cm³以下、好ましくは 5×10^{19} atoms/cm³以下、より好ましくは 1×10^{19} atoms/cm³以下、さらに好ましくは 5×10^{18} atoms/cm³以下とする。また、第2の酸化物半導体層406中に窒素が含まれると、キャリア密度を増大させてしまう場合がある。第2の酸化物半導体層406の窒素濃度は、SIMSにおいて、 5×10^{19} atoms/cm³未満、好ましくは 5×10^{18} atoms/cm³以下、より好ましくは 1×10^{18} atoms/cm³以下、さらに好ましくは 5×10^{17} atoms/cm³以下とする。

30

【0139】

また、第1の酸化物半導体層404の膜厚は非常に薄いため、第1の酸化物半導体層404に含まれる不純物も、チャンネルに影響を与える場合がある。したがって、第1の酸化物半導体層404中のシリコン濃度、水素濃度、窒素濃度も第2の酸化物半導体層406と同等に低減することが好ましい。

【0140】

また、第1の酸化物半導体層404および第2の酸化物半導体層406の水素濃度を低減するために、絶縁層402および絶縁層410の水素濃度を低減すると好ましい。絶縁層402および絶縁層410の水素濃度はSIMSにおいて、 2×10^{20} atoms/cm³以下、好ましくは 5×10^{19} atoms/cm³以下、より好ましくは 1×10^{19} atoms/cm³以下、さらに好ましくは 5×10^{18} atoms/cm³以下とする。また、第1の酸化物半導体層404および第2の酸化物半導体層406の窒素濃度を低減するために、絶縁層402および絶縁層410の窒素濃度を低減すると好ましい。絶縁層402および絶縁層410の窒素濃度は、SIMSにおいて、 5×10^{19} atoms/cm³未満、好ましくは 5×10^{18} atoms/cm³以下、より好ましくは 1×10^{18} atoms/cm³以下、さらに好ましくは 5×10^{17} atoms/cm³以下とする。

40

【0141】

50

次いで、第1の酸化物半導体層104または第2の酸化物半導体層406の有する結晶部について説明する。

【0142】

酸化物半導体層は、単結晶酸化物半導体層と、それ以外の非単結晶酸化物半導体層とに分けられる。非単結晶酸化物半導体層としては、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)層、多結晶酸化物半導体層、微結晶酸化物半導体層、非晶質酸化物半導体層などがある。

【0143】

また、別の観点では、酸化物半導体層は、非晶質酸化物半導体層と、それ以外の結晶性酸化物半導体層とに分けられる。結晶性酸化物半導体層としては、単結晶酸化物半導体層、CAAC-OS層、多結晶酸化物半導体層、微結晶酸化物半導体層などがある。

【0144】

<CAAC-OS層>

まずは、CAAC-OS層について説明する。なお、CAAC-OS層を、CANC(C Axis Aligned nanocrystals)を有する酸化物半導体層と呼ぶこともできる。

【0145】

CAAC-OS層は、c軸配向した複数の結晶部(ペレットともいう。)を有する酸化物半導体層の一つである。

【0146】

透過型電子顕微鏡(TEM:Transmission Electron Microscope)によって、CAAC-OS層の明視野像と回折パターンとの複合解析像(高分解能TEM像ともいう。)を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を明確に確認することができない。そのため、CAAC-OS層は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0147】

以下では、TEMによって観察したCAAC-OS層について説明する。図19(A)に、試料面と略平行な方向から観察したCAAC-OS層の断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正(Spherical Aberration Corrector)機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって行うことができる。

【0148】

図19(A)の領域(1)を拡大したCs補正高分解能TEM像を図19(B)に示す。図19(B)より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、CAAC-OS層を形成する面(被形成面ともいう。)または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

【0149】

図19(B)に示すように、CAAC-OS層は特徴的な原子配列を有する。図19(C)は、特徴的な原子配列を、補助線で示したものである。図19(B)および図19(C)より、ペレット一つの大きさは1nm以上3nm以下程度であり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8nm程度であることがわかる。したがって、ペレットを、ナノ結晶(nc:nanocrystal)と呼ぶこともできる。

【0150】

ここで、Cs補正高分解能TEM像をもとに、基板5120上のCAAC-OS層のペレット5100の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる(図19(D)参照。)。図19(C)で観察されたペレットとペレットとの間で傾きが生じている箇所は、図19(D)に示す領域5161に相当する。

【0151】

また、図20(A)に、試料面と略垂直な方向から観察したCAAC-OS層の平面のCs補正高分解能TEM像を示す。図20(A)の領域(1)、領域(2)および領域(3)を拡大したCs補正高分解能TEM像を、それぞれ図20(B)、図20(C)および図20(D)に示す。図20(B)、図20(C)および図20(D)より、ペレットは、金属原子が三角形状、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

【0152】

次に、X線回折(XRD: X-Ray Diffraction)によって解析したCAAC-OS層について説明する。例えば、InGaZnO₄の結晶を有するCAAC-OS層に対し、out-of-plane法による構造解析を行うと、図21(A)に示すように回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS層の結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

10

【0153】

なお、CAAC-OS層のout-of-plane法による構造解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS層中の一部に、c軸配向性を有さない結晶が含まれることを示している。より好ましいCAAC-OS層は、out-of-plane法による構造解析では、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さない。

20

【0154】

一方、CAAC-OS層に対し、c軸に略垂直な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(110)面に帰属される。CAAC-OSの場合は、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行っても、図21(B)に示すように明瞭なピークは現れない。これに対し、InGaZnO₄の単結晶酸化物半導体層であれば、2θを56°近傍に固定してスキャンした場合、図21(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OS層は、a軸およびb軸の配向が不規則であることが確認できる。

30

【0155】

次に、電子回折によって解析したCAAC-OS層について説明する。例えば、InGaZnO₄の結晶を有するCAAC-OS層に対し、試料面に平行にプローブ径が300nmの電子線を入射させると、図22(A)に示すような回折パターン(制限視野透過電子回折パターンともいう。)が現れる場合がある。この回折パターンには、InGaZnO₄の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図22(B)に示す。図22(B)より、リング状の回折パターンが確認される。したがって、電子回折によっても、CAAC-OS層に含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図22(B)における第1リングは、InGaZnO₄の結晶の(010)面および(100)面などに起因すると考えられる。また、図22(B)における第2リングは(110)面などに起因すると考えられる。

40

【0156】

また、CAAC-OS層は、欠陥準位密度の低い酸化物半導体層である。酸化物半導体層の欠陥としては、例えば、不純物に起因する欠陥や、酸素欠損などがある。したがって、CAAC-OS層は、不純物濃度の低い酸化物半導体層ということもできる。また、C

50

A A C - O S 層は、酸素欠損の少ない酸化物半導体層ということもできる。

【 0 1 5 7 】

酸化物半導体層に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体層中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

【 0 1 5 8 】

なお、不純物は、酸化物半導体層の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体層を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体層から酸素を奪うことで酸化物半導体層の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体層の原子配列を乱し、結晶性を低下させる要因となる。

【 0 1 5 9 】

また、欠陥準位密度の低い（酸素欠損が少ない）酸化物半導体層は、キャリア密度を低くすることができる。そのような酸化物半導体層を、高純度真性または実質的に高純度真性な酸化物半導体層と呼ぶ。C A A C - O S 層は、不純物濃度が低く、欠陥準位密度が低い。即ち、高純度真性または実質的に高純度真性な酸化物半導体層となりやすい。したがって、C A A C - O S 層を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性な酸化物半導体層は、キャリアトラップが少ない。酸化物半導体層のキャリア

【 0 1 6 0 】

また、C A A C - O S 層は欠陥準位密度が低いため、光の照射などによって生成されたキャリアが、欠陥準位に捕獲されることが少ない。

したがって、C A A C - O S 層を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【 0 1 6 1 】

< 微結晶酸化物半導体層 >

次に、微結晶酸化物半導体層について説明する。

【 0 1 6 2 】

微結晶酸化物半導体層は、高分解能 T E M 像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体層に含まれる結晶部は、1 n m 以上 1 0 0 n m 以下、または 1 n m 以上 1 0 n m 以下の大きさであることが多い。特に、1 n m 以上 1 0 n m 以下、または 1 n m 以上 3 n m 以下の微結晶であるナノ結晶を有する酸化物半導体層を、n c - O S (n a n o c r y s t a l l i n e O x i d e S e m i c o n d u c t o r) 層と呼ぶ。n c - O S 層は、例えば、高分解能 T E M 像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、C A A C - O S 層におけるペレットと起源を同じくする可能性がある。そのため、以下では n c - O S 層の結晶部をペレットと呼ぶ場合がある。

【 0 1 6 3 】

n c - O S 層は、微小な領域（例えば、1 n m 以上 1 0 n m 以下の領域、特に 1 n m 以上 3 n m 以下の領域）において原子配列に周期性を有する。また、n c - O S 層は、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S 層は、分析方法によっては、非晶質酸化物半導体層と区別が付かない場合がある。例えば、n c - O S 層に対し、ペレットよりも大きい径の X 線を用いる X R D 装置を用いて構造解析を行うと、o u t - o f - p l a n e 法による解析では、

10

20

30

40

50

結晶面を示すピークが検出されない。また、nc-OS層に対し、ペレットよりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子回折（制限視野電子回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS層に対し、ペレットの大きさと近いペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS層に対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

【0164】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、nc-OS層を、RANC（Random Aligned nanocrystals）を有する酸化物半導体層、またはNANC（Non-Aligned nanocrystals）を有する酸化物半導体層と呼ぶこともできる。

10

【0165】

nc-OS層は、非晶質酸化物半導体層よりも規則性の高い酸化物半導体層である。そのため、nc-OS層は、非晶質酸化物半導体層よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OS層は、CAAC-OS層と比べて欠陥準位密度が高くなる。

【0166】

<非晶質酸化物半導体層>

次に、非晶質酸化物半導体層について説明する。

20

【0167】

非晶質酸化物半導体層は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体層である。石英のような無定形状態を有する酸化物半導体層が一例である。

【0168】

非晶質酸化物半導体層は、高分解能TEM像において結晶部を確認することができない。

【0169】

非晶質酸化物半導体層に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体層に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体層に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンのみが観測される。

30

【0170】

非晶質構造については、様々な見解が示されている。例えば、原子配列に全く秩序性を有さない構造を完全な非晶質構造（completely amorphous structure）と呼ぶ場合がある。また、最近接原子間距離または第2近接原子間距離まで秩序性を有し、かつ長距離秩序性を有さない構造を非晶質構造と呼ぶ場合もある。したがって、最も厳格な定義によれば、僅かでも原子配列に秩序性を有する酸化物半導体層を非晶質酸化物半導体層と呼ぶことはできない。また、少なくとも、長距離秩序性を有する酸化物半導体層を非晶質酸化物半導体層と呼ぶことはできない。よって、結晶部を有することから、例えば、CAAC-OS層およびnc-OS層を、非晶質酸化物半導体層または完全な非晶質酸化物半導体層と呼ぶことはできない。

40

【0171】

<非晶質ライク酸化物半導体層>

なお、酸化物半導体層は、nc-OS層と非晶質酸化物半導体層との間の構造を有する場合がある。そのような構造を有する酸化物半導体層を、特に非晶質ライク酸化物半導体（a-like OS: amorphous-like Oxide Semiconductor）層と呼ぶ。

【0172】

a-like OS層は、高分解能TEM像において鬆（ポイドともいう。）が観察さ

50

れる場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

【0173】

鬆を有するため、a-like OS層は、不安定な構造である。以下では、a-like OS層が、CAAC-OS層およびnc-OS層と比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0174】

電子照射を行う試料として、a-like OS層、nc-OS層およびCAAC-OS層を準備する。いずれの試料もIn-Ga-Zn酸化物である。

【0175】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

【0176】

なお、どの部分を一つの結晶部と見なすかの判定は、以下のように行えばよい。例えば、InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、格子縞の間隔が0.28nm以上0.30nm以下である箇所を、InGaZnO₄の結晶部と見なすことができる。なお、格子縞は、InGaZnO₄の結晶のa-b面に対応する。

【0177】

図23は、各試料の結晶部(22箇所から45箇所)の平均の大きさを調査した例である。ただし、上述した格子縞の長さを結晶部の大きさとしている。図23より、a-like OSは、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図23中に(1)で示すように、TEMによる観察初期においては1.2nm程度の大きさだった結晶部(初期核ともいう。)が、累積照射量が $4.2 \times 10^8 e^- / nm^2$ においては2.6nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 e^- / nm^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。具体的には、図23中の(2)および(3)で示すように、電子の累積照射量によらず、nc-OS層およびCAAC-OS層の結晶部の大きさは、それぞれ1.4nm程度および2.1nm程度であることがわかる。

【0178】

このように、a-like OS層は、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OS層およびCAAC-OS層は、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、a-like OS層は、nc-OS層およびCAAC-OS層と比べて、不安定な構造であることがわかる。

【0179】

また、鬆を有するため、a-like OS層は、nc-OS層およびCAAC-OS層と比べて密度の低い構造である。具体的には、a-like OS層の密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、nc-OS層の密度およびCAAC-OS層の密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体層は、成膜すること自体が困難である。

【0180】

例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体層において、菱面体晶構造を有する単結晶InGaZnO₄の密度は $6.357 g/cm^3$ となる。よって、例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体層において、a-like OS層の密度は $5.0 g/cm^3$ 以上 $5.9 g/cm^3$ 未満となる。また、例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体層

10

20

30

40

50

において、 $nc - OS$ 層の密度および $CAAC - OS$ 層の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満となる。

【0181】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、任意の組成における単結晶に相当する密度を見積もることができる。任意の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

【0182】

以上のように、酸化物半導体層は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体層は、例えば、非晶質酸化物半導体層、 $a - like$ OS 層、微結晶酸化物半導体層、 $CAAC - OS$ 層のうち、二種以上を有する積層膜であってもよい。

10

【0183】

<成膜モデル>

以下では、 $CAAC - OS$ 層および $nc - OS$ 層の成膜モデルの一例について説明する。

【0184】

図24(A)は、スパッタリング法により $CAAC - OS$ 層が成膜される様子を示した成膜室内の模式図である。

20

【0185】

ターゲット5130は、バックリングプレートに接着されている。バックリングプレートを介してターゲット5130と向かい合う位置には、複数のマグネットが配置される。該複数のマグネットによって磁場が生じている。マグネットの磁場を利用して成膜速度を高めるスパッタリング法は、マグネトロンスパッタリング法と呼ばれる。

【0186】

基板5120は、ターゲット5130と向かい合うように配置しており、その距離 d (ターゲット-基板間距離($T - S$ 間距離)ともいう。)は 0.01 m 以上 1 m 以下、好ましくは 0.02 m 以上 0.5 m 以下とする。成膜室内は、ほとんどが成膜ガス(例えば、酸素、アルゴン、または酸素を5体積%以上の割合で含む混合ガス)で満たされ、 0.01 Pa 以上 100 Pa 以下、好ましくは 0.1 Pa 以上 10 Pa 以下に制御される。ここで、ターゲット5130に一定以上の電圧を印加することで、放電が始まり、プラズマが確認される。なお、ターゲット5130の近傍には磁場によって、高密度プラズマ領域が形成される。高密度プラズマ領域では、成膜ガスがイオン化することで、イオン5101が生じる。イオン5101は、例えば、酸素の陽イオン(O^+)やアルゴンの陽イオン(Ar^+)などである。

30

【0187】

ここで、ターゲット5130は、複数の結晶粒を有する多結晶構造を有し、いずれかの結晶粒には劈開面が含まれる。図25(A)に、一例として、ターゲット5130に含まれる $InGaZnO_4$ の結晶の構造を示す。なお、図25(A)は、 b 軸に平行な方向から $InGaZnO_4$ の結晶を観察した場合の構造である。図25(A)より、近接する二つの $Ga - Zn - O$ 層において、それぞれの層における酸素原子同士が近距離に配置されていることがわかる。そして、酸素原子が負の電荷を有することにより、近接する二つの $Ga - Zn - O$ 層の間には斥力が生じる。その結果、 $InGaZnO_4$ の結晶は、近接する二つの $Ga - Zn - O$ 層の間に劈開面を有する。

40

【0188】

高密度プラズマ領域で生じたイオン5101は、電界によってターゲット5130側に加速され、やがてターゲット5130と衝突する。このとき、劈開面から平板状またはペレット状のスパッタ粒子であるペレット5100aおよびペレット5100bが剥離し、叩き出される。なお、ペレット5100aおよびペレット5100bは、イオン5101

50

の衝突の衝撃によって、構造に歪みが生じる場合がある。

【0189】

ペレット5100aは、三角形、例えば正三角形の平面を有する平板状またはペレット状のスパッタ粒子である。また、ペレット5100bは、六角形、例えば正六角形の平面を有する平板状またはペレット状のスパッタ粒子である。なお、ペレット5100aおよびペレット5100bなどの平板状またはペレット状のスパッタ粒子を総称してペレット5100と呼ぶ。ペレット5100の平面の形状は、三角形、六角形に限定されない、例えば、三角形が複数個合わさった形状となる場合がある。例えば、三角形（例えば、正三角形）が2個合わさった四角形（例えば、ひし形）となる場合もある。

【0190】

ペレット5100は、成膜ガスの種類などに応じて厚さが決定する。理由は後述するが、ペレット5100の厚さは、均一にすることが好ましい。また、スパッタ粒子は厚みのないペレット状である方が、厚みのあるサイコロ状であるよりも好ましい。例えば、ペレット5100は、厚さを0.4nm以上1nm以下、好ましくは0.6nm以上0.8nm以下とする。また、例えば、ペレット5100は、幅を1nm以上3nm以下、好ましくは1.2nm以上2.5nm以下とする。ペレット5100は、上述の図23中の(1)で説明した初期核に相当する。例えば、In-Ga-Zn酸化物を有するターゲット5130にイオン5101を衝突させると、図25(B)に示すように、Ga-Zn-O層、In-O層およびGa-Zn-O層の3層を有するペレット5100が剥離する。図25(C)に、剥離したペレット5100をc軸に平行な方向から観察した構造を示す。ペレット5100は、二つのGa-Zn-O層（パン）と、In-O層（具）と、を有するナノサイズのサンドイッチ構造と呼ぶこともできる。

【0191】

ペレット5100は、プラズマを通過する際に、側面が負または正に帯電する場合がある。ペレット5100は、例えば、側面に位置する酸素原子が負に帯電する可能性がある。側面が同じ極性の電荷を有することにより、電荷同士の反発が起こり、平板状またはペレット状の形状を維持することが可能となる。なお、CAAC-Osが、In-Ga-Zn酸化物である場合、インジウム原子と結合した酸素原子が負に帯電する可能性がある。または、インジウム原子、ガリウム原子または亜鉛原子と結合した酸素原子が負に帯電する可能性がある。また、ペレット5100は、プラズマを通過する際に、プラズマ中のインジウム原子、ガリウム原子、亜鉛原子および酸素原子などと結合することで成長する場合がある。上述の図23中の(2)と(1)の大きさの違いが、プラズマ中での成長分に相当する。ここで、基板5120が室温程度である場合、基板5120上におけるペレット5100の成長が起こりにくいためnc-Os層となる(図24(B)参照。)。室温程度で成膜できることから、基板5120が大面積である場合でもnc-Os層の成膜が可能である。なお、ペレット5100をプラズマ中で成長させるためには、スパッタリング法における成膜電力を高くすることが有効である。成膜電力を高くすることで、ペレット5100の構造を安定にすることができる。

【0192】

図24(A)および図24(B)に示すように、例えば、ペレット5100は、プラズマ中を凧のように飛翔し、ひらひらと基板5120上まで舞い上がっていく。ペレット5100は電荷を帯びているため、ほかのペレット5100が既に堆積している領域が近づくとき、斥力が生じる。ここで、基板5120の上面上では、基板5120の上面上に平行な向きの磁場（水平磁場ともいう。）が生じている。また、基板5120およびターゲット5130間には、電位差が与えられるため、基板5120からターゲット5130に向かう方向に電流が流れる。したがって、ペレット5100は、基板5120の上面上において、磁場および電流の作用によって、力（ローレンツ力）を受ける。このことは、フレミングの左手の法則によって理解できる。

【0193】

ペレット5100は、原子一つと比べると質量が大きい。そのため、基板5120の上

10

20

30

40

50

面を移動するためには何らかの力を外部から印加することが重要となる。その力の一つが磁場および電流の作用で生じる力である可能性がある。なお、ペレット5100に、基板5120の上面を移動するために十分な力を与えるには、基板5120の上面において、基板5120の上面に平行な向きの磁場が10G以上、好ましくは20G以上、さらに好ましくは30G以上、より好ましくは50G以上となる領域を設けるとよい。または、基板5120の上面において、基板5120の上面に平行な向きの磁場が、基板5120の上面に垂直な向きの磁場の1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上、より好ましくは5倍以上となる領域を設けるとよい。

【0194】

このとき、マグネットと基板5120とが相対的に移動すること、または回転することによって、基板5120の上面における水平磁場の向きは変化し続ける。したがって、基板5120の上面において、ペレット5100は、様々な方向から力を受け、様々な方向へ移動することができる。

10

【0195】

また、図24(A)に示すように基板5120が加熱されている場合、ペレット5100と基板5120との間で摩擦などによる抵抗が小さい状態となっている。その結果、ペレット5100は、基板5120の上面を滑空するように移動する。ペレット5100の移動は、平板面を基板5120に向けた状態で起こる。その後、既に堆積しているほかのペレット5100の側面まで到達すると、側面同士が結合する。このとき、ペレット5100の側面にある酸素原子が脱離する。脱離した酸素原子によって、CAAC-Os層中の酸素欠損が埋まる場合があるため、欠陥準位密度の低いCAAC-Os層となる。なお、基板5120の上面の温度は、例えば、100以上500未満、150以上450未満、または170以上400未満とすればよい。したがって、基板5120が大面積である場合でもCAAC-Os層の成膜は可能である。

20

【0196】

また、ペレット5100は、基板5120上で加熱されることにより、原子が再配列し、イオン5101の衝突で生じた構造の歪みが緩和される。歪みの緩和されたペレット5100は、ほとんど単結晶となる。ペレット5100がほとんど単結晶となることにより、ペレット5100同士が結合した後に加熱されたとしても、ペレット5100自体の伸縮はほとんど起こり得ない。したがって、ペレット5100間の隙間が広がることで結晶粒界などの欠陥を形成し、クレバス化することがない。

30

【0197】

また、CAAC-Os層は、単結晶酸化物半導体層が一枚板のようにになっているのではなく、ペレット5100(ナノ結晶)の集合体がレンガまたはブロックが積み重なったような配列をしている。また、ペレット5100同士の間には結晶粒界を有さない。そのため、成膜時の加熱、成膜後の加熱または曲げなどで、CAAC-Os層に縮みなどの変形が生じた場合でも、局部応力を緩和する、または歪みを逃がすことが可能である。したがって、可とう性を有する半導体装置に用いることに適した構造である。なお、nc-Osは、ペレット5100(ナノ結晶)が無秩序に積み重なったような配列となる。

【0198】

ターゲット5130をイオン5101でスパッタした際に、ペレット5100だけでなく、酸化亜鉛などが剥離する場合がある。酸化亜鉛はペレット5100よりも軽量であるため、先に基板5120の上面に到達する。そして、0.1nm以上10nm以下、0.2nm以上5nm以下、または0.5nm以上2nm以下の酸化亜鉛層5102を形成する。図26に断面模式図を示す。

40

【0199】

図26(A)に示すように、酸化亜鉛層5102上にはペレット5105aと、ペレット5105bと、が堆積する。ここで、ペレット5105aとペレット5105bとは、互いに側面が接するように配置している。また、ペレット5105cは、ペレット5105b上に堆積した後、ペレット5105b上を滑るように移動する。また、ペレット51

50

05aの別の側面において、酸化亜鉛とともにターゲットから剥離した複数の粒子5103が基板5120からの加熱により結晶化し、領域5105a1を形成する。なお、複数の粒子5103は、酸素、亜鉛、インジウムおよびガリウムなどを含む可能性がある。

【0200】

そして、図26(B)に示すように、領域5105a1は、ペレット5105aと一体化し、ペレット5105a2となる。また、ペレット5105cは、その側面がペレット5105bの別の側面と接するように配置する。

【0201】

次に、図26(C)に示すように、さらにペレット5105dがペレット5105a2上およびペレット5105b上に堆積した後、ペレット5105a2上およびペレット5105b上を滑るように移動する。また、ペレット5105cの別の側面に向けて、さらにペレット5105eが酸化亜鉛層5102上を滑るように移動する。

【0202】

そして、図26(D)に示すように、ペレット5105dは、その側面がペレット5105a2の側面と接するように配置する。また、ペレット5105dは、その側面がペレット5105cの別の側面と接するように配置する。また、ペレット5105dの別の側面において、酸化亜鉛とともにターゲット5130から剥離した複数の粒子5103が基板5120からの加熱により結晶化し、領域5105d1を形成する。

【0203】

以上のように、堆積したペレット同士が接するように配置し、ペレットの側面において成長が起こることによって、基板5120上にCAAC-OSが形成される。したがって、CAAC-OSは、nc-OSよりも一つ一つのペレットが大きくなる。上述の図23中の(3)と(2)の大きさの違いが、堆積後の成長分に相当する。

【0204】

また、ペレット同士の隙間が極めて小さくなることで、一つの大きなペレットが形成される場合がある。一つの大きなペレットは、単結晶構造を有する。例えば、ペレットの大きさが、上面から見て10nm以上200nm以下、15nm以上100nm以下、または20nm以上50nm以下となる場合がある。このとき、微細なトランジスタに用いる酸化物半導体層において、チャンネル形成領域が一つの大きなペレットに収まる場合がある。即ち、単結晶構造を有する領域をチャンネル形成領域として用いることができる。また、ペレットが大きくなることで、単結晶構造を有する領域をトランジスタのチャンネル形成領域、ソース領域およびドレイン領域として用いることができる場合がある。

【0205】

このように、トランジスタのチャンネル形成領域などが、単結晶構造を有する領域に形成されることによって、トランジスタの周波数特性を高くすることができる場合がある。

【0206】

以上のようなモデルにより、ペレット5100が基板5120上に堆積していくと考えられる。被形成面が結晶構造を有さない場合においても、CAAC-OS層の成膜が可能であることから、エピタキシャル成長とは異なる成長機構であることがわかる。また、CAAC-OS層は、レーザ結晶化が不要であり、大面積のガラス基板などであっても均一な成膜が可能である。例えば、基板5120の上面(被形成面)の構造が非晶質構造(例えば非晶質酸化シリコン)であっても、CAAC-OS層を成膜することは可能である。

【0207】

また、CAAC-OS層は、被形成面である基板5120の上面に凹凸がある場合でも、その形状に沿ってペレット5100が配列することがわかる。例えば、基板5120の上面が原子レベルで平坦な場合、ペレット5100はa-b面と平行な平面である平板面を下に向けて並置する。ペレット5100の厚さが均一である場合、厚さが均一で平坦、かつ高い結晶性を有する層が形成される。そして、当該層がn段(nは自然数。)積み重なることで、CAAC-OS層を得ることができる。

【0208】

10

20

30

40

50

一方、基板 5 1 2 0 の上面が凹凸を有する場合でも、C A A C - O S 層は、ペレット 5 1 0 0 が凹凸に沿って並置した層が n 段 (n は自然数。) 積み重なった構造となる。基板 5 1 2 0 が凹凸を有するため、C A A C - O S 層は、ペレット 5 1 0 0 間に隙間が生じやすい場合がある。ただし、この場合でも、ペレット 5 1 0 0 間で分子間力が働き、凹凸があってもペレット間の隙間はなるべく小さくなるように配列する。したがって、凹凸があっても高い結晶性を有する C A A C - O S 層とすることができる。

【 0 2 0 9 】

このようなモデルによって C A A C - O S 層が成膜されるため、スパッタ粒子が厚みのないペレット状である方が好ましい。なお、スパッタ粒子が厚みのあるサイコロ状である場合、基板 5 1 2 0 上に向ける面が一定とならず、厚さや結晶の配向を均一にできない場合がある。

10

【 0 2 1 0 】

以上に示した成膜モデルにより、非晶質構造を有する被形成面上であっても、高い結晶性を有する C A A C - O S 層を得ることができる。

【 0 2 1 1 】

< トランジスタの作製方法 >

以下では、トランジスタ 4 5 0 の作製方法について、説明する。なお、先の実施の形態と同様の構成については、実施の形態 1 または実施の形態 2 を参照することができるため、一部記載を省略することができる。

【 0 2 1 2 】

まず、基板 4 0 0 準備する。基板 4 0 0 は基板 1 0 0 と同様の材料を用いることができる。なお、基板上に半導体素子が設けられた基板を基板 4 0 0 として用いてもよい。

20

【 0 2 1 3 】

また、基板 4 0 0 として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板 4 0 0 に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。

【 0 2 1 4 】

基板 4 0 0 上に絶縁層 4 0 2 を形成する。絶縁層 4 0 2 を形成後、絶縁層 4 0 2 に酸素を添加することにより、化学量論的組成よりも過剰な酸素を含む絶縁層を形成しても構わない。酸素の添加は、プラズマ処理またはイオン注入法などにより行えばよい。酸素の添加をイオン注入法で行う場合、例えば、加速電圧を 2 k V 以上 1 0 0 k V 以下とし、ドーズ量を 5×10^{14} ions / cm² 以上 5×10^{16} ions / cm² 以下とすればよい。

30

【 0 2 1 5 】

次いで、絶縁層 4 0 2 上に第 1 の酸化物半導体層 4 0 4 および第 2 の酸化物半導体層 4 0 6 を積層する。その後、フォトリソグラフィ法を用いたエッチングによって島状に加工する。ここでのエッチング処理で、絶縁層 4 0 2 を同時にエッチングして、第 1 の酸化物半導体層 4 0 4 から露出した領域の膜厚を減少させてもよい。ただし、絶縁層 4 0 2 のエッチングは、基板 4 0 0 の表面を露出しない程度に適度に行うものとする。絶縁層 4 0 2 を適度にエッチングすることで、後に形成するゲート電極層 4 1 2 によって第 2 の酸化物半導体層 4 0 6 を覆いやすくすることができる。なお、トランジスタを微細化するために、第 1 の酸化物半導体層 4 0 4 および第 2 の酸化物半導体層 4 0 6 の加工時にハードマスクを用いてもよい。

40

【 0 2 1 6 】

なお、第 1 の酸化物半導体層 4 0 4 および第 2 の酸化物半導体層 4 0 6 の加工時に、第 1 の酸化物半導体層 4 0 4 および第 2 の酸化物半導体層 4 0 6 の加工面にダメージが入らないようエッチングすることが好ましい。例えば、ドライエッチング法を用いて、中性ビームエッチングを行えばよい。中性ビームであることから、電荷によるチャージアップが起こらず、また低エネルギーであるため、低ダメージでエッチングすることが可能となる

50

。または、第1の酸化物半導体層404および第2の酸化物半導体層406が結晶である場合、結晶面によってエッチレートが異なることを利用したウェットエッチング法を用いても構わない。ウェットエッチング法を用いることにより、加工面へのダメージを低減することができる。

【0217】

第2の酸化物半導体層406の形成後に、第1の加熱処理を行ってもよい。第1の加熱処理は、250 以上650 以下、好ましくは300 以上500 以下の温度で、不活性ガス雰囲気、酸化性ガスを10ppm以上含む雰囲気、または減圧状態で行えばよい。また、第1の加熱処理の雰囲気は、不活性ガス雰囲気です。加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上含む雰囲気で行ってもよい。第1の加熱処理によって、第2の酸化物半導体層406の結晶性を高め、さらに絶縁層402から水素や水などの不純物を除去することができる。

10

【0218】

次に、第2の酸化物半導体層406を覆ってソース電極層408aおよびドレイン電極層408bとなる導電膜を形成する。導電膜は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。ただし、第1の酸化物半導体層または第2の酸化物半導体層へのプラズマによる損傷(ダメージ)を低減するためには、MCVD法等の熱CVD法を用いることが好ましい。

【0219】

次に、導電膜を分断するようにエッチングし、ソース電極層408aおよびドレイン電極層408bを形成する。なお、導電膜をエッチングする際、ソース電極層408aおよびドレイン電極層408bの端部が丸みを帯びる(曲面を有する)場合がある。また、導電膜をエッチングする際、絶縁層402がエッチングされ、膜厚が減少した領域が形成される場合がある。

20

【0220】

次に、第2の酸化物半導体層406、ソース電極層408aおよびドレイン電極層408b上に、ゲート絶縁層として機能する絶縁層410を形成する。その後、絶縁層410上に、ゲート電極層412を形成する。ゲート電極層412は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。ただし、第1の酸化物半導体層または第2の酸化物半導体層へのプラズマによる損傷(ダメージ)を低減するためには、MCVD法等の熱CVD法を用いることが好ましい。

30

【0221】

次に、ソース電極層408a上、ドレイン電極層408b上、絶縁層410上、およびゲート電極層412上に絶縁層414を形成する。絶縁層414は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。ただし、第1または第2の酸化物半導体層へのプラズマによる損傷(ダメージ)を低減するためには、熱CVD法またはALD法を用いることが好ましい。

【0222】

次に、第2の加熱処理を行ってもよい。第2の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第2の加熱処理により、第2の酸化物半導体層406の酸素欠損を低減することができる場合がある。

40

【0223】

以上の工程で、図4に示すトランジスタ450を作製することができる。

【0224】

なお、図4(B)では、ゲート電極層412は、第1の酸化物半導体層404および第2の酸化物半導体層406の上側に設けられていたが、本発明の一態様は、これに限定されない。例えば、図16(A)に示すように、ゲート電極層413が、第1の酸化物半導体層404および第2の酸化物半導体層406の下側にも設けられていてもよい。ゲート電極層413の材質は、ゲート電極層412と同様に、様々な材質を用いることができる。なお、ゲート電極層413には、ゲート電極層412と同じ電位や同じ信号が供給され

50

てもよいし、異なる電位や信号が供給されてもよい。ゲート電極層 4 1 3 に、一定の電位を供給して、トランジスタのしきい値電圧を制御してもよい。図 1 6 (B) には、開口部を介して、ゲート電極層 4 1 3 とゲート電極層 4 1 2 とを接続させた場合の例を示す。なお、図 4 以外の場合であっても、同様に、ゲート電極層 4 1 3 を設けることが可能である。

【 0 2 2 5 】

< トランジスタ構造 1 の変形例 >

また、図 5 に示すトランジスタ 4 6 0 のように絶縁層 4 1 0 と第 2 の酸化物半導体層 4 0 6 の間に第 3 の酸化物半導体層 4 0 7 を配置しても構わない。第 3 の酸化物半導体層 4 0 7 としては、第 2 の酸化物半導体層 4 0 6 と同様の材料を適用することができる。ただし、第 3 の酸化物半導体層 4 0 7 は、酸化物半導体と異なる構成元素（例えばシリコン）を有する絶縁層 4 1 0 と接するため、第 3 の酸化物半導体層 4 0 7 と絶縁層 4 1 0 との界面に異種接合、不純物の混入等に起因した界面準位が形成される場合がある。したがって、トランジスタの電気特性を安定化させるためには第 2 の酸化物半導体層 4 0 6 にチャネルが形成されることが好ましい。よって、第 3 の酸化物半導体層 4 0 7 には、第 2 の酸化物半導体層 4 0 6 よりも電子親和力の小さい材料を用いることが好ましい。

10

【 0 2 2 6 】

また、第 3 の酸化物半導体層 4 0 7 は、プラズマを用いない成膜方法を適用することが好ましく、MOCVD法を適用することがより好ましい。MOCVD法によって第 3 の酸化物半導体層 4 0 7 を形成することで、第 2 の酸化物半導体層 4 0 6 の結晶部を種結晶としたエピタキシャル成長によって、結晶部を有する第 3 の酸化物半導体層 4 0 7 を形成することができる。なお、そのほかの構成については、図 4 に示したトランジスタについての記載を参照する。

20

【 0 2 2 7 】

なお、図 5 (B) では、ゲート電極層 4 1 2 は、第 3 の酸化物半導体層 4 0 7 の上側に設けられていたが、本発明の実施形態の一態様は、これに限定されない。例えば、図 1 7 (A) に示すように、ゲート電極層 4 1 3 が、第 1 の酸化物半導体層 4 0 4 乃至第 3 の酸化物半導体層 4 0 7 の下側にも設けられていてもよい。図 1 7 (B) には、開口部を介して、ゲート電極層 4 1 3 とゲート電極層 4 1 2 とを接続させた場合の例を示す。なお、図 4 や図 5 以外の場合であっても、同様に、ゲート電極層 4 1 3 を設けることが可能である。

30

【 0 2 2 8 】

< トランジスタ構造 2 >

図 6 (A) および図 6 (B) は、本発明の一態様のトランジスタ 5 5 0 の平面図および断面図である。図 6 (A) は平面図であり、図 6 (B) は、図 6 (A) に示す一点鎖線 B 1 - B 2、および一点鎖線 B 3 - B 4 に対応する断面図である。なお、図 6 (A) の平面図では、図の明瞭化のために一部の要素を省いて図示している。

【 0 2 2 9 】

図 6 (A) および図 6 (B) に示すトランジスタ 5 5 0 は、基板 5 0 0 上の凸部を有する絶縁層 5 0 2 と、絶縁層 5 0 2 の凸部上の第 1 の酸化物半導体層 5 0 4 および第 2 の酸化物半導体層 5 0 6 と、第 2 の酸化物半導体層 5 0 6 上の絶縁層 5 1 0 と、絶縁層 5 1 0 上面に接し、第 2 の酸化物半導体層 5 0 6 の上面および側面に対向するゲート電極層 5 1 2 と、第 2 の酸化物半導体層 5 0 6 およびゲート電極層 5 1 2 上にあり、第 2 の酸化物半導体層 5 0 6 に達する開口部を有する絶縁層 5 1 4 と、該開口部を埋めるソース電極層 5 1 6 a およびドレイン電極層 5 1 6 b と、ソース電極層 5 1 6 a およびドレイン電極層 5 1 6 b とそれぞれ接する導電層 5 1 8 a および導電層 5 1 8 b と、を有する。なお、絶縁層 5 0 2 が凸部を有さなくても構わない。

40

【 0 2 3 0 】

図 6 に示すトランジスタ 5 5 0 において、ソース電極層 5 1 6 a およびドレイン電極層 5 1 6 b は、ゲート電極層 5 1 2 と重ならないよう配置される。したがって、ソース電極

50

層 5 1 6 a またはドレイン電極層 5 1 6 b と、ゲート電極層 5 1 2 と、の間に生じる寄生容量を低減することができる。そのため、図 6 に示すトランジスタは、優れたスイッチング特性を実現することができる。

【 0 2 3 1 】

また、絶縁層 5 1 4 と、ソース電極層 5 1 6 a およびドレイン電極層 5 1 6 b と、の上面の高さが揃っていることで、形状不良を起こしにくい構造である。したがって、該トランジスタを有する半導体装置は、歩留り高く作製することができる。

【 0 2 3 2 】

導電層 5 1 8 a および導電層 5 1 8 b としては、例えば、アルミニウム、チタン、クロム、コバルト、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、タンタルおよびタングステンを一種以上含む導電層を、単層で、または積層で用いればよい。

10

【 0 2 3 3 】

また、基板 5 0 0 は基板 4 0 0 についての記載を参酌することができる。また、絶縁層 5 0 2 は絶縁層 4 0 2 についての記載を参酌することができる。また、第 1 の酸化物半導体層 5 0 4 は第 1 の酸化物半導体層 4 0 4 についての記載を参酌することができる。また、第 2 の酸化物半導体層 5 0 6 は、第 2 の酸化物半導体層 4 0 6 についての記載を参酌することができる。また、ソース電極層 5 1 6 a およびドレイン電極層 5 1 6 b は、ソース電極層 4 0 8 a およびドレイン電極層 4 0 8 b についての記載を参酌することができる。また、絶縁層 5 1 0 は、絶縁層 4 1 0 についての記載を参酌することができる。また、ゲート電極層 5 1 2 は、ゲート電極層 4 1 2 についての記載を参酌することができる。また、絶縁層 5 1 4 は、絶縁層 4 1 4 についての記載を参酌することができる。

20

【 0 2 3 4 】

なお、図 6 (B) では、ゲート電極層 5 1 2 は、第 1 の酸化物半導体層 5 0 4 および第 2 の酸化物半導体層 5 0 6 の上側に設けられていたが、本発明の一態様は、これに限定されない。例えば、図 1 8 (A) に示すように、ゲート電極層 5 1 3 が、第 1 の酸化物半導体層 5 0 4 および第 2 の酸化物半導体層 5 0 6 の下側にも設けられていてもよい。ゲート電極層 5 1 3 の材質は、ゲート電極層 5 1 2 と同様に、様々な材質を用いることが出来る。なお、ゲート電極層 5 1 3 には、ゲート電極層 5 1 2 と同じ電位や同じ信号が供給されてもよいし、異なる電位や信号が供給されてもよい。ゲート電極層 5 1 3 に、一定の電位を供給して、トランジスタのしきい値電圧を制御してもよい。図 1 8 (B) には、開口部を介して、ゲート電極層 5 1 3 とゲート電極層 5 1 2 とを接続させた場合の例を示す。また、ゲート電極層 5 1 3 は、ソース電極層 5 1 6 a およびドレイン電極層 5 1 6 b と重なるよう配置してもよい。その場合の例を、図 1 8 (B) に示す。なお、図 4、図 5、図 6 以外の場合であっても、同様に、ゲート電極層 5 1 3 を設けることが可能である。

30

【 0 2 3 5 】

< トランジスタ構造 2 の変形例 >

また、図 6 に示すトランジスタにおいて、絶縁層 5 1 0 と第 2 の酸化物半導体層 5 0 6 との間に第 3 の酸化物半導体層を配置しても構わない。該第 3 の酸化物半導体層は第 3 の酸化物半導体層 4 0 7 についての記載を参酌することができる。なお、そのほかの構成については、図 6 に示したトランジスタについての記載を参酌することができる。

40

【 0 2 3 6 】

< トランジスタ構造 3 >

図 7 (A) および図 7 (B) は、本発明の一態様のトランジスタ 6 5 0 の平面図および断面図である。図 7 (A) は平面図であり、図 7 (B) は、図 7 (A) に示す一点鎖線 C 1 - C 2、および一点鎖線 C 3 - C 4 に対応する断面図である。なお、図 7 (A) の平面図では、図の明瞭化のために一部の要素を省いて図示している。

【 0 2 3 7 】

図 7 (A) および図 7 (B) に示すトランジスタ 6 5 0 は、基板 6 0 0 上のゲート電極層 6 1 2 と、ゲート電極層 6 1 2 上の絶縁層 6 0 2 と、絶縁層 6 0 2 上の第 1 の酸化物半

50

導体層 604 と、第 1 の酸化物半導体層 604 上の第 2 の酸化物半導体層 606 と、第 1 の酸化物半導体層 604 の側面および第 2 の酸化物半導体層 606 の上面と側面に接するソース電極層 608 a およびドレイン電極層 608 b と、第 2 の酸化物半導体層 606、ソース電極層 608 a およびドレイン電極層 608 b 上の絶縁層 610 と、を有する。なお、基板 600 とゲート電極層 612 との間に絶縁層を有しても構わない。

【0238】

なお、トランジスタ 650 は、絶縁層 610 を介して第 2 の酸化物半導体層 606 と重なる導電層を有してもよい。該導電層は、トランジスタ 650 の第 2 のゲート電極層として機能する。また、該第 2 のゲート電極によって s - c h a n n e l 構造を形成していても構わない。

10

【0239】

基板 600 は基板 400 についての記載を参酌することができる。また、ゲート電極層 612 はゲート電極層 412 についての記載を参酌することができる。また、絶縁層 602 は絶縁層 402 についての記載を参酌することができる。また、第 1 の酸化物半導体層 604 は第 1 の酸化物半導体層 404 についての記載を参酌することができる。また、第 2 の酸化物半導体層 606 は、第 2 の酸化物半導体層 406 についての記載を参酌することができる。また、ソース電極層 608 a およびドレイン電極層 608 b は、ソース電極層 408 a およびドレイン電極層 408 b についての記載を参酌することができる。また、絶縁層 610 は絶縁層 410 についての記載を参酌することができる。

【0240】

20

以上示した本発明の一態様に係るトランジスタは、プラズマによる損傷が防止され、欠陥量の低減された酸化物半導体層にチャネルが形成されることで、電気特性の変動を抑制したトランジスタとすることができる。当該トランジスタを適用することで、半導体装置の信頼性を向上させることができる。

【0241】

なお、本実施の形態において、チャネルなどにおいて、酸化物半導体層を用いた場合の例を示したが、本発明の一態様は、これに限定されない。例えば、チャネルやその近傍、ソース領域、ドレイン領域などにおいて、場合によっては、または、状況に応じて、Si (シリコン)、Ge (ゲルマニウム)、SiGe (シリコンゲルマニウム)、GaAs (ガリウムヒ素)、などを有する材料で形成してもよい。

30

【0242】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0243】

(実施の形態 4)

本実施の形態では、本発明の一態様に係る半導体装置を例示する。

【0244】

<回路>

以下では、本発明の一態様のトランジスタを利用した回路の一例について説明する。

【0245】

40

[断面構造]

図 8 (A) に本発明の一態様の半導体装置の断面図を示す。図 8 (A) に示す半導体装置は、下部に第 1 の半導体を用いたトランジスタ 2200 を有し、上部に第 2 の半導体を用いたトランジスタ 2100 を有している。図 8 (A) では、第 2 の半導体を用いたトランジスタ 2100 として、図 4 で例示したトランジスタを適用した例を示している。なお、トランジスタ 2100 として、実施の形態 3 で例示した他の構成を有するトランジスタを適用してもよい。

【0246】

第 1 の半導体は、第 2 の半導体と異なるエネルギーギャップを持つ半導体を用いてもよい。例えば、第 1 の半導体を酸化物半導体以外の半導体とし、第 2 の半導体を酸化物半導

50

体としてもよい。第1の半導体として単結晶シリコンを用いた場合は、高速動作をすることに適したトランジスタ2200とすることができる。また、第2の半導体として酸化物半導体を用いることでオフ電流を低くすることに適したトランジスタ2100とすることができる。

【0247】

なお、トランジスタ2200は、nチャネル型、pチャネル型のどちらでもよいが、回路によって適切なトランジスタを用いる。また、トランジスタ2100および/またはトランジスタ2200として、上述したトランジスタや図8(A)に示したトランジスタを用いなくても構わない場合がある。

【0248】

図8(A)に示す半導体装置は、絶縁層2201および絶縁層2207を介して、トランジスタ2200の上部にトランジスタ2100を有する。また、トランジスタ2200とトランジスタ2100の間には、配線として機能する複数の導電層2202が設けられている。また、各種絶縁層に埋め込まれた複数の導電層2203により、上層と下層にそれぞれ設けられた配線や電極が電氣的に接続されている。また、トランジスタ2100上の絶縁層2204と、絶縁層2204上の導電層2205と、トランジスタ2100のソース電極層およびドレイン電極層と同一層に(同一工程を経て)形成された導電層2206と、を有する。

【0249】

複数のトランジスタを積層した構造とすることにより、高密度に複数の回路を配置することができる。

【0250】

ここで、トランジスタ2200に用いる第1の半導体に単結晶シリコンを用いた場合、トランジスタ2200の第1の半導体の近傍の絶縁層の水素濃度が高いことが好ましい。該水素により、シリコンのダングリングボンドを終端させることで、トランジスタ2200の信頼性を向上させることができる。一方、トランジスタ2100に用いる酸化物半導体の近傍の絶縁層の水素濃度が低いことが好ましい。該水素は、酸化物半導体中にキャリアを生成する要因の一つとなるため、トランジスタ2100の信頼性を低下させる要因となる場合がある。したがって、単結晶シリコンを用いたトランジスタ2200、および酸化物半導体を用いたトランジスタ2100を積層する場合、これらの間に水素をブロックする機能を有する絶縁層2207を配置することは両トランジスタの信頼性を高めるために有効である。

【0251】

絶縁層2207としては、例えば酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア(YSZ)などを含む絶縁層を、単層で、または積層で用いればよい。

【0252】

また、酸化物半導体を用いたトランジスタ2100を覆うように、トランジスタ2100上に水素をブロックする機能を有する絶縁層を形成することが好ましい。絶縁層としては、絶縁層2207と同様の絶縁層を用いることができ、特に酸化アルミニウムを適用することが好ましい。酸化アルミニウム膜は、水素、水分などの不純物および酸素の双方に対して膜を透過させない遮断効果が高い。したがって、トランジスタ2100を覆う絶縁層2208として酸化アルミニウム膜を用いることで、トランジスタ2100に含まれる酸化物半導体からの酸素の脱離を防止するとともに、酸化物半導体への水および水素の混入を防止することができる。

【0253】

なお、トランジスタ2200は、プレーナ型だけでなく、様々な構成をとることが出来る。例えば、FIN(フィン)型、TRI-GATE(トライゲート)型などの構成をとることが出来る。その場合の断面図の例を、図8(D)に示す。半導体基板2211の上

10

20

30

40

50

に、絶縁層 2 2 1 2 が設けられている。半導体基板 2 2 1 1 は、トランジスタ 2 2 0 0 のチャンネル幅方向に凸部を有する形状に加工されている。加工された半導体基板 2 2 1 1 の上には、ゲート絶縁膜 2 2 1 4 が設けられ、その上には、ゲート電極 2 2 1 3 が設けられている。半導体基板 2 2 1 1 には、ソース・ドレイン領域 2 2 1 5 が形成されている。なお、ここでは、半導体基板 2 2 1 1 が、凸部を有する形状に加工された場合の例を示したが、本発明の実施形態の一態様は、これに限定されない。SOI 基板を加工して、凸部を有する半導体領域を形成してもよい。

【 0 2 5 4 】

〔回路構成例〕

上記回路において、トランジスタ 2 1 0 0 やトランジスタ 2 2 0 0 の電極の接続を異ならせることにより、様々な回路を構成することができる。以下では、本発明の一態様の半導体装置を用いることにより実現できる回路構成の例を説明する。

10

【 0 2 5 5 】

〔CMOS 回路〕

図 8 (B) に示す回路図は、p チャンネル型のトランジスタ 2 2 0 0 と n チャンネル型のトランジスタ 2 1 0 0 を直列に接続し、かつそれぞれのゲートを接続した、いわゆる CMOS 回路の構成を示している。

【 0 2 5 6 】

〔アナログスイッチ〕

また、図 8 (C) に示す回路図は、トランジスタ 2 1 0 0 とトランジスタ 2 2 0 0 のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるアナログスイッチとして機能させることができる。

20

【 0 2 5 7 】

〔記憶装置の例〕

本発明の一態様に係るトランジスタを用いた、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を図 9 に示す。

【 0 2 5 8 】

図 9 (A) に示す半導体装置は、第 1 の半導体を用いたトランジスタ 3 2 0 0 と第 2 の半導体を用いたトランジスタ 3 3 0 0、および容量素子 3 4 0 0 を有している。なお、トランジスタ 3 3 0 0 としては、実施の形態 3 で例示したトランジスタを用いることができる。

30

【 0 2 5 9 】

トランジスタ 3 3 0 0 は、酸化物半導体を用いたトランジスタである。トランジスタ 3 3 0 0 のオフ電流が小さいことにより、半導体装置の特定のノードに長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、またはリフレッシュ動作の頻度が極めて少なくすることが可能となるため、消費電力の低い半導体装置となる。

【 0 2 6 0 】

図 9 (A) において、第 1 の配線 3 0 0 1 はトランジスタ 3 2 0 0 のソースと電氣的に接続され、第 2 の配線 3 0 0 2 はトランジスタ 3 2 0 0 のドレインと電氣的に接続される。また、第 3 の配線 3 0 0 3 はトランジスタ 3 3 0 0 のソース、ドレインの一方と電氣的に接続され、第 4 の配線 3 0 0 4 はトランジスタ 3 3 0 0 のゲートと電氣的に接続されている。そして、トランジスタ 3 2 0 0 のゲート、およびトランジスタ 3 3 0 0 のソース、ドレインの他方は、容量素子 3 4 0 0 の電極の一方と電氣的に接続され、第 5 の配線 3 0 0 5 は容量素子 3 4 0 0 の電極の他方と電氣的に接続されている。

40

【 0 2 6 1 】

図 9 (A) に示す半導体装置は、トランジスタ 3 2 0 0 のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

50

【0262】

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ3300が導通状態となる電位にして、トランジスタ3300を導通状態とする。これにより、第3の配線3003の電位が、トランジスタ3200のゲート、および容量素子3400の電極の一方と電気的に接続するノードFGに与えられる。すなわち、トランジスタ3200のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という。）のどちらかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ3300が非導通状態となる電位とすることで、ノードFGに電荷が保持される（保持）。

10

【0263】

トランジスタ3300のオフ電流は極めて小さいため、ノードFGの電荷は長期間にわたって保持される。

【0264】

次に情報の読み出しについて説明する。第1の配線3001に所定の電位（定電位）を与えた状態で、第5の配線3005に適切な電位（読み出し電位）を与えると、第2の配線3002は、ノードFGに保持された電荷量に応じた電位をとる。これは、トランジスタ3200をnチャネル型とすると、トランジスタ3200のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ3200のゲートにLowレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ3200を「導通状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードFGに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードFGにHighレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 ($> V_{th_H}$)となれば、トランジスタ3200は「導通状態」となる。一方、ノードFGにLowレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 ($< V_{th_L}$)となっても、トランジスタ3200は「非導通状態」のままである。このため、第2の配線3002の電位を判別することで、ノードFGに保持されている情報を読み出すことができる。

20

30

【0265】

なお、メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。ほかのメモリセルの情報を読み出さないためには、ノードFGに与えられた電荷によらずトランジスタ3200が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を第5の配線3005に与えればよい。または、ノードFGに与えられた電荷によらずトランジスタ3200が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を第5の配線3005に与えればよい。

【0266】

図9(B)に示す半導体装置は、トランジスタ3200を有さない点で図9(A)に示した半導体装置と異なる。この場合も図9(A)に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。

40

【0267】

図9(B)に示す半導体装置における、情報の読み出しについて説明する。トランジスタ3300が導通状態になると、浮遊状態である第3の配線3003と容量素子3400とが導通し、第3の配線3003と容量素子3400の間で電荷が再分配される。その結果、第3の配線3003の電位が変化する。第3の配線3003の電位の変化量は、容量素子3400の電極の一方の電位（または容量素子3400に蓄積された電荷）によって、異なる値をとる。

【0268】

例えば、容量素子3400の電極の一方の電位を V 、容量素子3400の容量を C 、第

50

3の配線3003が有する容量成分をCB、電荷が再分配される前の第3の配線3003の電位をVB0とすると、電荷が再分配された後の第3の配線3003の電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。したがって、メモリセルの状態として、容量素子3400の第1の端子の電位がV1とV0 ($V1 > V0$)の2つの状態をとるとすると、電位V1を保持している場合の第3の配線3003の電位 ($= (CB \times VB0 + C \times V1) / (CB + C)$) は、電位V0を保持している場合の第3の配線3003の電位 ($= CB \times VB0 + C \times V0) / (CB + C)$) よりも高くなることがわかる。

【0269】

そして、第3の配線3003の電位を所定の電位と比較することで、情報を読み出すことができる。

10

【0270】

この場合、メモリセルを駆動させるための駆動回路に上記第1の半導体が適用されたトランジスタを用い、トランジスタ3300として第2の半導体が適用されたトランジスタを駆動回路上に積層して設ける構成とすればよい。

【0271】

以上に示した半導体装置は、酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、長期にわたって記憶内容を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力の低い半導体装置を実現することができる。また、電力の供給がない場合(ただし、電位は固定されていることが好ましい)であっても、長期にわたって記憶内容を保持することが可能である。

20

【0272】

また、該半導体装置は、情報の書き込みに高い電圧が不要であるため、素子の劣化が起こりにくい。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行わないため、絶縁層の劣化といった問題が全く生じない。すなわち、本発明の一態様に係る半導体装置は、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上した半導体装置である。さらに、トランジスタの導通状態、非導通状態によって、情報の書き込みが行われるため、高速な動作が可能となる。

【0273】

<RFタグ>

以下では、上述したトランジスタ、または記憶装置を含むRFタグについて、図10を用いて説明する。

30

【0274】

本発明の一態様に係るRFタグは、内部に記憶回路を有し、記憶回路に情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、RFタグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには高い信頼性が要求される。

【0275】

RFタグの構成について図10を用いて説明する。図10は、RFタグの構成例を示すブロック図である。

40

【0276】

図10に示すようにRFタグ800は、通信器801(質問器、リーダ/ライタなどともいう)に接続されたアンテナ802から送信される無線信号803を受信するアンテナ804を有する。また、RFタグ800は、整流回路805、定電圧回路806、復調回路807、変調回路808、論理回路809、記憶回路810、ROM811を有している。なお、復調回路807に含まれる整流作用を示すトランジスタの半導体には、逆方向電流を十分に抑制することが可能な、例えば、酸化物半導体を用いてもよい。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止

50

できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一对のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別される。RFタグ800は、そのいずれの方式に用いることも可能である。

【0277】

次に、各回路の構成について説明する。アンテナ804は、通信器801に接続されたアンテナ802との間で無線信号803の送受信を行うためのものである。また、整流回路805は、アンテナ804で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波2倍圧整流し、後段に設けられた容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路805の入力側または出力側には、リミッタ回路を設けてもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

10

【0278】

定電圧回路806は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路806は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路809のリセット信号を生成するための回路である。

【0279】

復調回路807は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路808は、アンテナ804より出力するデータに応じて変調をおこなうための回路である。

20

【0280】

論理回路809は復調信号を解析し、処理を行うための回路である。記憶回路810は、入力された情報を保持する回路であり、ロウデコーダ、カラムデコーダ、記憶領域などを有する。また、ROM811は、固有番号(ID)などを格納し、処理に応じて出力を行うための回路である。

【0281】

なお、上述の各回路は、適宜、取捨することができる。

30

【0282】

ここで、上述した記憶装置を、記憶回路810に用いることができる。本発明の一態様に係る記憶装置は、電源が遮断された状態であっても情報を保持できるため、RFタグに好適である。さらに本発明の一態様に係る記憶装置は、データの書き込みに必要な電力(電圧)が従来の不揮発性メモリに比べて低いため、データの読み出し時と書き込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書き込みが生じることを抑制することができる。

【0283】

また、本発明の一態様に係る記憶装置は、不揮発性メモリとして用いることが可能であるため、ROM811に適用することもできる。その場合には、生産者がROM811にデータを書き込むためのコマンドを別途用意し、ユーザが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書込んだのちに製品を出荷することで、作製したRFタグすべてについて固有番号を付与するのではなく、出荷する良品のみ固有番号を割り当てることが可能となり、出荷後の製品の固有番号が不連続になることがなく出荷後の製品に対応した顧客管理が容易となる。

40

【0284】

<RFタグの使用例>

以下では、本発明の一態様に係るRFタグの使用例について図11を用いて説明する。RFタグの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類(運転免許証や住民票等、図11(A)参照。)、包装用容器類(包装紙やボトル等

50

、図11(C)参照。)、記録媒体(DVDやビデオテープ等、図11(B)参照。)、乗り物類(自転車等、図11(D)参照。)、身の回り品(靴や眼鏡等)、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器(液晶表示装置、EL表示装置、テレビジョン装置、または携帯電話)等の物品、もしくは各物品に取り付ける荷札(図11(E)および図11(F)参照。)等に設けて使用することができる。

【0285】

本発明の一態様に係るRFタグ4000は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係るRFタグ4000は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証券類等に本発明の一態様に係るRFタグ4000を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係るRFタグ4000を取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係るRFタグ4000を取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

10

【0286】

以上のように、本発明の一態様に係るRFタグは、上述したような各用途に用いることができる。

20

【0287】

<CPU>

以下では、上述したトランジスタや上述した記憶装置などの半導体装置を含むCPUについて説明する。

【0288】

図12は、上述したトランジスタを一部に用いたCPUの一例の構成を示すブロック図である。

【0289】

図12に示すCPUは、基板1190上に、ALU1191(ALU:Arithmetic logic unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198(Bus I/F)、書き換え可能なROM1199、およびROMインターフェース1189(ROM I/F)を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図12に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図12に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

30

40

【0290】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0291】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントロ

50

ーラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行う。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行う。

【0292】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えば

10

【0293】

図12に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、上述したトランジスタや記憶装置などを用いることができる。

【0294】

図12に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

20

【0295】

図13は、レジスタ1196として用いることのできる記憶素子の回路図の一例である。記憶素子1200は、電源遮断で記憶データが揮発する回路1201と、電源遮断で記憶データが揮発しない回路1202と、スイッチ1203と、スイッチ1204と、論理素子1206と、容量素子1207と、選択機能を有する回路1220と、を有する。回路1202は、容量素子1208と、トランジスタ1209と、トランジスタ1210と、を有する。なお、記憶素子1200は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していてもよい。

30

【0296】

ここで、回路1202には、上述した記憶装置を用いることができる。記憶素子1200への電源電圧の供給が停止した際、回路1202のトランジスタ1209のゲートにはGND(0V)、またはトランジスタ1209がオフする電位が入力され続ける構成とする。例えば、トランジスタ1209のゲートが抵抗等の負荷を介して接地される構成とする。

40

【0297】

スイッチ1203は、一導電型(例えば、nチャネル型)のトランジスタ1213を用いて構成され、スイッチ1204は、一導電型とは逆の導電型(例えば、pチャネル型)のトランジスタ1214を用いて構成した例を示す。ここで、スイッチ1203の第1の端子はトランジスタ1213のソースとドレインの一方に対応し、スイッチ1203の第2の端子はトランジスタ1213のソースとドレインの他方に対応し、スイッチ1203はトランジスタ1213のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ1213の導通状態または非導通状態)が選択される。スイッチ1204の第1の端子はトランジスタ1214のソースとドレインの一方に対応し、スイッチ1204の第2の端子はトランジスタ1214のソー

50

スとドレインの他方に対応し、スイッチ1204はトランジスタ1214のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ1214の導通状態または非導通状態）が選択される。

【0298】

トランジスタ1209のソースとドレインの一方は、容量素子1208の一对の電極のうち的一方、およびトランジスタ1210のゲートと電氣的に接続される。ここで、接続部分をノードM2とする。トランジスタ1210のソースとドレインの一方は、低電源電位を供給することのできる配線（例えばGND線）に電氣的に接続され、他方は、スイッチ1203の第1の端子（トランジスタ1213のソースとドレインの一方）と電氣的に接続される。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）はスイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方）と電氣的に接続される。スイッチ1204の第2の端子（トランジスタ1214のソースとドレインの他方）は電源電位VDDを供給することのできる配線と電氣的に接続される。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）と、スイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方）と、論理素子1206の入力端子と、容量素子1207の一对の電極のうち的一方と、は電氣的に接続される。ここで、接続部分をノードM1とする。容量素子1207の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1207の一对の電極のうち他方は、低電源電位を供給することのできる配線（例えばGND線）と電氣的に接続される。容量素子1208の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1208の一对の電極のうち他方は、低電源電位を供給することのできる配線（例えばGND線）と電氣的に接続される。

【0299】

なお、容量素子1207および容量素子1208は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【0300】

トランジスタ1209の第1ゲート（第1のゲート電極）には、制御信号WEが入力される。スイッチ1203およびスイッチ1204は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

【0301】

トランジスタ1209のソースとドレインの他方には、回路1201に保持されたデータに対応する信号が入力される。図13では、回路1201から出力された信号が、トランジスタ1209のソースとドレインの他方に入力される例を示した。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206によってその論理値が反転された反転信号となり、回路1220を介して回路1201に入力される。

【0302】

なお、図13では、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206および回路1220を介して回路1201に入力する例を示したがこれに限定されない。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路1201に入力されてもよい。例えば、回路1201内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

【0303】

また、図13において、記憶素子1200に用いられるトランジスタのうち、トランジスタ1209以外のトランジスタは、酸化物半導体以外の半導体でなる膜または基板1190にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン膜またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。また、記憶素子1200に用いられるトランジスタ全てを、チャンネルが酸化物半導体層で形成されるトランジスタとすることもできる。または、記憶素子1200は、トランジスタ1209以外にも、チャンネルが酸化物半導体層で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板1190にチャンネルが形成されるトランジスタとすることもできる。

10

【0304】

図13における回路1201には、例えばフリップフロップ回路を用いることができる。また、論理素子1206としては、例えばインバータやクロックドインバータ等を用いることができる。

【0305】

本発明の一態様に係る半導体装置では、記憶素子1200に電源電圧が供給されない間は、回路1201に記憶されていたデータを、回路1202に設けられた容量素子1208によって保持することができる。

【0306】

また、酸化物半導体層にチャンネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体層にチャンネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャンネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ1209として用いることによって、記憶素子1200に電源電圧が供給されない間も容量素子1208に保持された信号は長期間にわたり保たれる。こうして、記憶素子1200は電源電圧の供給が停止した間も記憶内容(データ)を保持することが可能である。

20

【0307】

また、スイッチ1203およびスイッチ1204を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路1201が元のデータを保持しなおすまでの時間を短くすることができる。

30

【0308】

また、回路1202において、容量素子1208によって保持された信号はトランジスタ1210のゲートに入力される。そのため、記憶素子1200への電源電圧の供給が再開された後、容量素子1208によって保持された信号を、トランジスタ1210の状態(導通状態、または非導通状態)に変換して、回路1202から読み出すことができる。それ故、容量素子1208に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【0309】

このような記憶素子1200を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

40

【0310】

記憶素子1200をCPUに用いる例として説明したが、記憶素子1200は、DSP(Digital Signal Processor)、カスタムLSI、PLD(Programmable Logic Device)等のLSI、RF(Radio Frequency)デバイスにも応用可能である。

【0311】

50

< 表示パネル >

以下では、上述したトランジスタなどの半導体装置を含む表示パネルについて説明する。

【 0 3 1 2 】

図 1 4 (A) は、本発明の一態様の表示パネルの上面図であり、図 1 4 (B) は、本発明の一態様の表示パネルの画素に液晶素子を適用する場合に用いることができる画素回路を説明するための回路図である。また、図 1 4 (C) は、本発明の一態様の表示パネルの画素に有機 E L 素子を適用する場合に用いることができる画素回路を説明するための回路図である。

【 0 3 1 3 】

画素部に配置するトランジスタは、実施の形態 3 に従って形成することができる。また、当該トランジスタは n チャンネル型とすることが容易なので、駆動回路のうち、n チャンネル型トランジスタで構成することができる駆動回路の一部を画素部のトランジスタと同一基板上に形成する。このように、画素部や駆動回路に実施の形態 3 に示すトランジスタを用いることにより、信頼性の高い表示装置を提供することができる。

【 0 3 1 4 】

アクティブマトリクス型表示装置のブロック図の一例を図 1 4 (A) に示す。表示装置の基板 7 0 0 上には、画素部 7 0 1、第 1 の走査線駆動回路 7 0 2、第 2 の走査線駆動回路 7 0 3、信号線駆動回路 7 0 4 を有する。画素部 7 0 1 には、複数の信号線が信号線駆動回路 7 0 4 から延伸して配置され、複数の走査線が第 1 の走査線駆動回路 7 0 2、および第 2 の走査線駆動回路 7 0 3 から延伸して配置されている。なお、走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に設けられている。また、表示装置の基板 7 0 0 は F P C (F l e x i b l e P r i n t e d C i r c u i t) 等の接続部を介して、タイミング制御回路 (コントローラ、制御 I C ともいう) に接続されている。

【 0 3 1 5 】

図 1 4 (A) では、第 1 の走査線駆動回路 7 0 2、第 2 の走査線駆動回路 7 0 3、信号線駆動回路 7 0 4 は、画素部 7 0 1 と同じ基板 7 0 0 上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板 7 0 0 外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板 7 0 0 上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、または歩留まりの向上を図ることができる。

【 0 3 1 6 】

〔 液晶パネル 〕

表示パネルの一態様として、液晶パネルの画素の回路構成の一例を図 1 4 (B) に示す。ここでは、V A 型液晶表示パネルの画素に適用することができる画素回路を示す。

【 0 3 1 7 】

この画素回路は、一つの画素に複数の画素電極層を有する構成に適用できる。それぞれの画素電極層は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極層に印加する信号を、独立して制御できる。

【 0 3 1 8 】

トランジスタ 7 1 6 のゲート配線 7 1 2 と、トランジスタ 7 1 7 のゲート配線 7 1 3 には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能するソース電極層またはドレイン電極層 7 1 4 は、トランジスタ 7 1 6 とトランジスタ 7 1 7 で共通に用いられている。トランジスタ 7 1 6 とトランジスタ 7 1 7 は実施の形態 3 で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い液晶表示パネルを提供することができる。

【 0 3 1 9 】

トランジスタ 7 1 6 と電氣的に接続する第 1 の画素電極層と、トランジスタ 7 1 7 と電

10

20

30

40

50

氣的に接続する第2の画素電極層の形状について説明する。第1の画素電極層と第2の画素電極層の形状は、スリットによって分離されている。第1の画素電極層はV字型に広がる形状を有し、第2の画素電極層は第1の画素電極層の外側を囲むように形成される。

【0320】

トランジスタ716のゲート電極はゲート配線712と接続され、トランジスタ717のゲート電極はゲート配線713と接続されている。ゲート配線712とゲート配線713に異なるゲート信号を与えてトランジスタ716とトランジスタ717の動作タイミングを異ならせ、液晶の配向を制御できる。

【0321】

また、容量配線710と、誘電体として機能するゲート絶縁層と、第1の画素電極層または第2の画素電極層と電氣的に接続する容量電極とで保持容量を形成してもよい。

10

【0322】

マルチドメイン構造は、一画素に第1の液晶素子718と第2の液晶素子719を備える。第1の液晶素子718は第1の画素電極層と対向電極層とその間の液晶層とで構成され、第2の液晶素子719は第2の画素電極層と対向電極層とその間の液晶層とで構成される。

【0323】

なお、図14(B)に示す画素回路は、これに限定されない。例えば、図14(B)に示す画素回路に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、または論理回路などを追加してもよい。

20

【0324】

〔有機ELパネル〕

表示パネルの他の一態様として、有機ELパネルの画素の回路構成の一例を図14(C)に示す。

【0325】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極の一方から電子が、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子および正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

30

【0326】

図14(C)は、適用可能な画素回路の一例を示す図である。ここではnチャンネル型のトランジスタを1つの画素に2つ用いる例を示す。なお、本発明の一態様の酸化物半導体膜は、nチャンネル型のトランジスタのチャンネル形成領域に用いることができる。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

【0327】

適用可能な画素回路の構成およびデジタル時間階調駆動を適用した場合の画素の動作について説明する。

【0328】

画素720は、スイッチング用トランジスタ721、駆動用トランジスタ722、発光素子724および容量素子723を有している。スイッチング用トランジスタ721は、ゲート電極層が走査線726に接続され、第1電極(ソース電極層およびドレイン電極層の一方)が信号線725に接続され、第2電極(ソース電極層およびドレイン電極層の他方)が駆動用トランジスタ722のゲート電極層に接続されている。駆動用トランジスタ722は、ゲート電極層が容量素子723を介して電源線727に接続され、第1電極が電源線727に接続され、第2電極が発光素子724の第1電極(画素電極)に接続されている。発光素子724の第2電極は共通電極728に相当する。共通電極728は、同一基板上に形成される共通電位線と電氣的に接続される。

40

【0329】

スイッチング用トランジスタ721および駆動用トランジスタ722は実施の形態3で

50

説明するトランジスタを適宜用いることができる。これにより、信頼性の高い有機EL表示パネルを提供することができる。

【0330】

発光素子724の第2電極(共通電極728)の電位は低電源電位に設定する。なお、低電源電位とは、電源線727に設定される高電源電位より低い電位であり、例えばGND、0Vなどを低電源電位として設定することができる。発光素子724の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光素子724に印加することにより、発光素子724に電流を流して発光させる。なお、発光素子724の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。

10

【0331】

なお、容量素子723は駆動用トランジスタ722のゲート容量を代用することにより省略できる。駆動用トランジスタ722のゲート容量については、チャンネル形成領域とゲート電極層との間で容量が形成されていてもよい。

【0332】

次に、駆動用トランジスタ722に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ722が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を、駆動用トランジスタ722に入力する。なお、駆動用トランジスタ722を線形領域で動作させるために、電源線727の電圧よりも高い電圧を駆動用トランジスタ722のゲート電極層にかける。また、信号線725には、電源線電圧に駆動用トランジスタ722のしきい値電圧 V_{th} を加えた値以上の電圧をかける。

20

【0333】

アナログ階調駆動を行う場合、駆動用トランジスタ722のゲート電極層に発光素子724の順方向電圧に駆動用トランジスタ722のしきい値電圧 V_{th} を加えた値以上の電圧をかける。なお、駆動用トランジスタ722が飽和領域で動作するようにビデオ信号を入力し、発光素子724に電流を流す。また、駆動用トランジスタ722を飽和領域で動作させるために、電源線727の電位を、駆動用トランジスタ722のゲート電位より高くする。ビデオ信号をアナログとすることで、発光素子724にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0334】

なお、画素回路の構成は、図14(C)に示す画素構成に限定されない。例えば、図14(C)に示す画素回路にスイッチ、抵抗素子、容量素子、センサ、トランジスタまたは論理回路などを追加してもよい。

30

【0335】

図14で例示した回路に実施の形態3で例示したトランジスタを適用する場合、低電位側にソース電極(第1の電極)、高電位側にドレイン電極(第2の電極)がそれぞれ電氣的に接続される構成とする。さらに、制御回路等により第1のゲート電極の電位を制御し、第2のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。

【0336】

<電子機器>

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレーヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図15に示す

40

50

。

【0337】

図15(A)は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイクロフォン905、スピーカー906、操作キー907、スタイラス908等を有する。なお、図15(A)に示した携帯型ゲーム機は、2つの表示部903と表示部904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0338】

図15(B)は携帯データ端末であり、第1筐体911、第2筐体912、第1表示部913、第2表示部914、接続部915、操作キー916等を有する。第1表示部913は第1筐体911に設けられており、第2表示部914は第2筐体912に設けられている。そして、第1筐体911と第2筐体912とは、接続部915により接続されており、第1筐体911と第2筐体912の間の角度は、接続部915により変更が可能である。第1表示部913における映像を、接続部915における第1筐体911と第2筐体912との間の角度にしたがって、切り替える構成としてもよい。また、第1表示部913および第2表示部914の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。または、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることで、付加することができる。

【0339】

図15(C)はノート型パーソナルコンピュータであり、筐体921、表示部922、キーボード923、ポインティングデバイス924等を有する。

【0340】

図15(D)は電気冷凍冷蔵庫であり、筐体931、冷蔵室用扉932、冷凍室用扉933等を有する。

【0341】

図15(E)はビデオカメラであり、第1筐体941、第2筐体942、表示部943、操作キー944、レンズ945、接続部946等を有する。操作キー944およびレンズ945は第1筐体941に設けられており、表示部943は第2筐体942に設けられている。そして、第1筐体941と第2筐体942とは、接続部946により接続されており、第1筐体941と第2筐体942の間の角度は、接続部946により変更が可能である。表示部943における映像を、接続部946における第1筐体941と第2筐体942との間の角度にしたがって切り替える構成としてもよい。

【0342】

図15(F)は普通自動車であり、車体951、車輪952、ダッシュボード953、ライト954等を有する。

【0343】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【符号の説明】

【0344】

- 100 基板
- 102 第1の絶縁層
- 104 第1の酸化物半導体層
- 106 第2の酸化物半導体層
- 110 第2の絶縁層
- 302 ロード室
- 303 前処理室
- 304 処理室

10

20

30

40

50

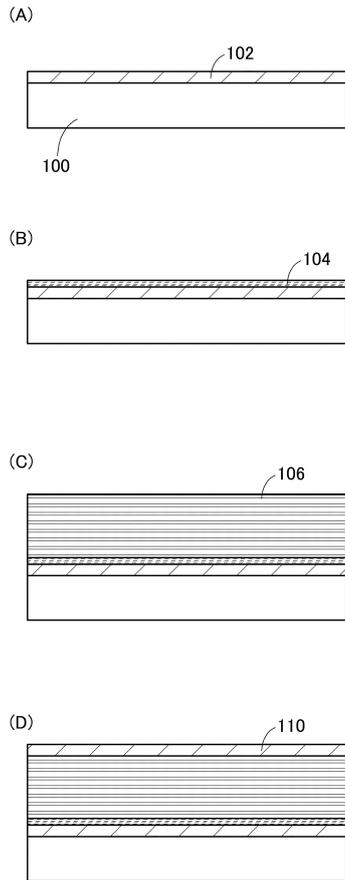
3 0 5	処理室	
3 0 6	アンロード室	
3 0 7	搬送ユニット	
3 1 0	搬送室	
3 1 8	排気装置	
3 1 9	基板ホルダ	
3 2 0	基板	
3 2 1	部材	
3 2 2	流量制御器	
3 2 3	原料供給部	10
3 2 4	流量制御器	
3 2 5	原料供給部	
3 2 6	流量制御器	
3 2 7	原料供給部	
3 2 8	流量制御器	
3 2 9	原料供給部	
3 3 1	処理室	
4 0 0	基板	
4 0 2	絶縁層	
4 0 4	第1の酸化物半導体層	20
4 0 6	第2の酸化物半導体層	
4 0 7	第3の酸化物半導体層	
4 0 8 a	ソース電極層	
4 0 8 b	ドレイン電極層	
4 1 0	絶縁層	
4 1 2	ゲート電極層	
4 1 3	ゲート電極層	
4 1 4	絶縁層	
4 5 0	トランジスタ	
4 6 0	トランジスタ	30
5 0 0	基板	
5 0 2	絶縁層	
5 0 4	第1の酸化物半導体層	
5 0 6	第2の酸化物半導体層	
5 1 0	絶縁層	
5 1 2	ゲート電極層	
5 1 3	ゲート電極層	
5 1 4	絶縁層	
5 1 6 a	ソース電極層	
5 1 6 b	ドレイン電極層	40
5 1 8 a	導電層	
5 1 8 b	導電層	
5 5 0	トランジスタ	
6 0 0	基板	
6 0 2	絶縁層	
6 0 4	第1の酸化物半導体層	
6 0 6	第2の酸化物半導体層	
6 0 8 a	ソース電極層	
6 0 8 b	ドレイン電極層	
6 1 0	絶縁層	50

6 1 2	ゲート電極層	
6 5 0	トランジスタ	
7 0 0	基板	
7 0 1	画素部	
7 0 2	走査線駆動回路	
7 0 3	走査線駆動回路	
7 0 4	信号線駆動回路	
7 1 0	容量配線	
7 1 2	ゲート配線	
7 1 3	ゲート配線	10
7 1 4	ドレイン電極層	
7 1 6	トランジスタ	
7 1 7	トランジスタ	
7 1 8	液晶素子	
7 1 9	液晶素子	
7 2 0	画素	
7 2 1	スイッチング用トランジスタ	
7 2 2	駆動用トランジスタ	
7 2 3	容量素子	
7 2 4	発光素子	20
7 2 5	信号線	
7 2 6	走査線	
7 2 7	電源線	
7 2 8	共通電極	
8 0 0	R F タグ	
8 0 1	通信器	
8 0 2	アンテナ	
8 0 3	無線信号	
8 0 4	アンテナ	
8 0 5	整流回路	30
8 0 6	定電圧回路	
8 0 7	復調回路	
8 0 8	変調回路	
8 0 9	論理回路	
8 1 0	記憶回路	
8 1 1	R O M	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	40
9 0 5	マイクロフォン	
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	50

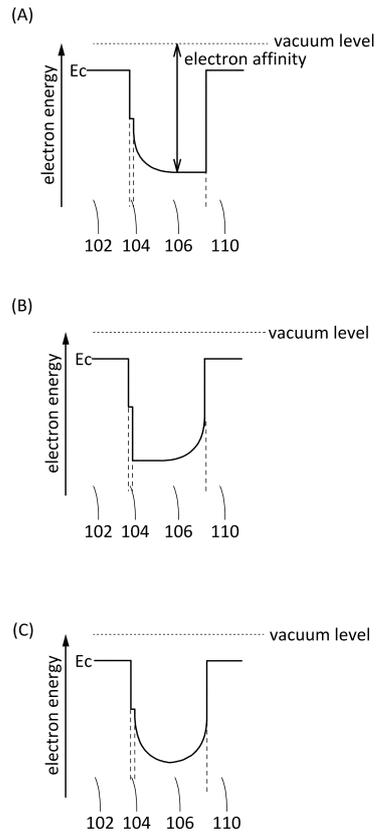
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	10
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	
1 1 8 9	ROMインターフェース	
1 1 9 0	基板	
1 1 9 1	ALU	20
1 1 9 2	ALUコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	ROM	
1 2 0 0	記憶素子	
1 2 0 1	回路	30
1 2 0 2	回路	
1 2 0 3	スイッチ	
1 2 0 4	スイッチ	
1 2 0 6	論理素子	
1 2 0 7	容量素子	
1 2 0 8	容量素子	
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	40
1 2 2 0	回路	
2 1 0 0	トランジスタ	
2 2 0 0	トランジスタ	
2 2 0 1	絶縁層	
2 2 0 2	導電層	
2 2 0 3	導電層	
2 2 0 4	絶縁層	
2 2 0 5	導電層	
2 2 0 6	導電層	
2 2 0 7	絶縁層	50

2 2 0 8	絶縁層	
2 2 1 1	半導体基板	
2 2 1 2	絶縁層	
2 2 1 5	ソース - ドレイン領域	
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	
3 0 0 4	配線	
3 0 0 5	配線	
3 2 0 0	トランジスタ	10
3 3 0 0	トランジスタ	
3 4 0 0	容量素子	
4 0 0 0	R F タグ	
5 1 0 0	ペレット	
5 1 0 0 a	ペレット	
5 1 0 0 b	ペレット	
5 1 0 1	イオン	
5 1 0 2	酸化亜鉛層	
5 1 0 3	粒子	
5 1 0 5 a	ペレット	20
5 1 0 5 a 1	領域	
5 1 0 5 a 2	ペレット	
5 1 0 5 b	ペレット	
5 1 0 5 c	ペレット	
5 1 0 5 d	ペレット	
5 1 0 5 d 1	領域	
5 1 0 5 e	ペレット	
5 1 2 0	基板	
5 1 3 0	ターゲット	
5 1 6 1	領域	30

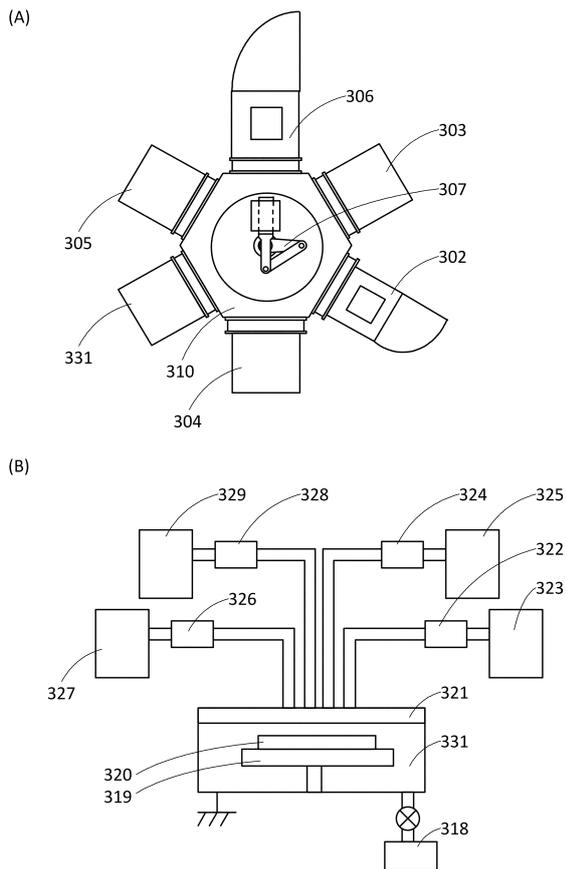
【 図 1 】



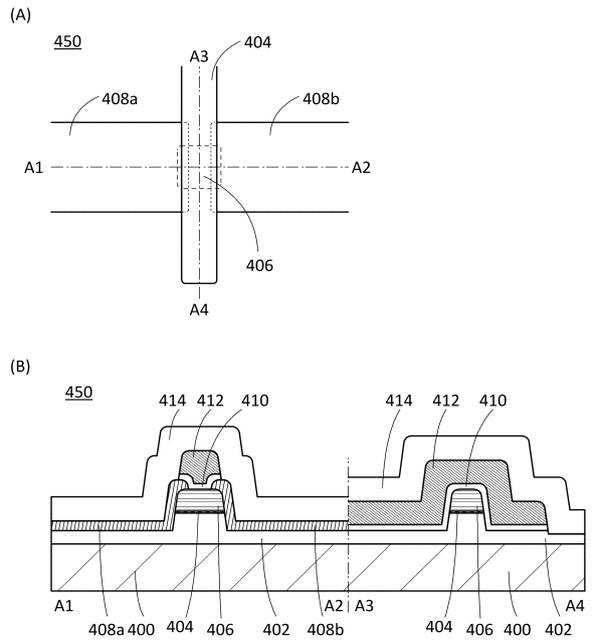
【 図 2 】



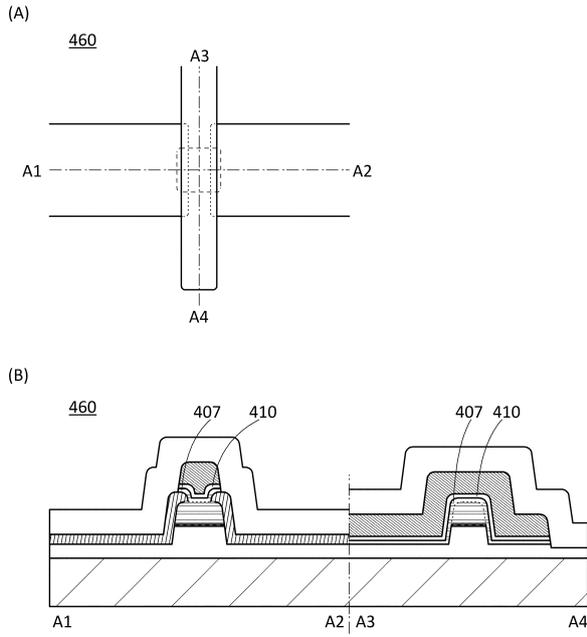
【 図 3 】



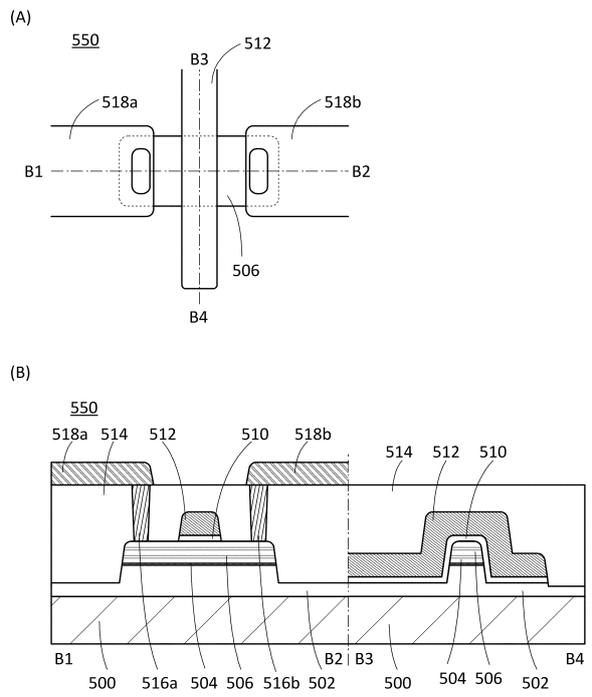
【 図 4 】



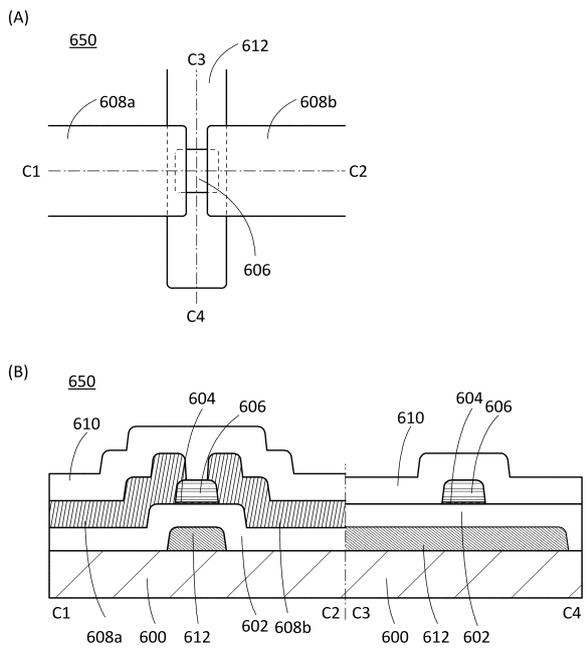
【 図 5 】



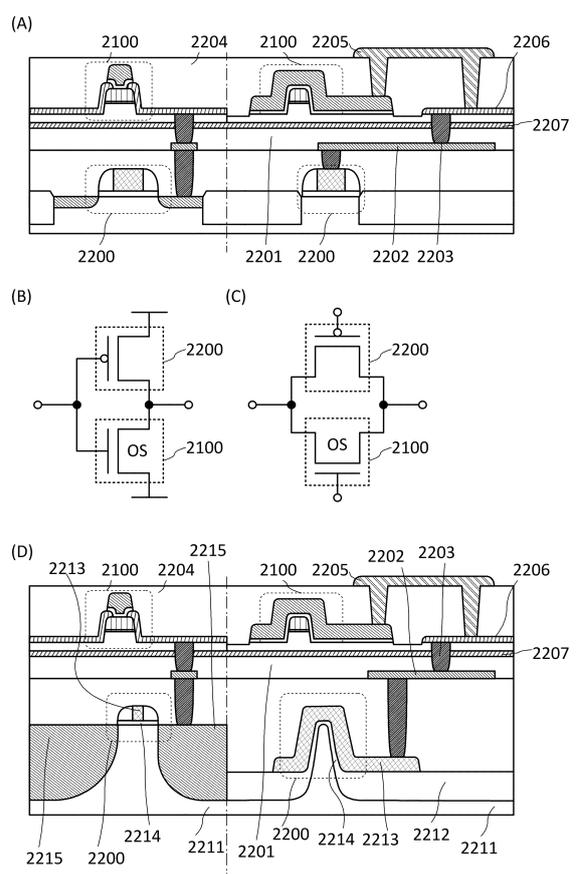
【 図 6 】



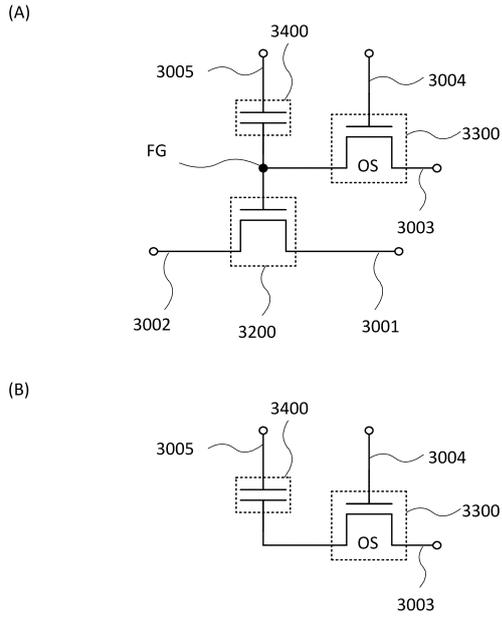
【 図 7 】



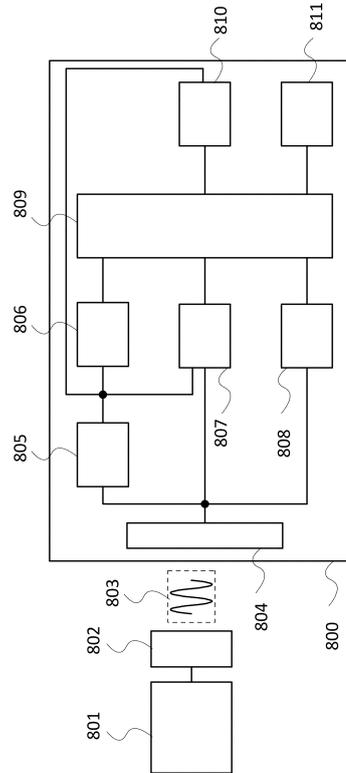
【 図 8 】



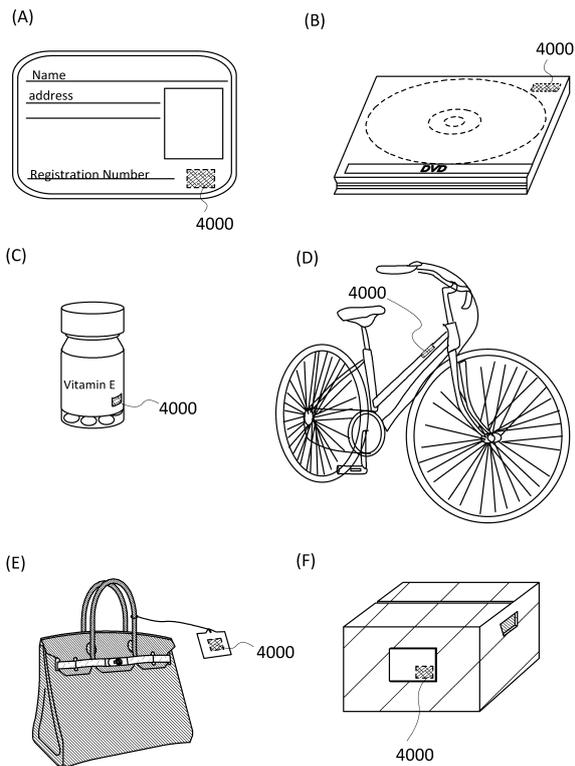
【 図 9 】



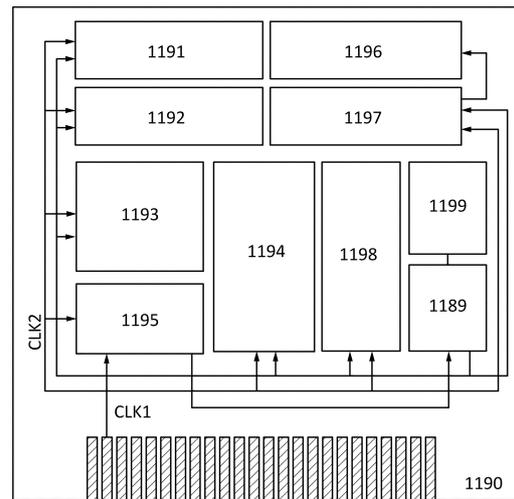
【 図 10 】



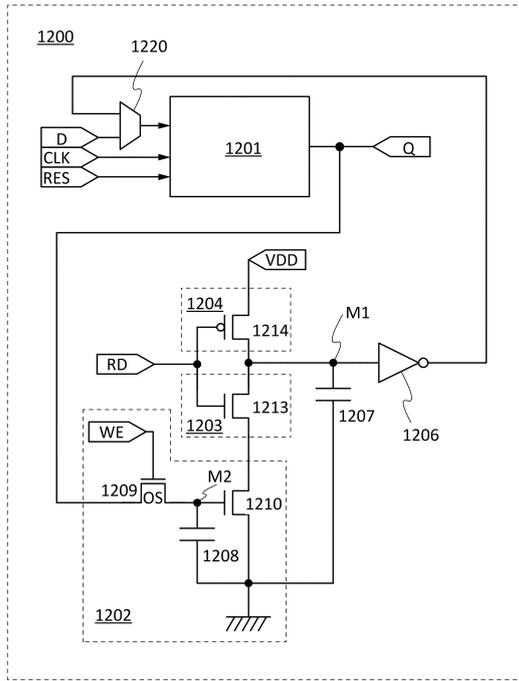
【 図 11 】



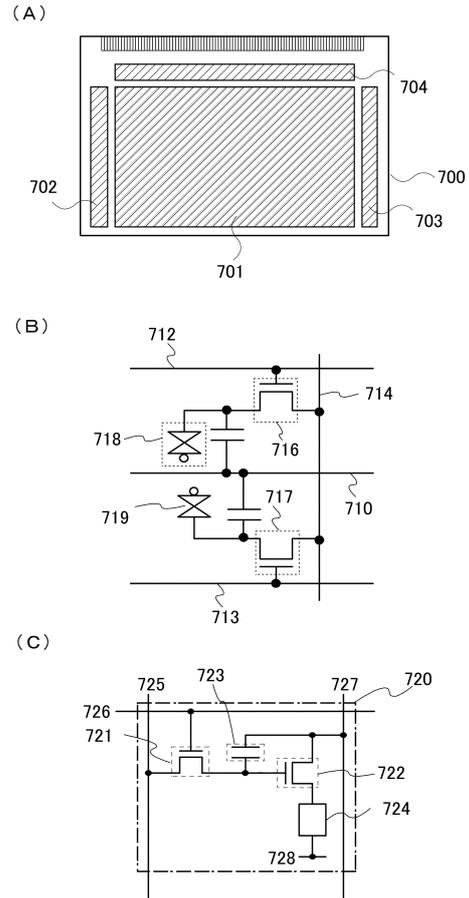
【 図 12 】



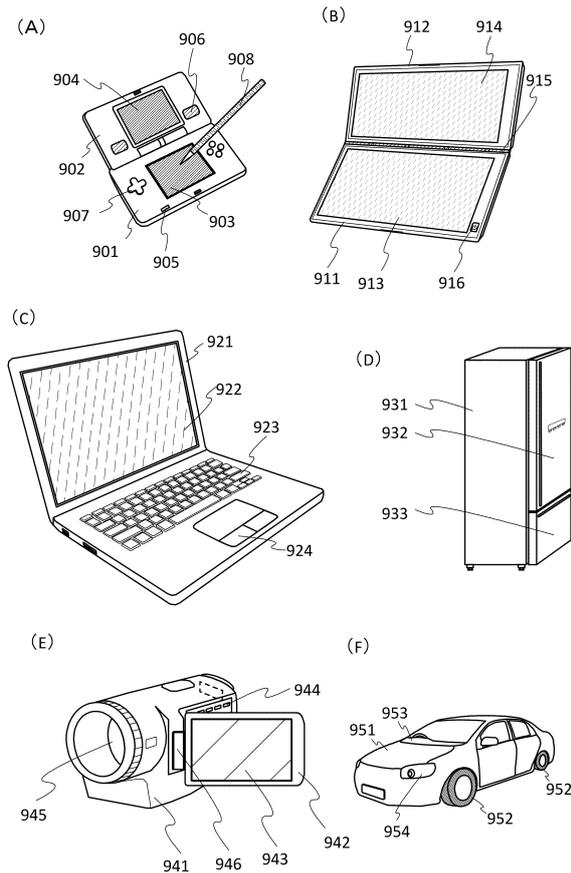
【図13】



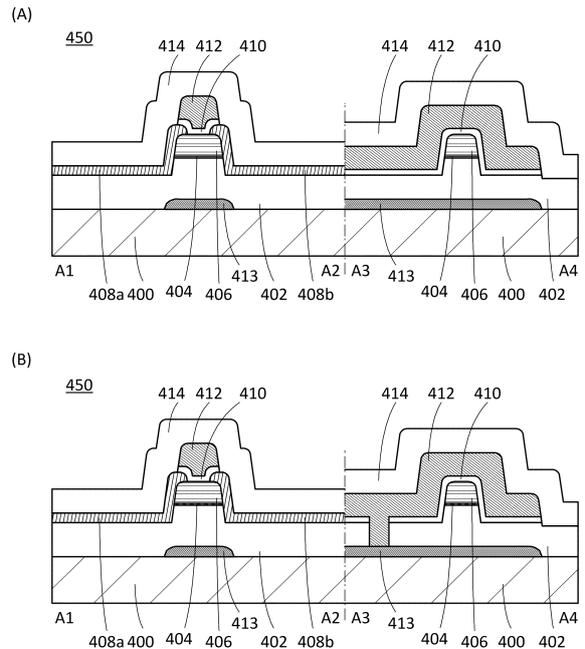
【図14】



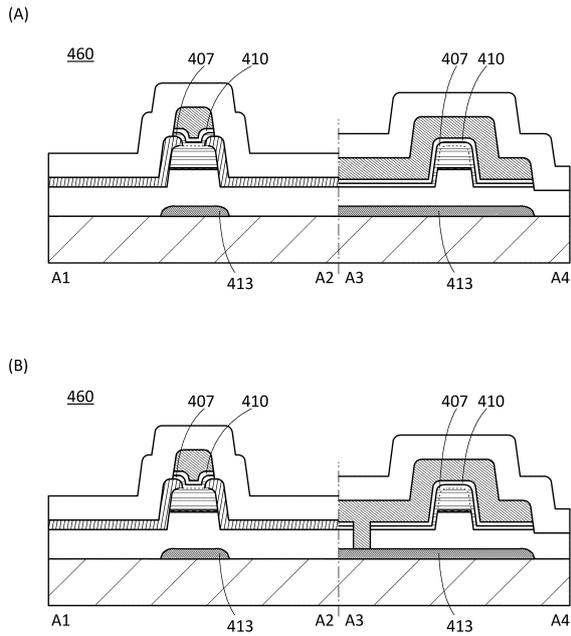
【図15】



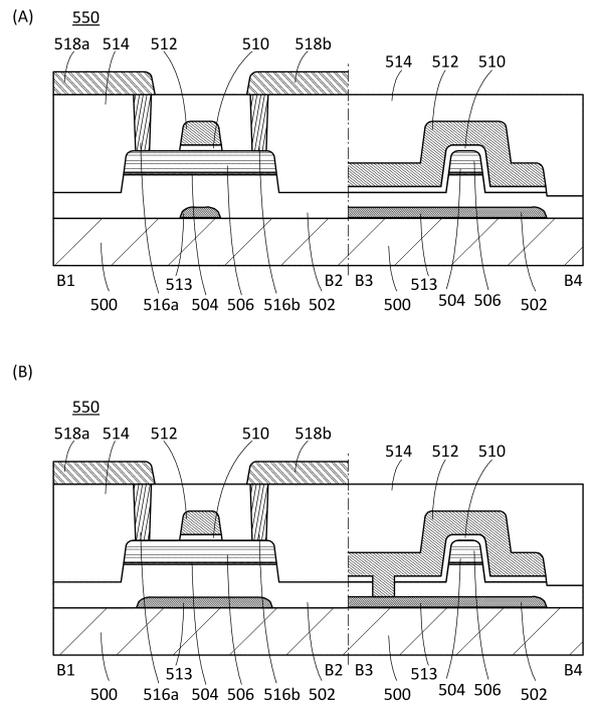
【図16】



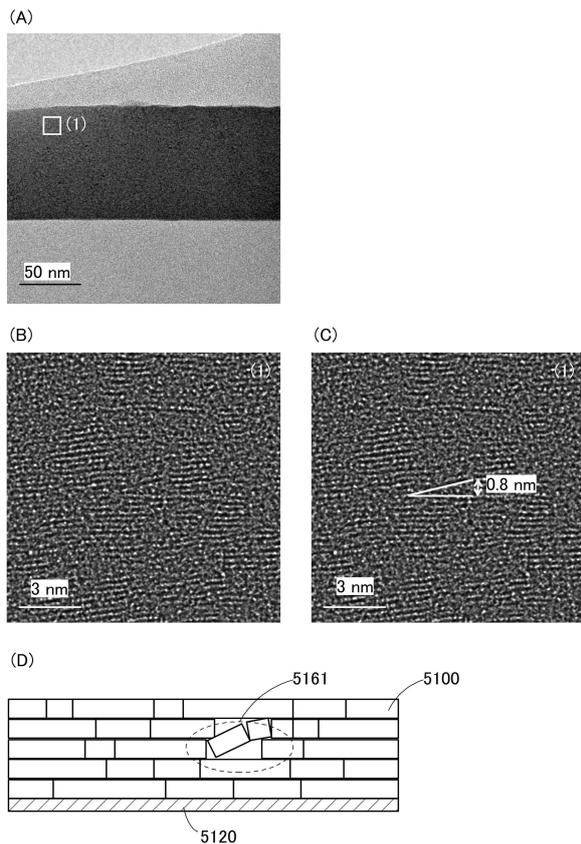
【図 17】



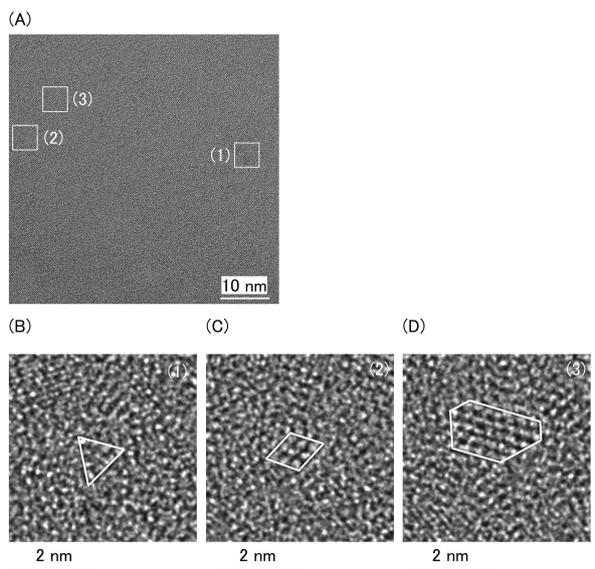
【図 18】



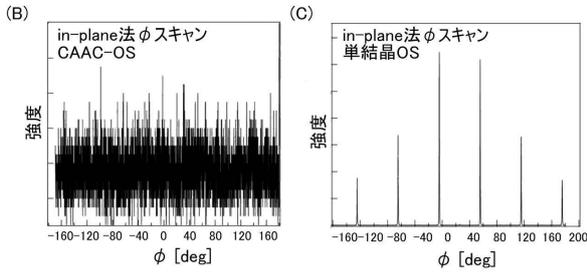
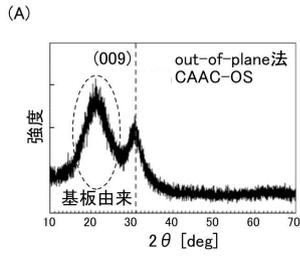
【図 19】



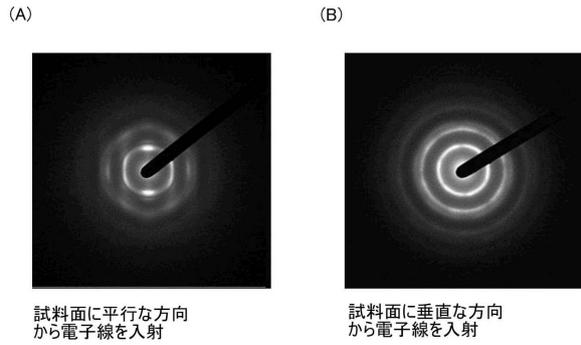
【図 20】



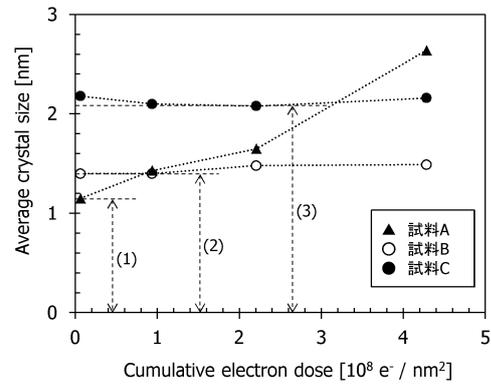
【図 2 1】



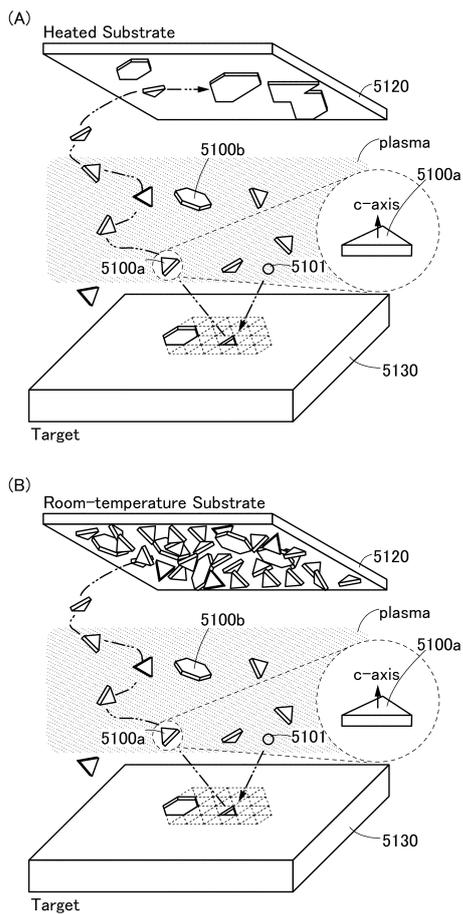
【図 2 2】



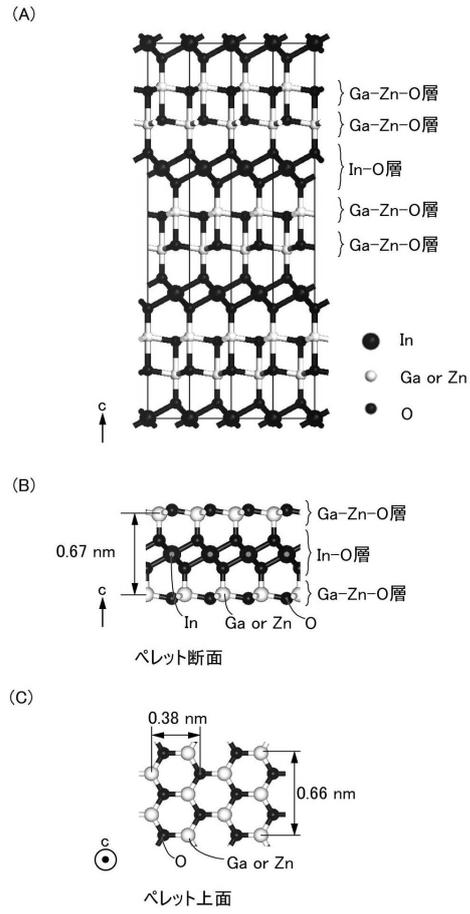
【図 2 3】



【図 2 4】

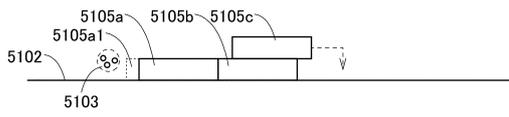


【図 2 5】

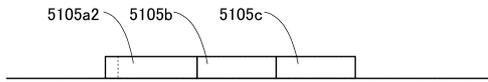


【 26 】

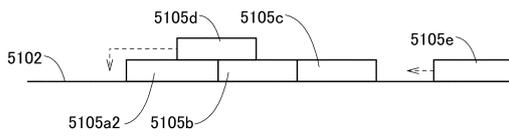
(A)



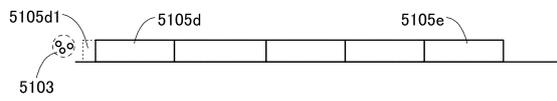
(B)



(C)



(D)



フロントページの続き

(51) Int.Cl.		F I		
<i>H 0 1 L</i>	<i>21/363</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 1 7 N</i>
<i>C 2 3 C</i>	<i>16/40</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 1 7 T</i>
			<i>H 0 1 L</i>	<i>21/20</i>
			<i>H 0 1 L</i>	<i>21/365</i>
			<i>H 0 1 L</i>	<i>21/363</i>
			<i>C 2 3 C</i>	<i>16/40</i>

(56) 参考文献 特開 2012 - 151456 (JP, A)
 特開 2013 - 030681 (JP, A)
 特開 2012 - 059860 (JP, A)
 特開 2003 - 031846 (JP, A)
 春日 正伸, 解説 2, 応用物理 Vol. 59 No. 8 1990, 日本, 社団法人応用物理学会, 1990年 8月10日, 第59巻, 第8号, pp. 1027(33)-1037(43)

(58) 調査した分野(Int.Cl., DB名)

<i>H 0 1 L</i>	<i>2 1 / 3 3 6</i>
<i>C 2 3 C</i>	<i>1 6 / 4 0</i>
<i>H 0 1 L</i>	<i>2 1 / 2 0</i>
<i>H 0 1 L</i>	<i>2 1 / 2 8</i>
<i>H 0 1 L</i>	<i>2 1 / 3 6 3</i>
<i>H 0 1 L</i>	<i>2 1 / 3 6 5</i>
<i>H 0 1 L</i>	<i>2 9 / 7 8 6</i>