

(12) 发明专利

(10) 授权公告号 CN 101043033 B

(45) 授权公告日 2011. 12. 14

(21) 申请号 200710088742. 4

(22) 申请日 2007. 03. 22

(30) 优先权数据

2006-081347 2006. 03. 23 JP

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川

(72) 发明人 园原英雄 樱林太郎

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 钟强 关兆辉

(51) Int. Cl.

H01L 27/02(2006. 01)

H01L 23/485(2006. 01)

H01L 23/50(2006. 01)

(56) 对比文件

US 5384487 A, 1995. 01. 24, 全文.

CN 1599057 A, 2005. 03. 23, 说明书的 12 页

第 14 行至第 25 行、图 5.

US 2005/0035468 A1, 2005. 02. 17, 全文.

US 5781238 B2, 2004. 08. 24, 全文.

US 6674646 B1, 2004. 01. 06, 全文.

US 2005/0162880 A1, 2005. 07. 28, 说明书  
0070 段、图 6.

同上.

JP 2005-277392 A, 2005. 10. 06, 全文.

审查员 赵世欣

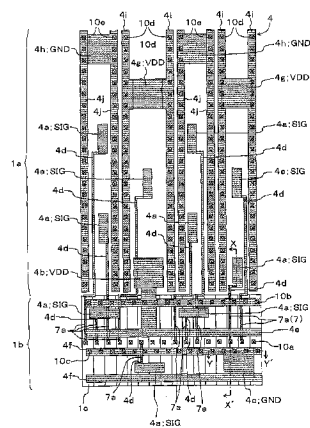
权利要求书 2 页 说明书 7 页 附图 5 页

(54) 发明名称

半导体集成电路装置

(57) 摘要

本发明可以使半导体集成电路装置中的配线性提高、配线层数减少和电源强化。本发明的半导体集成电路装置具有：配置在半导体芯片上的多个电源垫片(4b、4c、4g、4h)和配置在半导体芯片上，并且宽度窄于电源垫片的多个信号垫片(4a)。信号垫片和电源垫片配置在多个配线层中的最上位配线层上。对 I/O 单元和信号垫片进行电连接的信号配线(4d)配置在最上位配线层上。对 I/O 单元和第一电源垫片(4b、4c)进行电连接的第一电源配线(4e、4f)配置在最上位配线层上。对内部电路和第二电源垫片(4g、4h)进行电连接的第二电源配线(4i、4j)配置在最上位配线层上。



1. 一种半导体集成电路装置,其特征在于,具有:  
在半导体芯片上的凸起下面配置的多个电源垫片;和  
配置在上述半导体芯片上,并且宽度比上述电源垫片窄的多个信号垫片,  
上述多个信号垫片包括长边方向与上述半导体集成电路装置的外周边平行的第一信号垫片和长边方向与上述半导体集成电路装置的外周边正交的第二信号垫片。
2. 根据权利要求1所述的半导体集成电路装置,其特征在于,上述电源垫片为正方形的垫片,上述信号垫片为长方形的垫片。
3. 根据权利要求1或2所述的半导体集成电路装置,其特征在于,上述半导体芯片具有I/O单元和内部电路,上述电源垫片具有上述I/O单元用的第一电源垫片和上述内部电路用的第二电源垫片,  
上述第一电源垫片配置在上述I/O单元上或其附近,  
上述第二电源垫片配置在上述内部电路上。
4. 根据权利要求3所述的半导体集成电路装置,其特征在于,上述内部电路配置在上述半导体芯片的中央,上述I/O单元配置在上述半导体芯片的外周边的附近。
5. 根据权利要求3所述的半导体集成电路装置,其特征在于,上述信号垫片和上述电源垫片配置在多个配线层中的最上位配线层上。
6. 根据权利要求3所述的半导体集成电路装置,其特征在于,对上述I/O单元和上述信号垫片进行电连接的信号配线,至少有一部分配置在多个配线层中的最上位配线层上。
7. 根据权利要求3所述的半导体集成电路装置,其特征在于,对上述I/O单元和上述第一电源垫片进行电连接的第一电源配线,至少有一部分配置在多个配线层中的最上位配线层上。
8. 根据权利要求3所述的半导体集成电路装置,其特征在于,对上述内部电路和上述第二电源垫片进行电连接的第二电源配线,至少有一部分配置在多个配线层中的最上位配线层上。
9. 根据权利要求4所述的半导体集成电路装置,其特征在于,避开上述第一电源垫片,从上述半导体芯片的外周附近开始依次配置上述信号垫片。
10. 根据权利要求1所述的半导体集成电路装置,其特征在于,具有分别配置在上述电源垫片和上述信号垫片上的多个凸起,上述各个凸起的大小大致相同。
11. 根据权利要求7所述的半导体集成电路装置,其特征在于,上述第一电源配线中的配置在上述最上位配线层上的部分,沿着上述半导体芯片的外周进行配线,  
上述信号垫片,至少有一部分配置在上述I/O单元上,并且在与上述半导体芯片的外周边成直角的方向上的宽度比上述电源垫片狭窄。
12. 根据权利要求8所述的半导体集成电路装置,其特征在于,

上述第二电源配线中的配置在上述最上位配线层上的至少一部分,在与上述半导体芯片的外周边成直角的方向上进行配线,

上述信号垫片,至少有一部分处于上述内部电路上且配置在上述第二电源配线之间,并且在与上述半导体芯片的外周边平行的方向上的宽度比上述电源垫片狭窄。

13. 根据权利要求 3 所述的半导体集成电路装置,其特征在于,

还具有对电源配线,该一对电源配线从上述多个电源垫片中的一个电源垫片的相对两边的两端开始在同一方向上平行地进行配线,

上述第一信号垫片被上述一对电源配线夹持而配置,

上述第一信号垫片的宽度比上述一对电源配线的间隔窄。

14. 根据权利要求 13 所述的半导体集成电路装置,其特征在于,

上述第二信号垫片被上述一对电源配线夹持而配置,并且配置在不会与上述第一信号垫片抵触的区域,

上述第二信号垫片和第二信号配线连接,

上述多个电源垫片、上述第一和第二信号垫片、上述一对电源配线以及上述第二信号配线用同一配线层进行配置,

上述第二信号配线为通过上述第一信号垫片和上述一对电源配线中的一个电源配线之间的配线。

15. 根据权利要求 13 所述的半导体集成电路装置,其特征在于,上述一对电源配线的间隔比上述第二电源垫片的上述相对两边之间的间隔窄。

## 半导体集成电路装置

### 技术领域

[0001] 本发明涉及半导体集成电路装置,特别涉及在半导体集成电路芯片上配置了多个电源垫片和信号垫片的半导体集成电路装置。

### 背景技术

[0002] 半导体集成电路装置通常在半导体集成电路芯片(IC芯片)上交替地层叠多个绝缘层和配线层,配线层间进行通孔连接,在配线层中的最上位配线层上配置着多个电源垫片和信号垫片。IC芯片具有配置在内部区域的内部电路和配置在其周边或附近的多个IO单元(IO缓冲器)。内部电路通过配线与对应的IO单元电连接。IO单元通过配线与信号垫片和电源垫片电连接。信号垫片和电源垫片与IC芯片的外部电连接。

[0003] 在该半导体集成电路装置中,过去公开了以下的装置:将配置在IC芯片上的一个电源垫片(PVDD、PGND)和多个IO单元用各自独立的多根粗细相同的配线(H2、HD、H1)进行连接,上述多个IO单元通过各自独立的配线(HS)与对应的信号垫片(PSIG)连接,在上述电源垫片和上述多个IO单元之间的区域,排列了上述信号垫片(PSIG)(参照图6,参照专利文献1)。由此,不必形成粗的电源配线,有利于高集成化,而且能够提高布局设计自由度。

[0004] 专利文献1:特开2005-93575号公报(图3)

[0005] 但是,在以往的半导体集成电路装置中,存在下述课题。

[0006] 第一,IC芯片上的配线层数有可能增大。即,在以往的半导体集成电路装置中,因为信号垫片(PSIG)的尺寸和电源垫片(PVDD、PGND)的尺寸一样大,所以最上位配线层的可配线区域(配线资源)变小,从而为了信号垫片用的配线(HS)和电源垫片用的配线(H2、HD、H1),配线层有可能会增加两层。

[0007] 第二,配线性有可能降低。即,在以往的半导体集成电路装置中,因为电源垫片(PVDD、PGND)远离IO单元而配置,所以为了降低电源垫片用的配线(H2、HD、H1)的电阻(即强化),配线根数增加,配线性有可能下降。

[0008] 第三,信号垫片下的区域的内部电路等的宏的配置自由度有可能降低。即,在以往的半导体集成电路装置中,因为在信号垫片(PSIG:信号脚)下方,配置着对IO单元和电源垫片(PVDD、PGND)进行电连接的电源用配线(HD),所以有可能难以在位于最上位配线层(第n配线层)上的信号垫片(PSIG)下方配置使用第n-1配线层的宏。

[0009] 第四,内部电路的电源的电压下降幅度有可能增大。即,在以往的半导体集成电路装置中,因为在信号垫片(PSIG)的正下方,配置着对IO单元和电源垫片进行电连接的电源用配线(HD),所以用于供给内部电路的电源配线密度降低,电阻增加。

### 发明内容

[0010] 本发明的主要课题在于可以使半导体集成电路装置中的配线性提高、配线层数减少和电源强化。

[0011] 在本发明的第一视点中,其特征在于,在半导体集成电路装置中,具有:配置在半导体芯片上的多个电源垫片;和配置在上述半导体芯片上,并且宽度比上述电源垫片的多个信号垫片窄。

[0012] 在本发明中,可以进行以下的实施方式。

[0013] 上述电源垫片为正方形的垫片,上述信号垫片为长方形的垫片。

[0014] 上述半导体芯片具有 I/O 单元和内部电路,上述电源垫片具有上述 I/O 单元用的第一电源垫片和上述内部电路用的第二电源垫片,上述第一电源垫片配置在上述 I/O 单元上或其附近,上述第二电源垫片配置在上述内部电路上。

[0015] 上述内部电路配置在上述半导体芯片的中央,上述 I/O 单元配置在上述半导体芯片的外周边的附近。

[0016] 上述信号垫片和上述电源垫片配置在多个配线层中的最上位配线层上。

[0017] 对上述 I/O 单元和上述信号垫片进行电连接的信号配线,至少有一部分配置在上述最上位配线层上。

[0018] 对上述 I/O 单元和上述第一电源垫片进行电连接的第一电源配线,至少有一部分配置在上述最上位配线层上。

[0019] 对上述内部电路和上述第二电源垫片进行电连接的第二电源配线,至少有一部分配置在上述最上位配线层上。

[0020] 避开上述第一电源垫片,从上述半导体芯片的外周附近开始依次配置上述信号垫片。

[0021] 具有分别配置在上述电源垫片和上述信号垫片上的多个凸起,上述各个凸起的大小大致相同。

[0022] 上述第一电源配线中配置在上述最上位配线层的部分,沿着上述半导体芯片的外周进行配线;上述信号垫片,至少有一部分配置在上述 I/O 单元上,并且在与上述半导体芯片的外周边成直角的方向上的宽度狭窄。

[0023] 上述第二电源配线中配置在上述最上位配线层的至少一部分,在与上述半导体的外周边成直角的方向上进行配线;上述信号垫片,至少有一部分处于上述内部电路上且配置在上述第二电源配线之间,并且在与上述半导体芯片的外周边平行的方向上的宽度狭窄。

[0024] 还具有一对电源配线,该一对电源配线从上述多个电源垫片中的一个电源垫片的相对两边的两端开始在同一方向平行地进行配线,上述多个信号垫片包含被上述一对电源配线夹持而配置的第一信号垫片,上述第一信号垫片的宽度比上述一对电源配线的间隔窄。

[0025] 上述多个信号垫片包含第二信号垫片,该第二信号垫片被上述一对电源配线夹持而配置,并且配置在不会与上述第一信号垫片抵触的区域,上述第二信号垫片和上述第二信号配线连接,上述多个电源垫片、上述第一和第二信号垫片、上述一对电源配线以及上述第二信号配线用同一配线层进行配置,上述第二信号配线为通过上述第一信号垫片和上述一对电源配线中的一个电源配线之间的配线。

[0026] 上述一对电源配线的间隔比上述电源垫片的上述相对两边之间的间隔窄。

[0027] 根据本发明(技术方案 1~15),因为按照通电量采用了最佳尺寸的垫片,所以通

过使这些不同尺寸的垫片配置最佳化,能够实现最上位配线层的配线性提高、配线层数的减少和电源强化。

### 附图说明

[0028] 图 1 是示意性地表示了本发明的实施方式 1 所涉及的半导体集成电路装置的凸起配置面的俯视图。

[0029] 图 2 是示意性地表示了本发明的实施方式 1 所涉及的半导体集成电路装置中的图 1 的被双点划线包围的部位的垫片和配线的图形的局部放大俯视图。

[0030] 图 3 是只示意性地表示了本发明的实施方式 1 所涉及的半导体集成电路装置的最上位配线层的图形的局部俯视图。

[0031] 图 4 是示意性地表示了本发明的实施方式 1 所涉及的半导体集成电路装置的图 2 的 X-X' 间的局部剖视图。

[0032] 图 5 是示意性地表示了本发明的实施方式 1 所涉及的半导体集成电路装置的图 2 的 Y-Y' 间的局部剖视图。

[0033] 图 6 是表示了现有例所涉及的半导体集成电路装置的 I/O 单元和垫片的连接状态的配线布局图。

### 具体实施方式

[0034] 实施方式 1

[0035] 利用附图,说明本发明的实施方式 1 所涉及的半导体集成电路装置。图 1 是示意性地表示了本发明的实施方式 1 所涉及的半导体集成电路装置的凸起配置面的俯视图。图 2 是示意性地表示了本发明的实施方式 1 所涉及的半导体集成电路装置中的图 1 的被双点划线包围的部位的垫片和配线的图形的局部放大俯视图。图 3 是只示意性地表示了本发明的实施方式 1 所涉及的半导体集成电路装置的最上位配线层的图形的局部俯视图。图 4 是示意性地表示了本发明的实施方式 1 所涉及的半导体集成电路装置的图 2 的 X-X' 间的局部剖视图。图 5 是示意性地表示了本发明的实施方式 1 所涉及的半导体集成电路装置的图 2 的 Y-Y' 间的局部剖视图。

[0036] 半导体集成电路装置 1 为具有内部电路和 I/O 单元的半导体芯片。在半导体集成电路装置 1 的凸起配置面上,在格子部分的标有“○”标记的部分配置着凸起 2(焊锡球)(参照图 1)。在凸起 2 的下方,配置着垫片(未图示)。在凸起配置面中,具有:配置在中央的内部电路区域 1a;和配置在其附近(或周围)的 I/O 单元区域 1b。内部电路区域 1a 是在半导体集成电路装置 1 的内部配置多个内部电路(未图示)的区域。I/O 单元区域 1b 是在半导体集成电路装置 1 的内部配置多个 I/O 单元(未图示)的区域。在半导体集成电路装置 1 中,在半导体基板(图 4、5 的 10)上配有多层配线层,该多层配线层是交替地层叠多个绝缘层(同图的 3、5、8)和配线层(同图的 4、7),并且配线层(未图示)间进行了通孔连接。另外,图 1 所示的内部电路区域 1a 和 I/O 单元区域 1b 的图形是一个例子,也可以是配有多个内部电路区域和 I/O 单元区域组的图形。图 1 的用两点划线框住的部位的垫片和配线的图形在图 2 中表示。

[0037] 在半导体集成电路装置 1 的多层配线层中,具有最上位配线层 4 和配线层 7(参照

图 2)。

[0038] 最上位配线层 4 是多层配线层中配置在最上位(靠着凸起)的配线层,配置在绝缘层 3 和绝缘层 5 之间(参照图 4、5)。在最上位配线层 4 中,具有:信号垫片 4a、第一 VDD 垫片 4b、第一 GND 垫片 4c、信号配线 4d、第一 VDD 配线 4e、第一 GND 配线 4f、第二 VDD 垫片 4g、第二 GND 垫片 4h、第二 VDD 配线 4i 和第二 GND 配线 4j。

[0039] 信号垫片 4a 是 IO 单元 1c 用的信号垫片。信号垫片 4a 位于内部电路区域 1a 和 IO 单元区域 1b,配置在图 1 的格子部分的标有“○”标记的部位中的、预定部位的凸起(图 1 的 2)的下方。信号垫片 4a 避开第一 VDD 垫片 4b 和第一 GND 垫片 4c,从半导体集成电路装置 1 的外周侧依次配置。信号垫片 4a 与同一层的对应信号配线 4d 一体形成(参照图 3)。信号垫片 4a,通过信号配线 4d、通孔 6a、信号配线 7a 和通孔 9a,与作为对应的 IO 单元 1c 的信号端子的扩散层 10a 进行了电连接(参照图 4)。信号垫片 4a(信号垫片 4a 的短边方向)的宽度比电源垫片(第一 VDD 垫片 4b、第一 GND 垫片 4c、第二 VDD 垫片 4g 和第二 GND 垫片 4h)窄,例如可以形成长方形、八角形等多角形。这是因为在信号垫片 4a 中只流过小于电源垫片的电流。信号垫片 4a 的长边方向的朝向,按照电源垫片(第一 VDD 垫片 4b、第一 GND 垫片 4c、第二 VDD 垫片 4g 和第二 GND 垫片 4h)及其配线(第一 VDD 配线 4e、第一 GND 配线 4f、第二 VDD 配线 4i 和第二 GND 配线 4j)的图形进行配置,例如,关于 IO 单元区域 1b 的信号垫片 4a,其长边方向的朝向可以为与半导体集成电路装置 1 的外周边平行的方向;关于内部电路区域 1a 的信号垫片 4a,其长边方向的朝向可以为与半导体集成电路装置 1 的外周边正交的方向。在信号垫片 4a 的正下方,没有配置电源配线(第一 VDD 配线 4e、第一 GND 配线 4f、第二 VDD 配线 4i 和第二 GND 配线 4j)。

[0040] 另外,信号垫片 4a 虽然是宽度狭窄的垫片,但是因为形成可满足 IO 单元的容许电流的尺寸,所以不会发生问题。另外,配置在信号垫片 4a 上的凸起 2,和配置在电源垫片(第一 VDD 垫片 4b、第一 GND 垫片 4c、第二 VDD 垫片 4g 和第二 GND 垫片 4h)上的凸起 2 的大小大致相同。另外,通过使用宽度大于信号垫片 4a 的大面积的垫片作为流通电流大的电源垫片,能够增加与凸起的接触面积,从而可以防止连接电阻变高。

[0041] 第一 VDD 垫片 4b 是 IO 单元 1c 用的 VDD 侧的电源垫片。第一 VDD 垫片 4b 位于内部电路区域 1a,配置在图 1 的格子部分的标有“○”标记的部位中的、预定部位的凸起(图 1 的 2)的下方。另外,第一 VDD 垫片 4b 优选的是位于 IO 单元区域 1b 附近或 IO 单元区域 1b 内的部位。第一 VDD 垫片 4b 与同一层的第一 VDD 配线 4e(VDD 总线)一体形成。第一 VDD 垫片 4b 通过第一 VDD 配线 4e、通孔(未图示,在同一层不会与通孔 6a 抵触的区域的通孔)、第一 VDD 配线(未图示,在同一层不会与信号配线 7a 抵触的区域的配线)和通孔(未图示,在同一层不会与通孔 9a 抵触的区域的通孔),与各 IO 单元的第一 VDD 端子 10b 进行了电连接(参照图 4)。考虑到第一 VDD 垫片 4b 中有大电流流过,因而使其宽度大于信号垫片 4a,例如可以形成长方形、八角形等多角形。

[0042] 第一 GND 垫片 4c 是 IO 单元 1c 用的 GND 侧的电源垫片。第一 GND 垫片 4c 位于 IO 单元区域 1b,配置在图 1 的格子部分的标有“○”标记的部位中的、预定部位的凸起(图 1 的 2)的下方。另外,第一 GND 垫片 4c 优选的是配置在半导体集成电路装置 1 的外周边的附近。第一 GND 垫片 4c 与同一层的第一 GND 配线 4f(GND 总线)一体形成。第一 GND 垫片 4c,通过第一 GND 配线 4f、通孔 6b、第一 GND 配线 7b 和通孔 9b,与作为各 IO 单元的第一

GND 端子的扩散层 10c 进行了电连接（参照图 5）。考虑到第一 GND 垫片 4c 中有大电流流过，因而使其宽度大于信号垫片 4a，例如可以形成长方形、八角形等多角形。

[0043] 信号配线 4d，与同一层的对应信号垫片 4a 一体形成，主要配置在内部电路区域 1a 中。第一 VDD 配线 4e（VDD 总线），与同一层的第一 VDD 垫片 4b 一体形成，主要配置在 IO 单元区域 1b。第一 GND 配线 4f（GND 总线），与同一层的第一 GND 垫片 4c 一体形成，并配置在 IO 单元区域 1b。信号配线 4d、第一 GND 配线 4e 和第一 GND 配线 4f 优选的是，避免与电源垫片（第一 VDD 垫片 4b、第一 GND 垫片 4c、第二 VDD 垫片 4g 和第二 GND 垫片 4h）和凸起（图 1 的 2）的接触，尽可能地配置在最上位配线层 4。信号配线 4d，优选的是以自动配线方式进行布局。另外，第一 VDD 配线 4e 和第一 GND 配线 4f 以专用图形进行布局，但是可能的话，也可以用自动配线进行布局。

[0044] 第二 VDD 垫片 4g 是内部电路用的 VDD 侧的电源垫片。第二 VDD 垫片 4g 位于内部电路区域 1a，配置在图 1 的格子部分的标有“○”标记的部位中的、预定部位的凸起（图 1 的 2）的下方。第二 VDD 垫片 4g 和同一层的第二 VDD 配线 4i（VDD 总线）一体形成。第二 VDD 垫片 4g，通过第二 VDD 配线 4i、通孔（未图示，在同一层不会与通孔 6b 抵触的区域的通孔）、VDD 配线（未图示，不会在同一层与 GND 配线 7b 抵触的区域的配线）和通孔（未图示，不会在同一层与通孔 9b 抵触的区域的通孔），与内部电路的第二 VDD 端子 10d 进行了电连接。另外，第二 VDD 端子 10d 配置在第二 VDD 配线 4i 的正下方或其周边。考虑到第二 VDD 垫片 4g 中有大电流流过，因而使其宽度大于信号垫片 4a，例如可以形成长方形、八角形等多角形。

[0045] 第二 GND 垫片 4h 是内部电路用的 GND 侧的电源垫片。第二 GND 垫片 4h 位于内部电路区域 1a，配置在图 1 的格子部分的标有“○”标记的部位中的、预定部位的凸起（图 1 的 2）的下方。第二 GND 垫片 4h 与同一层的第二 GND 配线 4j（GND 总线）一体形成。第二 VDD 垫片 4g，通过第二 GND 配线 4j、通孔（未图示，不会在同一层与通孔 6b 抵触的区域的通孔）、GND 配线（未图示，不会在同一层与 GND 配线 7b 抵触的区域的配线）和通孔（未图示，不会在同一层通孔 9b 与抵触的区域的通孔），与内部电路的第二 GND 端子 10e 进行了电连接。另外，第二 GND 端子 10e 配置在第二 GND 配线 4j 的正下方或其周边。考虑到第二 GND 垫片 4h 中有大电流流过，因而使其宽度大于信号垫片 4a，例如可以形成长方形、八角形等多角形。

[0046] 第二 VDD 配线 4i（VDD 总线），与同一层的第二 VDD 垫片 4g 一体形成，配置在内部电路区域 1a 中。第二 GND 配线 4j（GND 总线）与同一层的第二 GND 垫片 4h 形成一体，并配置在内部电路区域 1a 中。为了对电源进行补强，第二 VDD 配线 4i 和第二 GND 配线 4j 利用最上位配线层 4 从垫片一直延伸到 IO 单元区域 1b 附近。

[0047] 配线层 7，是多层配线层中、配置在最上位配线层 4 的下一层的配线层，配置在绝缘层 5 和绝缘层 8 之间（参照图 4、图 5）。在配线层 7 中，具有：第一信号配线 7a、第一 VDD 配线（未图示）、第一 GND 配线 7b、第二 VDD 配线（未图示）和第二 GND 配线（未图示）。各配线是用于对相对应最上位配线层 4 的配线和端子之间进行电连接的配线。

[0048] 另外，在图 2、图 3 所示的实施方式 1 中，使用宽度比信号配线粗的配线作为电源配线。在专利文献 1 申请的当时，如果宽度尺寸不同的配线混杂，设计流程就会很复杂，特别妨碍进行自动设计。但是，本申请的发明人，如果使用如在特愿 2003-350946 号中所公开的



粗宽度配线和细宽度配线混杂时的自动布局的技术,也能够使用比信号配线粗的配线作为电源配线而进行自动设计。特别是如图 2、图 3 所示,通过使配置在内部电路区域 1a 的信号垫片 4a 的宽度变细,不必增加布局面积,即可加粗内部电路用电源配线 4i、4j 的配线宽度,从而能够降低内部电路的电位变动。

[0049] 另外,通过使用宽度比配置在 I0 单元区域 1b 上的信号垫片 4a 细的信号垫片,来强化 I0 单元用电源配线 4e、4f、I0 单元 - 垫片间信号配线 4d、内部电路用电源配线 4i 和内部电路用信号配线(未图示),能够降低 I0 单元和内部电路的电位变动。而且,因电源配线的强化,还具有提高 EM 等的可靠性的效果。

[0050] 另外,在内部电路区域 1a 中,因为是将电源配线 4i、4j 在和半导体芯片的外周边成直角的方向上进行配线,所以配置在内部电路区域 1a 的信号垫片 4a 被配置在和半导体芯片外周边平行的方向上的宽度变窄的朝向,使得电源配线 4i、4j 容易进行配线。另一方面,在 I0 单元区域 1b 中,因为是将电源配线 4e、4f 沿着半导体芯片的外周边进行配线,所以配置在 I0 单元区域 1b 的信号垫片 4a 被配置在和半导体芯片外周边成直角的方向上的宽度变窄的朝向,使之不会妨碍电源配线 4e、4f 的配线。

[0051] 另外,在图 4、图 5 中,多层配线层的最上位配线层 4 下方的配线层只有配线层 7,但是也可以是形成多层配线层。而且,在图 2、图 3 中,也能够将最上位配线层的空余区域用于电源配线的强化。另外,在实施方式 1 中,表示了用焊锡球形成凸起的装置,但是毋庸置疑,凸起的材质能够选择适宜的材料。

[0052] 另外,在图 2、图 3 中,按照容许电流量,将垫片的大小分为两种,但是也可以使用更多种类大小的垫片。

[0053] 根据实施方式 1,起到如下所述的效果。

[0054] 第一,提高配线性。即,通过使用宽度比电源垫片(第一 VDD 垫片 4b、第一 GND 垫片 4c、第二 VDD 垫片 4g 和第二 GND 垫片 4h)窄的垫片作为信号垫片 4a,从而扩大最上位配线层 4 的信号垫片 4a 间的可配线区域,提高配线性。另外,由于将 I0 单元 1c 用的电源垫片(第一 VDD 垫片 4b、第一 GND 垫片 4c)配置在 I0 单元区域 1b 附近或 I0 单元区域 1b 内的部位,因而不会再压迫信号垫片 4a 间的可配线区域,所以配线性提高。

[0055] 第二,能够减少配线层数。即,通过使用宽度比电源垫片(第一 VDD 垫片 4b、第一 GND 垫片 4c、第二 VDD 垫片 4g 和第二 GND 垫片 4h)窄的垫片作为信号垫片 4a,在内部电路区域 1a 中能够主要用最上位配线层 4 配置信号配线 4d,在内部电路区域 1a 中将信号配线 7a 在最上位配线层 4 的下一层的配线层 7 中使用的频率减少(即使使用,也只是在 I0 单元区域 1b 和其附近),从而能够实现低层化。另外,因为比最上位配线层下一层的配线层是电源强化作用强的配线层,所以如果可以在其他配线层供给电源,则也可以去掉比最上位配线层下一层的配线层。

[0056] 第三,能够实现 I0 单元 1c 的电源强化和电源噪声降低。因为通过在 I0 单元 1c 上或附近配置电源垫片(第一 VDD 垫片 4b、第一 GND 垫片 4c),能够使电源垫片间的配线电阻最小。

[0057] 第四,能够实现内部电路的电源强化和电源噪声降低。因为通过使用宽度比电源垫片(第一 VDD 垫片 4b、第一 GND 垫片 4c、第二 VDD 垫片 4g 和第二 GND 垫片 4h)窄的垫片作为信号垫片 4a,也可以确保内部电路的电源用的配线区域。

[0058] 第五,在内部电路区域 1a 中的信号垫片 4a 下的宏配置的自由度提高。因为在内部电路区域 1a 中,因为主要采用最上位配线层 4 形成信号配线 4d,信号配线 7a 在配线层 7 中使用的频率减少,所以在内部电路区域 1a 中的信号垫片 4a 下方的宏的可配置区域扩大。

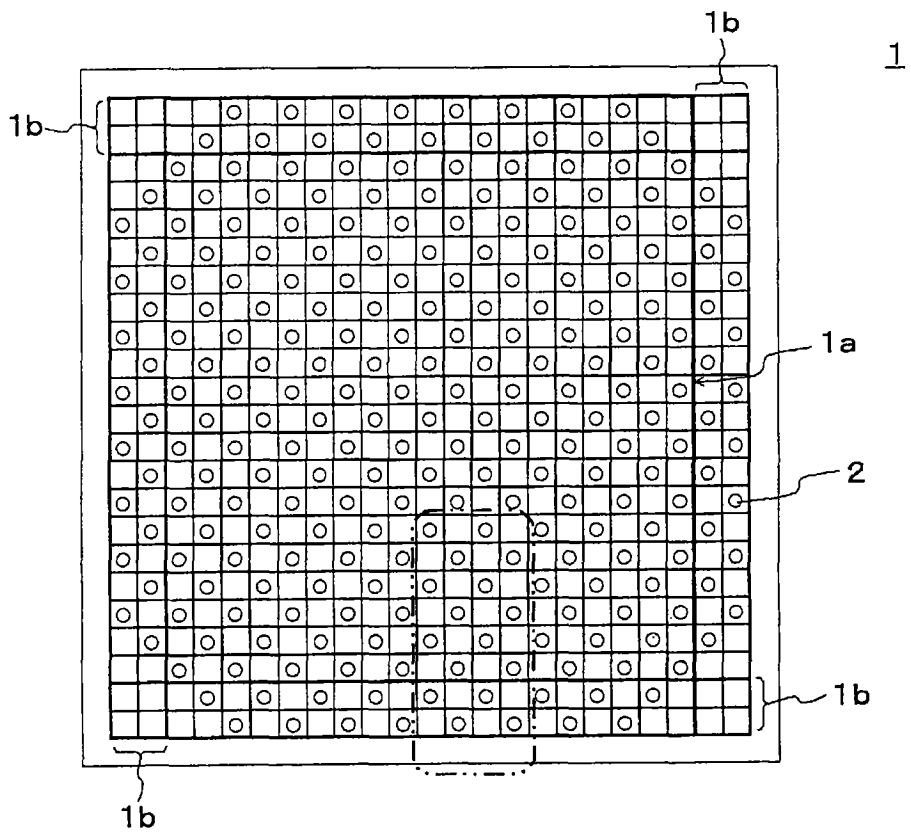


图 1

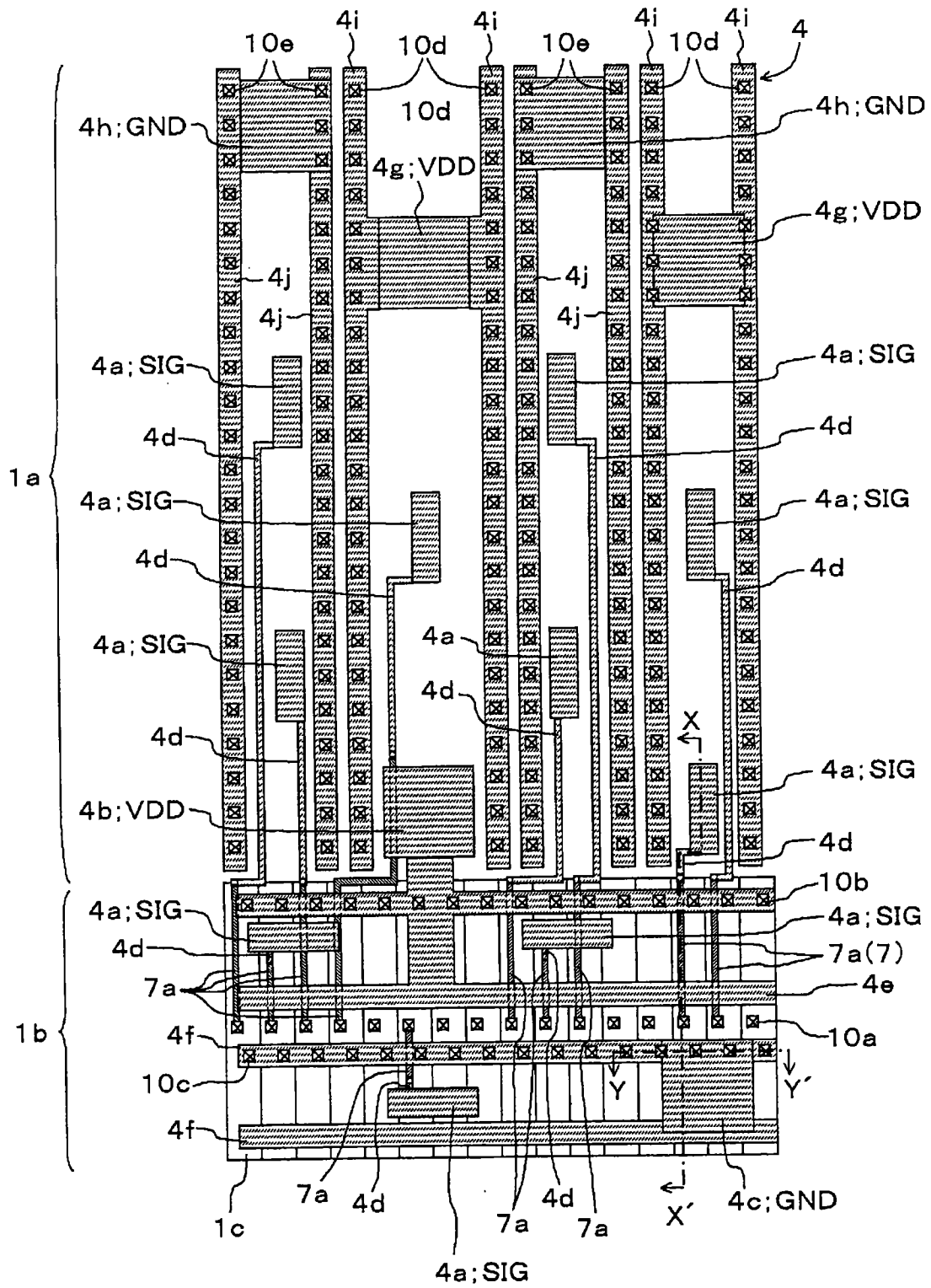


图 2

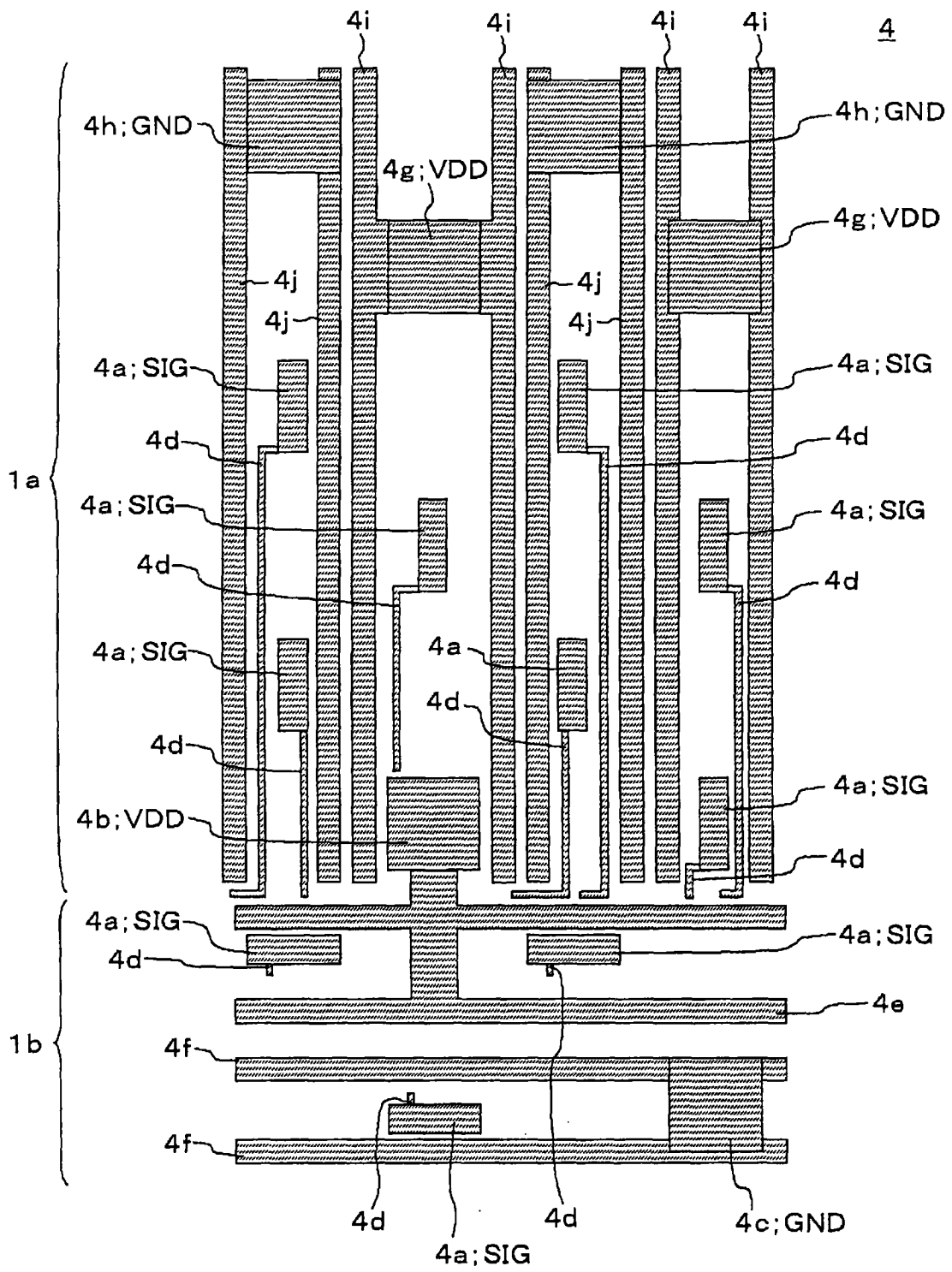


图 3

(X-X')

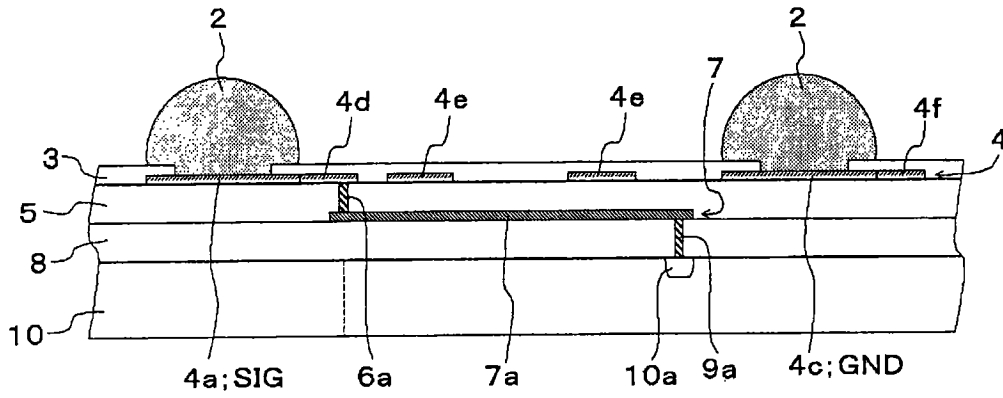


图 4

(Y-Y')

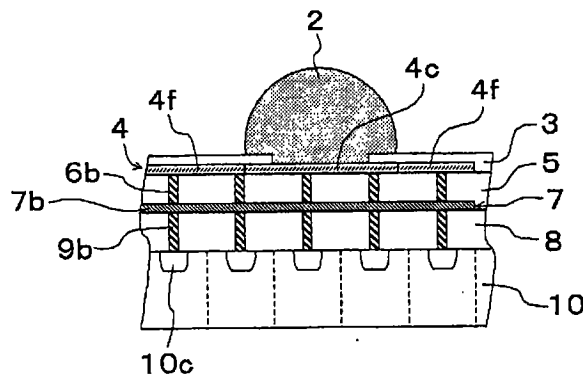


图 5

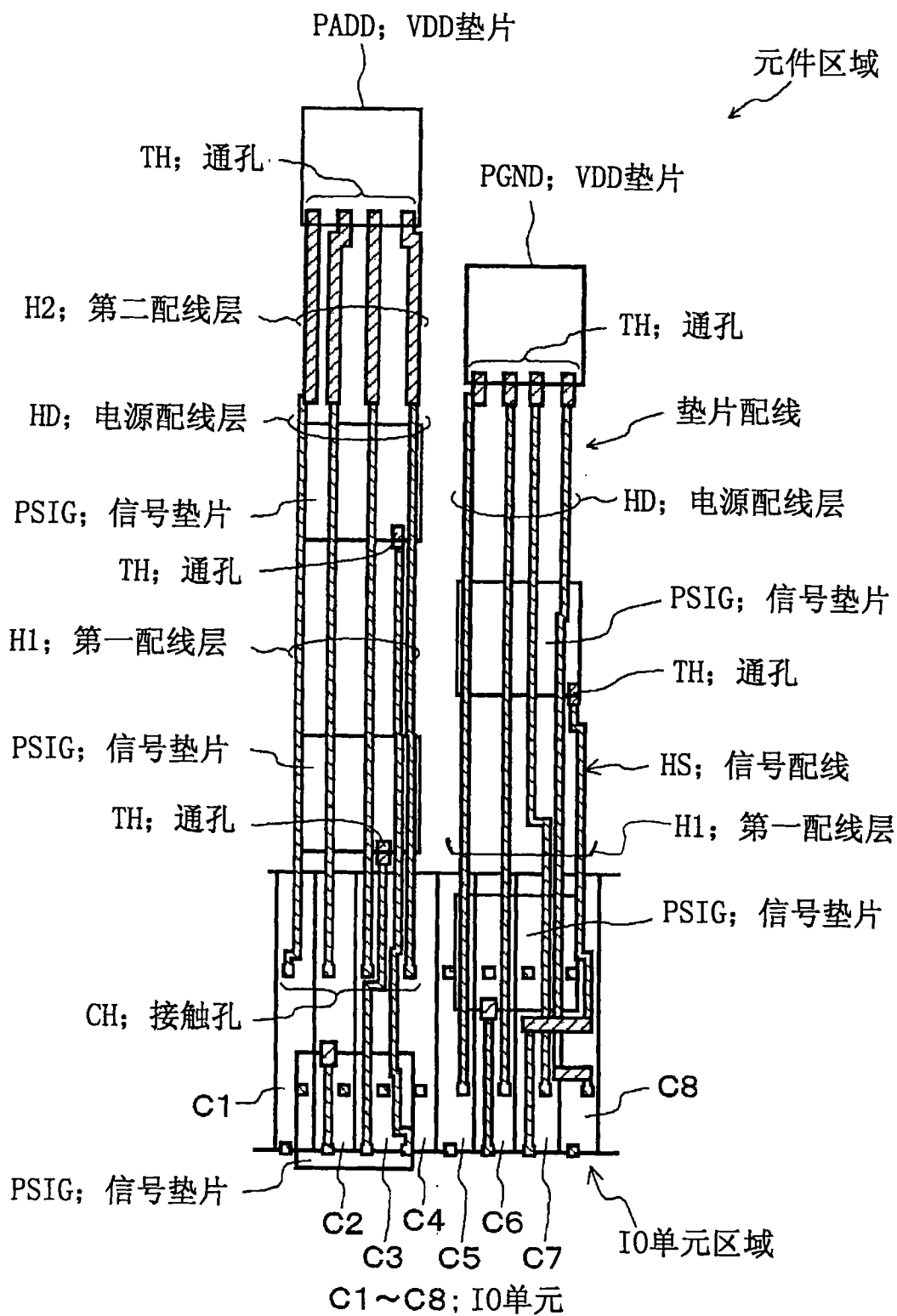


图 6