



(12) 发明专利

(10) 授权公告号 CN 110830027 B

(45) 授权公告日 2023. 03. 24

(21) 申请号 201910565907.5

(22) 申请日 2019.06.27

(65) 同一申请的已公布的文献号
申请公布号 CN 110830027 A

(43) 申请公布日 2020.02.21

(30) 优先权数据
62/716,998 2018.08.10 US
16/423,511 2019.05.28 US

(73) 专利权人 力旺电子股份有限公司
地址 中国台湾新竹科学园区

(72) 发明人 赖子能

(74) 专利代理机构 北京市柳沈律师事务所
11105
专利代理师 史新宏

(51) Int.Cl.

H03K 19/0185 (2006.01)

H03K 19/003 (2006.01)

(56) 对比文件

CN 107517054 A, 2017.12.26

CN 101820272 A, 2010.09.01

US 2010283712 A1, 2010.11.11

US 9613714 B1, 2017.04.04

苏强等. 一种带电平转换功能的双电源电压输出电路.《微电子学与计算机》.2010,(第03期),全文.

审查员 庄文龙

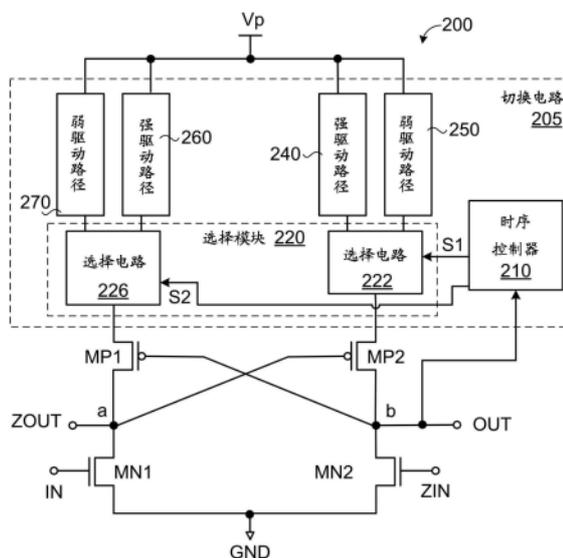
权利要求书2页 说明书10页 附图9页

(54) 发明名称

转压器

(57) 摘要

一种转压器,具有第一输出端与第二输出端。当转压器的第一输出端产生高准位的输出信号且第二输出端产生低准位的反向输出信号后,第一输出端与电源电压端之间会连接一弱驱动路径,且第二输出端与电源电压端之间会连接一强驱动路径。反之,当转压器的第一输出端产生低准位的输出信号且第二输出端产生高准位的反向输出信号后,第一输出端与电源电压端之间会连接一强驱动路径,且第二输出端与电源电压端之间会连接一弱驱动路径。



1. 一种变压器,包括:

第一强驱动路径;

第一弱驱动路径;

第二强驱动路径;

第二弱驱动路径;

一选择模块,包括第一选择电路与第二选择电路;其中,该第一强驱动路径连接于一电源电压端与该第一选择电路的第一输入端之间,该第一弱驱动路径连接于该电源电压端与该第一选择电路的第二输入端之间,该第二强驱动路径连接于该电源电压端与该第二选择电路的第一输入端之间,该第二弱驱动路径连接于该电源电压端与该第二选择电路的第二输入端之间;

第一P型晶体管,具有一源极连接至该第二选择电路的一输出端,一汲极连接至第一节点,一闸极连接至第二节点;

第二P型晶体管,具有一源极连接至该第一选择电路的一输出端,一汲极连接至该第二节点,一闸极连接至该第一节点;其中,该第二节点产生一输出信号,该第一节点产生一反相输出信号;

第一N型晶体管,具有一汲极连接至该第一节点,一源极连接至一接地端,一闸极接收一输入信号;

第二N型晶体管,具有一汲极连接至该第二节点,一源极连接至该接地端,一闸极接收一反相输入信号;其中,当该输入信号为第一高准位时,该输出信号为第二高准位;且当该输入信号为一低准位时,该输出信号为该低准位;以及

一时序控制器,接收该输出信号与该反相输出信号其中之一,或者接收该输出信号与该反相输出信号,该时序控制器产生一控制信号组至该选择模块用以控制该第一选择电路与该第二选择电路;

其中,当该输出信号转换为该第二高准位且该反相输出信号转换为该低准位并经过一时间期间后,该第一选择电路将该第一弱驱动路径连接至该第二P型晶体管的该源极,该第二选择电路将该第二强驱动路径连接至该第一P型晶体管的该源极;

其中,当该输出信号转换为该低准位且该反相输出信号转换为该第二高准位并经过该时间期间后,该第一选择电路将该第一强驱动路径连接至该第二P型晶体管的该源极,该第二选择电路将该第二弱驱动路径连接至该第一P型晶体管的该源极。

2. 如权利要求1所述的变压器,其中该第一选择电路包括第三P型晶体管与第四P型晶体管;该第二选择电路包括第五P型晶体管与第六P型晶体管;该第三P型晶体管的源极为该第一选择电路的该第一输入端;该第三P型晶体管的闸极接收第一选择信号;该第三P型晶体管的汲极为该第一选择电路的该输出端;该第五P型晶体管的源极为该第二选择电路的该第一输入端;该第五P型晶体管的闸极接收第二选择信号;该第五P型晶体管的汲极为该第二选择电路的该输出端;该第四P型晶体管的源极为该第一选择电路的该第二输入端;该第四P型晶体管的闸极接收第三选择信号;该第四P型晶体管的汲极连接至该第三P型晶体管的该汲极;该第六P型晶体管的源极为该第二选择电路的该第二输入端;该第六P型晶体管的闸极接收第四选择信号;该第六P型晶体管的汲极连接至该第五P型晶体管的汲极。

3. 如权利要求2所述的变压器,其中该第一强驱动路径为第一导线连接于该电源电压

端与该第一选择电路的该第一输入端之间;该第二强驱动路径为第二导线连接于该电源电压端与该第二选择电路的该第一输入端之间;该第一弱驱动路径包括第七P型晶体管,具有一源极连接至该电源电压端,一汲极连接至该第一选择电路的该第二输入端,一闸极接收第一偏压;该第二弱驱动路径包括第八P型晶体管,具有一源极连接至该电源电压端,一汲极连接至该第二选择电路的该第二输入端,一闸极接收第二偏压。

4. 如权利要求3所述的变压器,其中该第一偏压与该第二偏压为一接地电压。

5. 如权利要求3所述的变压器,其中该输入信号为该第一偏压,该反相输入信号为该第二偏压。

6. 如权利要求2所述的变压器,其中时序控制器的控制信号组包括该第一选择信号、该第二选择信号、该第三选择信号与该第四选择信号;该第一选择信号落后该输出信号该时间区间;该第二选择信号落后该反相输出信号该时间区间;该第三选择信号相同于该第二选择信号;且该第四选择信号相同于该第一选择信号。

7. 如权利要求2所述的变压器,其中该时间期间区分为第一区间与第二区间;当该输出信号转换为该第二高准位且该反相输出信号转换为该低准位并经过该第一区间后,该第一选择电路将该第一弱驱动路径与该第一强驱动路径连接至该第二P型晶体管的该源极,该第二选择电路将该第二弱驱动路径与该第二强驱动路径连接至该第一P型晶体管的该源极;以及,当该输出信号转换为该第二高准位且该反相输出信号转换为该低准位并经过该第一区间与该第二区间后,该第一选择电路将该第一弱驱动路径连接至该第二P型晶体管的该源极,该第二选择电路将该第二强驱动路径连接至该第一P型晶体管的该源极。

8. 如权利要求7所述的变压器,其中该当该输出信号转换为该低准位且该反相输出信号转换为该第二高准位并经过该第一区间后,该第一选择电路将该第一强驱动路径与该第一弱驱动路径连接至该第二P型晶体管的该源极,该第二选择电路将该第二强驱动路径与该第二弱驱动路径连接至该第一P型晶体管的该源极;以及,当该输出信号转换为该低准位且该反相输出信号转换为该第二高准位并经过该第一区间与该第二区间后,该第一选择电路将该第一强驱动路径连接至该第二P型晶体管的该源极,该第二选择电路将该第二弱驱动路径连接至该第一P型晶体管的该源极。

转压器

技术领域

[0001] 本发明是有关一种转压器,尤指一种具不对称驱动路径的转压器(level shifter with asymmetrical driving paths)。

背景技术

[0002] 请参考图1,其所绘示为习知转压器。此转压器100可将信号范围介于电压 V_d 至GND的输入信号IN与反相输入信号ZIN转换为信号范围在电压 V_p 至GND间的输出信号OUT与反相输出信号ZOUT。其中, V_d 为电源电压(例如1.2V), V_p 为另一电源电压(例如5V),GND为接地电压(例如0V)。其中,输入信号IN与反相输入信号ZIN为互补信号(complementary signals),且输出信号OUT与反相输出信号ZOUT为互补信号。

[0003] 转压器100包括P型晶体管MP1、P型晶体管MP2、N型晶体管MN1与N型晶体管MN2,其中,P型晶体管MP1的源极接收电源电压 V_p ,漏极连接至节点a,且栅极连接至节点b。另外,P型晶体管MP2的源极接收电源电压 V_p ,漏极连接至节点b,且栅极连接至节点a。

[0004] 再者,N型晶体管MN1的漏极连接至节点a,源极连接至接地端GND,且栅极接收输入信号IN。另外,N型晶体管MN2漏极连接至节点b,源极连接至接地端GND,以与门极接收反相的输入信号ZIN。其中,节点b做为第一输出端,用以产生输出信号OUT。另外,节点a做为第二输出端,用以产生反相输出信号ZOUT。

[0005] 当转压器100的输入信号IN为第一高准位(亦即,1.2V的电源电压 V_d)且反相输入信号ZIN为低准位(亦即,0V)时,N型晶体管MN1与P型晶体管MP2被开启(turn on),N型晶体管MN2与P型晶体管MP1被断开(turn off)。因此,输出信号OUT为第二高准位(亦即,5V的电源电压 V_p),反相输出信号ZOUT为低准位(亦即,0V)。

[0006] 当转压器100的输入信号IN为低准位(亦即,0V)且反相输入信号ZIN为第一高准位(亦即,1.2V的电源电压 V_d)时,N型晶体管MN1与P型晶体管MP2被断开(turn off),N型晶体管MN2与P型晶体管MP1被开启(turn on)。因此,输出信号OUT为低准位(亦即,0V),以及反相输出信号ZOUT为第二高准位(亦即,5V的电源电压 V_p)。

[0007] 另外,当输入信号IN由第一高准位转换为低准位(反相输入信号ZIN由低准位转换为第一高准位)的瞬间,N型晶体管MN1被断开(turn off),N型晶体管MN2被开启(turn on),P型晶体管MP1被开启(turn on),但P型晶体管MP2持续开启尚未被断开(turn off)。此时,转压器100会进入短暂的竞争期间(fighting period),直到P型晶体管MP2被断开为止。

[0008] 同理,当输入信号IN由低准位转换为第一高准位(反相输入信号ZIN由第一高准位转换为低准位)的瞬间,转压器100也会进入短暂的竞争期间(fighting period),直到P型晶体管MP1被断开(turn off)为止。

[0009] 一般来说,P型晶体管的驱动能力与其信道长度(channel length)与通道宽度(channel width)有关。如果P型晶体管具较宽的通道宽度且较短的通道长度时,则P型晶体管有较大的驱动强度(driving strength)。反之,如果P型晶体管具较窄的通道宽度且较长的通道长度时,则P型晶体管有较小的驱动强度。

[0010] 再者,为了缩短转压器100的竞争期间(fighting period),在设计习知的转压器100时,需要考虑转压器100的电源电压 V_p 。一般来说,当电源电压 V_p 较低(例如1.5V)时,P型晶体管MP1与P型晶体管MP2的驱动能力越强越好。反之,当电源电压 V_p 较高(例如5V)时,P型晶体管MP1与P型晶体管MP2的驱动能力要越弱越好。

[0011] 然而,如果设计的转压器100需要适用于宽范围(wide range)的电源电压 V_p 时,例如能够操作于1.5V电源电压 V_p 的转压器100也能够操作于6V电源电压 V_p 的转压器100,则转压器100将很难设计。

发明内容

[0012] 本发明是有关于一种转压器,包括第一强驱动路径;第一弱驱动路径;第二强驱动路径;第二弱驱动路径;一选择模块,包括第一选择电路与第二选择电路;其中,该第一强驱动路径连接于一电源电压端与该第一选择电路的第一输入端之间,该第一弱驱动路径连接于该电源电压端与该第一选择电路的第二输入端之间,该第二强驱动路径连接于该电源电压端与该第二选择电路的第一输入端之间,该第二弱驱动路径连接于该电源电压端与该第二选择电路的第二输入端之间;第一P型晶体管,具有一源极连接至该第二选择电路的一输出端,一漏极连接至第一节点,一栅极连接至第二节点;第二P型晶体管,具有一源极连接至该第一选择电路的一输出端,一漏极连接至该第二节点,一栅极连接至该第一节点;其中,该第二节点产生一输出信号,该第一节点产生一反相输出信号;第一N型晶体管,具有一漏极连接至该第一节点,一源极连接至一接地端,一栅极接收一输入信号;第二N型晶体管,具有一漏极连接至该第二节点,一源极连接至该接地端,一栅极接收一反相输入信号;其中,当该输入信号为第一高准位时,该输出信号为第二高准位;且当该输入信号为一低准位时,该输出信号为该低准位;以及一时序控制器,接收该输出信号与该反相输出信号其中之一,或者接收该输出信号与该反相输出信号,该时序控制器产生一控制信号组至该选择模块用以控制该第一选择电路与该第二选择电路;其中,当该输出信号转换为该第二高准位且该反相输出信号转换为该低准位并经过一时间期间后,该第一选择电路将该第一弱驱动路径连接至该第二P型晶体管的该源极,该第二选择电路将该第二强驱动路径连接至该第一P型晶体管的该源极;其中,当该输出信号转换为该低准位且该反相输出信号转换为该第二高准位并经过该时间期间后,该第一选择电路将该第一强驱动路径连接至该第二P型晶体管的该源极,该第二选择电路将该第二弱驱动路径连接至该第一P型晶体管的该源极。

[0013] 为了对本发明的上述及其他方面有更佳的了解,下文特举实施例,并配合所附图式详细说明如下:

附图说明

[0014] 图1为习知转压器。

[0015] 图2A与图2B为本发明转压器的第一实施例及状态图。

[0016] 图3A与图3B为本发明转压器的第二实施例及其相关信号示意图。

[0017] 图4A与图4B为本发明转压器的第三实施例及其相关信号示意图。

[0018] 图5为本发明转压器的第四实施例。

[0019] 图6A与图6B为本发明转压器的第五实施例及其相关信号示意图。

具体实施方式

[0020] 为了让变压器适用于宽范围(wide range)的电源电压 V_p ,本发明提出一种具不对称驱动路径的变压器。请参照图2A与图2B,其所绘示为本发明变压器的第一实施例及其状态图(state diagram)。

[0021] 如图2A所示,变压器200包括切换电路205、P型晶体管MP1、P型晶体管MP2、N型晶体管MN1与N型晶体管MN2。另外,切换电路(switching circuit)205包括:时序控制器(timing controller)210、选择模块(selecting module)220、强驱动路径(strong driving path)240、260以及弱驱动路径(weak driving path)250、270。其中,强驱动路径240、260具备强的驱动能力,弱驱动路径250、270具备弱的驱动能力。再者,选择模块220中还包括二个选择电路(selecting circuit)222、226。

[0022] P型晶体管MP1的源极连接至选择电路226,漏极连接至节点a,且栅极连接至节点b。另外,P型晶体管MP2的源极连接至选择电路222,漏极连接至节点b,且栅极连接至节点a。

[0023] 再者,N型晶体管MN1的漏极连接至节点a,源极连接至接地端GND,且栅极接收输入信号IN。另外,N型晶体管MN2漏极连接至节点b,源极连接至接地端GND,以与门极接收反相的输入信号ZIN。其中,节点b做为第一输出端,用以产生输出信号OUT。另外,节点a做为第二输出端,用以产生反相输出信号ZOUT。

[0024] 在切换电路205中,时序控制器210接收输出信号OUT,并产生控制信号组。控制信号组包括二个选择信号S1、S2。

[0025] 强驱动路径240与弱驱动路径250连接于电源电压 V_p 与选择电路222之间,且选择电路222连接至P型晶体管MP2的源极。另外,选择模块220的选择电路222还连接至时序控制器210,使得选择电路222根据控制信号组中的选择信号S1将强驱动路径240或弱驱动路径250连接至P型晶体管MP2的源极。

[0026] 相同地,强驱动路径260与弱驱动路径270连接于电源电压 V_p 与选择电路226之间,且选择电路226连接至P型晶体管MP1的源极。另外,选择模块220的选择电路226还连接至时序控制器210,使得选择电路226根据控制信号组中的选择信号S2将强驱动路径260或弱驱动路径270连接至P型晶体管MP1的源极。

[0027] 如图2B所示,假设变压器200处于状态(A)时,输出信号OUT为低准位Lo,反相输出信号ZOUT为第二高准位Hi2,强驱动路径240连接至P型晶体管MP2的源极,弱驱动路径270连接至P型晶体管MP1的源极。另外,当输入信号IN维持在低准位Lo且反相输入信号ZIN维持在第一高准位Hi1时,变压器200会维持在状态(A)。

[0028] 当输入信号IN转换为第一高准位Hi1且反相输入信号ZIN转换为低准位Lo时,变压器200会由状态(A)跳至状态(B)。

[0029] 在状态(A)时,强驱动路径240连接至P型晶体管MP2的源极,弱驱动路径270连接至P型晶体管MP1的源极。因此,当输入信号IN转换为第一高准位Hi1使得N型晶体管MN1被开启(turn on),由于P型晶体管MP1连接至弱驱动路径270,所以反相输出信号ZOUT快速地被下拉(pull-down)至低准位Lo。同时,反相输入信号ZIN转换为低准位Lo使得N型晶体管MN2被断开(turn off),由于P型晶体管MP2连接至强驱动路径240,所以输出信号OUT快速地被上拉(pull-up)至第二高准位Hi2。因此,当输出信号OUT为第二高准位Hi2且反相输出信号ZOUT为低准位Lo时,变压器200跳至状态(B)。此时,强驱动路径240连接至P型晶体管MP2的

源极,且弱驱动路径270连接至P型晶体管MP1的源极。

[0030] 基本上,状态(B)为一暂时状态(transient state)。变压器200会在跳至状态(B)一个时间期间(time period)T后,跳至状态(C)。再者,变压器200由状态(B)跳至状态(C)的过程,输出信号OUT与反相输出信号ZOUT皆不会改变。

[0031] 根据本发明的实施例,当输出信号OUT由低准位Lo转换为第二高准位Hi2时,时序控制器210会在一个时间期间T后,改变控制信号组的选择信号S1、S2,使得选择电路222将弱驱动路径250连接至P型晶体管MP2的源极,且使得选择电路226将强驱动路径260连接至P型晶体管MP1的源极。

[0032] 换言之,当变压器200跳至状态(C)时,输出信号OUT仍维持在第二高准位Hi2,反相输出信号ZOUT仍维持在低准位Lo,弱驱动路径250连接至P型晶体管MP2的源极,且强驱动路径260连接至P型晶体管MP1的源极。另外,当输入信号IN维持在第一高准位Hi且反相输入信号ZIN维持在低准位Lo时,变压器200会维持在状态(C)。

[0033] 当输入信号IN转换为低准位Lo且反相输入信号ZIN转换为第一高准位Hi1时,变压器200会由状态(C)跳至状态(D)。

[0034] 在状态(C)时,弱驱动路径250连接至P型晶体管MP2的源极,强驱动路径260连接至P型晶体管MP1的源极。因此,当反相输入信号ZIN转换为第一高准位Hi使得N型晶体管MN2被开启(turn on),由于P型晶体管MP2连接至弱驱动路径250,所以输出信号OUT快速地被下拉(pull-down)至低准位Lo。同时,输入信号IN转换为低准位Lo使得N型晶体管MN1被断开(turn off),由于P型晶体管MP1连接至强驱动路径260,所以反相输出信号ZOUT快速地被上拉(pull-up)至第二高准位Hi2。因此,当输出信号OUT为低准位Lo且反相输出信号ZOUT为第二高准位Hi2时,变压器200跳至状态(D)。此时,弱驱动路径250连接至P型晶体管MP2的源极,且强驱动路径260连接至P型晶体管MP1的源极。

[0035] 相同地,状态(D)为一暂时状态(transient state)。变压器200会在跳至状态(D)一个时间期间(time period)T后,跳至状态(A)。再者,变压器200由状态(D)跳至状态(A)的过程,输出信号OUT与反相输出信号ZOUT皆不会改变。

[0036] 根据本发明的实施例,当输出信号OUT由第二高准位Hi2转换为低准位Lo时,时序控制器210会在一个时间期间T后,改变控制信号组的选择信号S1、S2,使得选择电路222将强驱动路径240连接至P型晶体管MP2的源极,且使得选择电路226将弱驱动路径270连接至P型晶体管MP1的源极。

[0037] 换言之,当变压器200跳至状态(A)时,输出信号OUT仍维持在低准位Lo,反相输出信号ZOUT仍维持在第二高准位Hi2,强驱动路径240连接至P型晶体管MP2的源极,且弱驱动路径270连接至P型晶体管MP1的源极。

[0038] 相同地,当输入信号IN为低准位Lo且反相输入信号ZIN为第一高准位Hi1时,变压器200维持在状态(A)。另外,当输入信号IN转换为第一高准位Hi1且反相输入信号ZIN转换为低准位Lo时,变压器200会由状态(A)跳至状态(B)。

[0039] 由于输出信号OUT与反相输出信号ZOUT为互补信号。所以在此领域的技术人员可以简单修改切换电路205中的时序控制器210,使得时序控制器210接收反相输出信号ZOUT并产生控制信号组的选择信号S1、S2。当然,切换电路205中的时序控制器210也可以接收输出信号OUT与反相输出信号ZOUT并产生控制信号组的选择信号S1、S2。

[0040] 请参照图3A与图3B,其所绘示为本发明变压器的第二实施例及其相关信号示意图。变压器300包括切换电路305、P型晶体管MP1、P型晶体管MP2、N型晶体管MN1与N型晶体管MN2。其中,P型晶体管MP1、P型晶体管MP2、N型晶体管MN1与N型晶体管MN2的连接关系与第一实施例相同,此处不再赘述。

[0041] 切换电路305包括:时序控制器310、选择模块320、强驱动路径240、260以及弱驱动路径250、270。另外,选择模块320中包括选择电路322、326。其中,切换电路305的时序控制器310接收输出信号OUT与反相输出信号ZOUT,并产生控制信号组。控制信号组包括二个选择信号S1、S2。

[0042] 强驱动路径240连接于电源电压 V_p 与选择电路322的第一输入端(0)之间,弱驱动路径250连接于电源电压 V_p 与选择电路322的第二输入端(1)之间。选择电路322的输出端(0)连接至P型晶体管MP2的源极。因此,当选择信号S1为第二高准位Hi2时,第二输入端(1)连接至输出端(0),使得弱驱动路径250连接至P型晶体管MP2的源极。当选择信号S1为低准位时,第一输入端(0)连接至输出端(0),使得强驱动路径240连接至P型晶体管MP2的源极。

[0043] 强驱动路径260连接于电源电压 V_p 与选择电路326的第一输入端(0)之间,弱驱动路径270连接于电源电压 V_p 与选择电路326的第二输入端(1)之间。选择电路326的输出端(0)连接至P型晶体管MP1的源极。因此,当选择信号S2为第二高准位Hi2时,第二输入端(1)连接至输出端(0),使得弱驱动路径270连接至P型晶体管MP1的源极。当选择信号S2为低准位时,第一输入端(0)连接至输出端(0),使得强驱动路径260连接至P型晶体管MP1的源极。

[0044] 根据本发明的第二实施例,时序控制器310可由延迟电路(delay circuit)来实现。举例来说,时序控制器310接收输出信号OUT,并将输出信号OUT延迟一个时间期间T后,成为选择信号S1。亦即,选择信号S1落后(lag)输出信号OUT一个时间期间T。另外,时序控制器310接收反相输出信号ZOUT,并将反相输出信号ZOUT延迟一个时间期间T后,成为选择信号S2。亦即,选择信号S2落后反相输出信号ZOUT一个时间期间T。另外,时间期间T可设计在5ns~15ns之间。

[0045] 如图3B所示,在时间点 t_1 之前,变压器300处于状态(A),输出信号OUT为低准位Lo,反相输出信号ZOUT为第二高准位Hi2。再者,由于选择信号S1为低准位Lo,所以强驱动路径240连接至P型晶体管MP2的源极。另外,由于选择信号S2为第二高准位Hi2,所以弱驱动路径270连接至P型晶体管MP1的源极。

[0046] 在时间点 t_1 ,输出信号OUT转换为第二高准位Hi2且反相输出信号ZOUT转换为低准位Lo。此时,变压器300由状态(A)跳至状态(B)。另外,由于选择信号S1为低准位Lo,所以强驱动路径240连接至P型晶体管MP2的源极。由于选择信号S2为第二高准位Hi2,所以弱驱动路径270连接至P型晶体管MP1的源极。

[0047] 在时间点 t_2 ,亦即变压器300跳至状态(B)的一个时间期间T后,由于选择信号S1转换为第二高准位Hi2,所以弱驱动路径250连接至P型晶体管MP2的源极。由于且选择信号S2转换为低准位Lo,所以强驱动路径260连接至P型晶体管MP1的源极。再者,输出信号OUT维持在第二高准位Hi2且反相输出信号ZOUT维持在低准位Lo。因此,变压器300由状态(B)跳至状态(C)。

[0048] 在时间点 t_3 ,输出信号OUT转换为低准位Lo且反相输出信号ZOUT转换为第二高准位Hi2。此时,变压器300由状态(C)跳至状态(D)。另外,由于选择信号S1为第二高准位Hi2,

所以弱驱动路径250连接至P型晶体管MP2的源极。由于选择信号S2为低准位Lo,所以强驱动路径260连接至P型晶体管MP1的源极。

[0049] 在时间点t4,亦即变压器300跳至状态(D)的一个时间期间T后,由于选择信号S1转换为低准位Lo,所以强驱动路径240连接至P型晶体管MP2的源极。由于且选择信号S2转换为第二高准位Hi2,所以弱驱动路径270连接至P型晶体管MP1的源极。再者,输出信号OUT维持在低准位Lo且反相输出信号ZOUT维持在第二高准位Hi2。因此,变压器300由状态(D)跳至状态(A)。

[0050] 相同地,在时间点t5,变压器300由状态(A)跳至状态(B)。在时间点t6,变压器300由状态(B)跳至状态(C)。其详细运作原理不再赘述。

[0051] 另外,由于输出信号OUT与反相输出信号ZOUT为互补信号。所以在此领域的技术人员可以简单修改切换电路305中的时序控制器310,使得时序控制器310仅接收输出信号OUT并产生控制信号组的选择信号S1、S2。当然,切换电路305中的时序控制器310也可以仅接收反相输出信号ZOUT并产生控制信号组的选择信号S1、S2。

[0052] 请参照图4A与图4B,其所绘示为本发明变压器的第三实施例及其相关信号示意图。变压器400包括切换电路405、P型晶体管MP1、P型晶体管MP2、N型晶体管MN1与N型晶体管MN2。其中,P型晶体管MP1、P型晶体管MP2、N型晶体管MN1与N型晶体管MN2的连接关系与第一实施例相同,此处不再赘述。

[0053] 切换电路405包括:时序控制器410、选择模块420、强驱动路径440、460以及弱驱动路径450、470。另外,选择模块420中包括选择电路422、426。其中,切换电路405的时序控制器410接收输出信号OUT与反相输出信号ZOUT,并产生控制信号组。控制信号组包括二个选择信号S1、S2。

[0054] 根据本发明的第三实施例,选择电路422包括P型晶体管M1、M2与反相器424。反相器424接收选择信号S1,并产生选择信号S3。P型晶体管M1的源极为选择电路422的第一输入端,栅极接收选择信号S1,漏极为选择电路422的输出端且连接至P型晶体管MP2的源极。P型晶体管M2的源极为选择电路422的第二输入端,栅极接收选择信号S3,漏极连接至P型晶体管M1的漏极。

[0055] 选择电路426包括P型晶体管M4、M5与反相器428。反相器428接收选择信号S2,并产生选择信号S4。P型晶体管M4的源极为选择电路426的第一输入端,栅极接收选择信号S2,漏极为选择电路426的输出端并连接至P型晶体管MP1的源极。P型晶体管M5的源极为选择电路426的第二输入端,栅极接收选择信号S4,漏极连接至P型晶体管M4的漏极。

[0056] 再者,强驱动路径440为一条导线(conducting line),连接于电源电压Vp与选择电路422的第一输入端之间。弱驱动路径450包括一P型晶体管M3,其栅极接收一偏压电压Vbias1,源极接收电源电压Vp,漏极连接至选择电路422的第二输入端。强驱动路径460为一条导线,连接于电源电压Vp与选择电路426的第一输入端之间。弱驱动路径470包括一P型晶体管M6,其栅极接收一偏压电压Vbias2,源极接收电源电压Vp,漏极连接至选择电路426的第二输入端。

[0057] 其中,弱驱动路径450、470中的P型晶体管M3、M6,其具备较小的通道长宽比(channel aspect ratio)。再者,偏压电压Vbias1与Vbias2可为相同的电压,例如接地电压。或者,偏压电压Vbias1与Vbias2也可以是其他的信号,例如输入信号IN可作为偏压电压

Vbias1, 反相输入信号ZIN可作为偏压电压Vbias2。

[0058] 根据本发明的第三实施例, 时序控制器410可由延迟电路(delay circuit)来实现。举例来说, 时序控制器410接收输出信号OUT, 并将输出信号OUT延迟一个时间期间T后, 成为选择信号S1。亦即, 选择信号S1落后输出信号OUT一个时间期间T。另外, 时序控制器410接收反相输出信号ZOUT, 并将反相输出信号ZOUT延迟一个时间期间T后, 成为选择信号S2。亦即, 选择信号S2落后反相输出信号ZOUT一个时间期间T。再者, 选择信号S1相同于选择信号S4, 选择信号S2相同于选择信号S3。另外, 时间期间T可设计在5ns~15ns之间。

[0059] 如图4B所示, 在时间点t1之前, 变压器400处于状态(A), 输出信号OUT为低准位Lo, 反相输出信号ZOUT为第二高准位Hi2。再者, 由于选择信号S1为低准位Lo且选择信号S3为第二高准位Hi2, P型晶体管M1开启(turn on)且P型晶体管M2断开(turn off), 所以强驱动路径440连接至P型晶体管MP2的源极。另外, 由于选择信号S2为第二高准位Hi2且选择信号S4为低准位Lo, P型晶体管M4断开(turn off)且P型晶体管M5开启(turn on), 所以弱驱动路径470连接至P型晶体管MP1的源极。

[0060] 在时间点t1, 输出信号OUT转换为第二高准位Hi2且反相输出信号ZOUT转换为低准位Lo。此时, 变压器400由状态(A)跳至状态(B)。另外, 由于选择信号S1为低准位Lo且选择信号S3为第二高准位Hi2, P型晶体管M1开启(turn on)且P型晶体管M2断开(turn off), 所以强驱动路径440连接至P型晶体管MP2的源极。由于选择信号S2为第二高准位Hi2且选择信号S4为低准位Lo, P型晶体管M4断开(turn off)且P型晶体管M5开启(turn on), 所以弱驱动路径470连接至P型晶体管MP1的源极。

[0061] 在时间点t2, 亦即变压器400跳至状态(B)的一个时间期间T后, 由于选择信号S1转换为第二高准位Hi2且选择信号S3转换为低准位Lo, P型晶体管M1断开(turn off)且P型晶体管M2开启(turn on), 所以弱驱动路径450连接至P型晶体管MP2的源极。由于且选择信号S2转换为低准位Lo且选择信号S4转换为第二高准位Hi2, P型晶体管M4开启(turn on)且P型晶体管M5断开(turn off), 所以强驱动路径460连接至P型晶体管MP1的源极。再者, 输出信号OUT维持在第二高准位Hi2且反相输出信号ZOUT维持在低准位Lo。因此, 变压器400由状态(B)跳至状态(C)。

[0062] 在时间点t3, 输出信号OUT转换为低准位Lo且反相输出信号ZOUT转换为第二高准位Hi2。此时, 变压器400由状态(C)跳至状态(D)。另外, 由于选择信号S1为第二高准位Hi2且选择信号S3为低准位Lo, P型晶体管M1断开(turn off)且P型晶体管M2开启(turn on), 所以弱驱动路径450连接至P型晶体管MP2的源极。由于选择信号S2为低准位Lo且选择信号S4为第二高准位Hi2, P型晶体管M4开启(turn on)且P型晶体管M5断开(turn off), 所以强驱动路径460连接至P型晶体管MP1的源极。

[0063] 在时间点t4, 亦即变压器400跳至状态(D)的一个时间期间T后, 由于选择信号S1转换为低准位Lo且选择信号S4为第二高准位Hi2, P型晶体管M1开启(turn on)且P型晶体管M2断开(turn off), 所以强驱动路径440连接至P型晶体管MP2的源极。由于且选择信号S2转换为第二高准位Hi2且选择信号S4为低准位Lo, P型晶体管M4断开(turn off)且P型晶体管M5开启(turn on), 所以弱驱动路径470连接至P型晶体管MP1的源极。再者, 输出信号OUT维持在低准位Lo且反相输出信号ZOUT维持在第二高准位Hi2。因此, 变压器400由状态(D)跳至状态(A)。

[0064] 相同地,在时间点 t_5 ,变压器400由状态(A)跳至状态(B)。在时间点 t_6 ,变压器400由状态(B)跳至状态(C)。其详细运作原理不再赘述。

[0065] 另外,由于输出信号OUT与反相输出信号ZOUT为互补信号。所以在此领域的技术人员可以简单修改切换电路405中的时序控制器410,使得时序控制器410仅接收输出信号OUT并产生控制信号组的选择信号S1、S2。当然,切换电路405中的时序控制器410也可以仅接收反相输出信号ZOUT并产生控制信号组的选择信号S1、S2。

[0066] 另外,在此领域的技术人员也可以将第三实施例中的反相器424、428设计于时序控制器410中。请参照图5,其所绘示为本发明变压器的第四实施例。相较于第三实施例,其差异在于切换电路505中的选择模块520以及时序控制器510,其他的部分皆与第三实施例相同,其详细电路以及运作方式此处不再赘述。

[0067] 根据本发明的第四实施例,在变压器500中,时序控制器510可接收输出信号OUT与反相输出信号ZOUT,并产生控制信号组的四个选择信号S1~S4至选择模块520。再者,时序控制器510产生的选择信号S1~S4的波形相同于图4B。亦即,时序控制器510接收输出信号OUT,并将输出信号OUT延迟一个时间期间T后,成为选择信号S1。时序控制器510接收反相输出信号ZOUT,并将反相输出信号ZOUT延迟一个时间期间T后,成为选择信号S2。时序控制器510将选择信号S1反相后,成为选择信号S3。时序控制器510将选择信号S2反相后,成为选择信号S4。其中,时间期间T可设计在5ns~15ns之间。

[0068] 相同地,在此领域的技术人员可以简单修改切换电路505中的时序控制器510,使得时序控制器510仅接收输出信号OUT并产生控制信号组的选择信号S1~S4。当然,切换电路505中的延迟电路510也可以仅接收反相输出信号ZOUT并产生控制信号组的选择信号S1~S4。

[0069] 由以上第一实施例至第四实施例可知,选择电路会根据控制信号组来运作。以第三实施例为例,由于选择信号S1、S3会在同一个时刻转换准位,所以不论任何时刻,选择电路422仅会选择一条驱动路径连接至其输出端。因此,选择电路422在强驱动路径与弱驱动路径转换的过程,可能造成输出信号OUT的不稳定。同理,由于选择信号S2、S4会在同一个时刻转换准位,所以可能造成反相输出信号ZOUT的不稳定。

[0070] 请参照图6A与图6B,其所绘示为本发明变压器的第五实施例及其相关信号示意图。相较于第四实施例,其差异仅在于时序控制器510与时序控制器610输出的控制信号组波形不同,其他电路连接关系则与第四实施例相同,此处不再赘述。

[0071] 根据本发明的第五实施例,切换电路605内的时序控制器610可由延迟电路来实现。时序控制器610接收输出信号OUT与反相输出信号ZOUT,并产生控制信号组。控制信号组包括四个选择信号S1~S4。其中,于变压器600的状态(B)与状态(D)时,时序控制器610输出的选择信号S1、S3会短暂地处于相同准位(低准位);而选择信号S2、S4会短暂地处于相同准位(低准位)。详细说明如下。

[0072] 如图6B所示,在时间点 t_1 之前,变压器600处于状态(A),输出信号OUT为低准位 Lo ,反相输出信号ZOUT为第二高准位 Hi_2 。再者,由于选择信号S1为低准位 Lo 且选择信号S3为第二高准位 Hi_2 ,P型晶体管M1开启(turn on)且P型晶体管M2断开(turn off),所以强驱动路径440连接至P型晶体管MP2的源极。另外,由于选择信号S2为第二高准位 Hi_2 且选择信号S4为低准位 Lo ,P型晶体管M4断开(turn off)且P型晶体管M5开启(turn on),所以弱驱动路径

470连接至P型晶体管MP1的源极。

[0073] 根据本发明的第五实施例,当变压器600在状态(B)与状态(D)的时间期间T被区分为第一区间Tp1与第二区间Tp2。

[0074] 在时间点t1,输出信号OUT转换为第二高准位Hi2且反相输出信号ZOUT转换为低准位Lo。此时,变压器600由状态(A)跳至状态(B)。另外,由于选择信号S1为低准位Lo且选择信号S3为第二高准位Hi2,P型晶体管M1开启(turn on)且P型晶体管M2断开(turn off),所以强驱动路径440连接至P型晶体管MP2的源极。由于选择信号S2为第二高准位Hi2且选择信号S4为低准位Lo,P型晶体管M4断开(turn off)且P型晶体管M5开启(turn on),所以弱驱动路径470连接至P型晶体管MP1的源极。

[0075] 在时间点t2,亦即变压器600跳至状态(B)并经过第一区间Tp1后,由于选择信号S1为低准位Lo且选择信号S3转换为低准位Lo,P型晶体管M1开启(turn on)且P型晶体管M2开启(turn on),所以强驱动路径440与弱驱动路径450皆连接至P型晶体管MP2的源极。由于且选择信号S2转换为低准位Lo且选择信号S4转换为低准位Lo,P型晶体管M4开启(turn on)且P型晶体管M5开启(turn on),所以强驱动路径460与弱驱动路径470皆连接至P型晶体管MP1的源极。再者,输出信号OUT维持在第二高准位Hi2且反相输出信号ZOUT维持在低准位Lo。

[0076] 在时间点t3,亦即变压器600跳至状态(B)并经过第一区间Tp1与第二区间Tp2后,由于选择信号S1转换为第二高准位Hi2且选择信号S3转换为低准位Lo,P型晶体管M1断开(turn off)且P型晶体管M2开启(turn on),所以弱驱动路径450连接至P型晶体管MP2的源极。由于且选择信号S2为低准位Lo且选择信号S4转换为第二高准位Hi2,P型晶体管M4开启(turn on)且P型晶体管M5断开(turn off),所以强驱动路径460连接至P型晶体管MP1的源极。再者,输出信号OUT维持在第二高准位Hi2且反相输出信号ZOUT维持在低准位Lo。因此,变压器600由状态(B)跳至状态(C)。

[0077] 在时间点t4,输出信号OUT转换为低准位Lo且反相输出信号ZOUT转换为第二高准位Hi2。此时,变压器600由状态(C)跳至状态(D)。另外,由于选择信号S1为第二高准位Hi2且选择信号S3为低准位Lo,P型晶体管M1断开(turn off)且P型晶体管M2开启(turn on),所以弱驱动路径450连接至P型晶体管MP2的源极。由于选择信号S2为低准位Lo且选择信号S4为第二高准位Hi2,P型晶体管M4开启(turn on)且P型晶体管M5断开(turn off),所以强驱动路径460连接至P型晶体管MP1的源极。

[0078] 在时间点t5,亦即变压器600跳至状态(D)并经过第一区间Tp1后,由于选择信号S1转换为低准位Lo且选择信号S3为低准位Lo,P型晶体管M1开启(turn on)且P型晶体管M2开启(turn on),所以强驱动路径440与弱驱动路径450皆连接至P型晶体管MP2的源极。由于且选择信号S2为低准位Lo且选择信号S4转换为低准位Lo,P型晶体管M4开启(turn on)且P型晶体管M5开启(turn on),所以强驱动路径460与弱驱动路径470皆连接至P型晶体管MP1的源极。再者,输出信号OUT维持在低准位Lo且反相输出信号ZOUT维持在第二高准位Hi2。

[0079] 在时间点t6,亦即变压器600跳至状态(D)并经过第一区间Tp1与第二区间Tp2后,由于选择信号S1为低准位Lo且选择信号S3转换为第二高准位Hi2,P型晶体管M1开启(turn on)且P型晶体管M2断开(turn off),所以强驱动路径440连接至P型晶体管MP2的源极。由于且选择信号S2转换为第二高准位Hi2且选择信号S4为低准位Lo,P型晶体管M4断开(turn off)且P型晶体管M5开启(turn on),所以弱驱动路径470连接至P型晶体管MP1的源极。再

者,输出信号OUT维持在低准位Lo且反相输出信号ZOUT维持在第二高准位Hi2。因此,变压器600由状态(D)跳至状态(A)。

[0080] 相同地,在时间点t7,变压器600由状态(A)跳至状态(B)。其详细运作原理不再赘述。

[0081] 由以上的第一实施例至第五实施例说明可知,本发明提出一种具不对称驱动路径的变压器。当变压器的第一输出端产生高准位的输出信号且第二输出端产生低准位的反向输出信号后,第一输出端与电源电压端之间会连接一弱驱动路径,且第二输出端与电源电压端之间会连接一强驱动路径。反之,当变压器的第一输出端产生低准位的输出信号且第二输出端产生高准位的反向输出信号后,第一输出端与电源电压端之间会连接一强驱动路径,且第二输出端与电源电压端之间会连接一弱驱动路径。

[0082] 综上所述,虽然本发明已以实施例揭露如上,然其并非用以限定本发明。本发明所属技术领域中具有通常知识者,在不脱离本发明的精神和范围内,当可作各种的更动与润饰。因此,本发明的保护范围当视后附的权利要求所界定者为准。

[0083] **【符号说明】**

[0084] 100、200、300、400、500、600:变压器

[0085] 205、305、405、505、605:切换电路

[0086] 210、310、410、510、610:时序控制器

[0087] 220、320、420、520:选择模块

[0088] 222、226、322、326、422、426、522、526:选择电路

[0089] 240、260、440、460:强驱动路径

[0090] 250、270、450、470:弱驱动路径

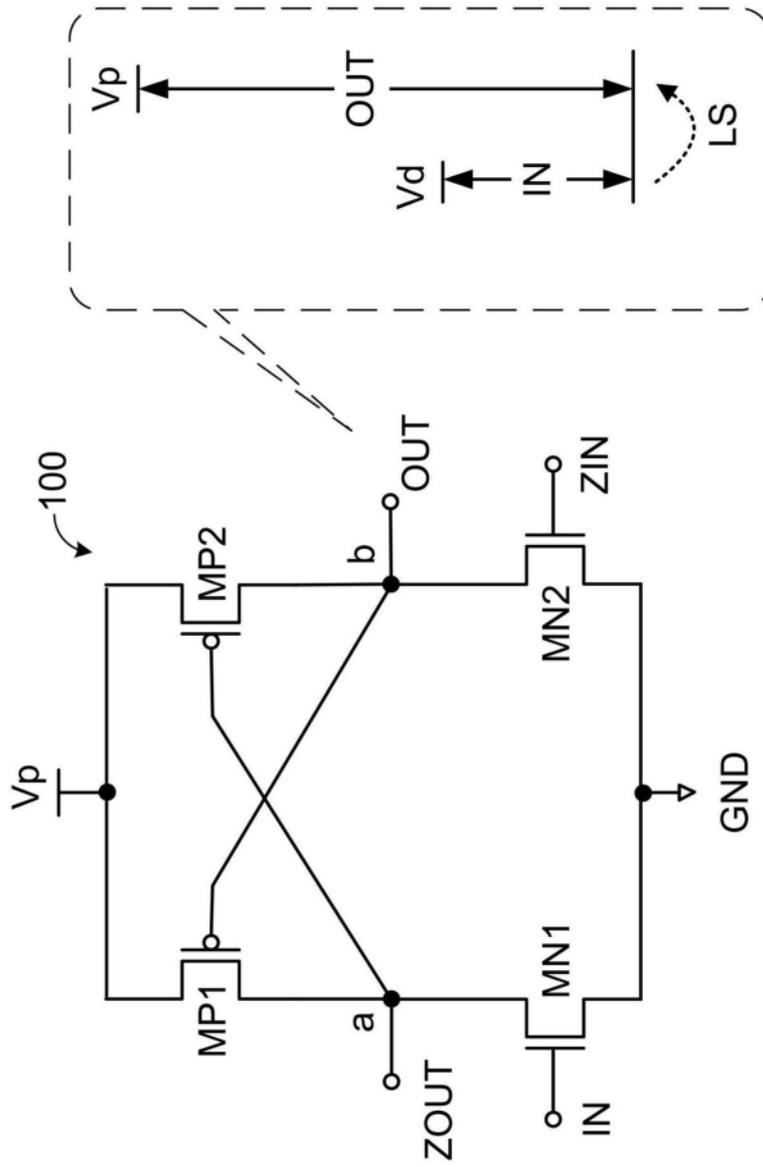


图1

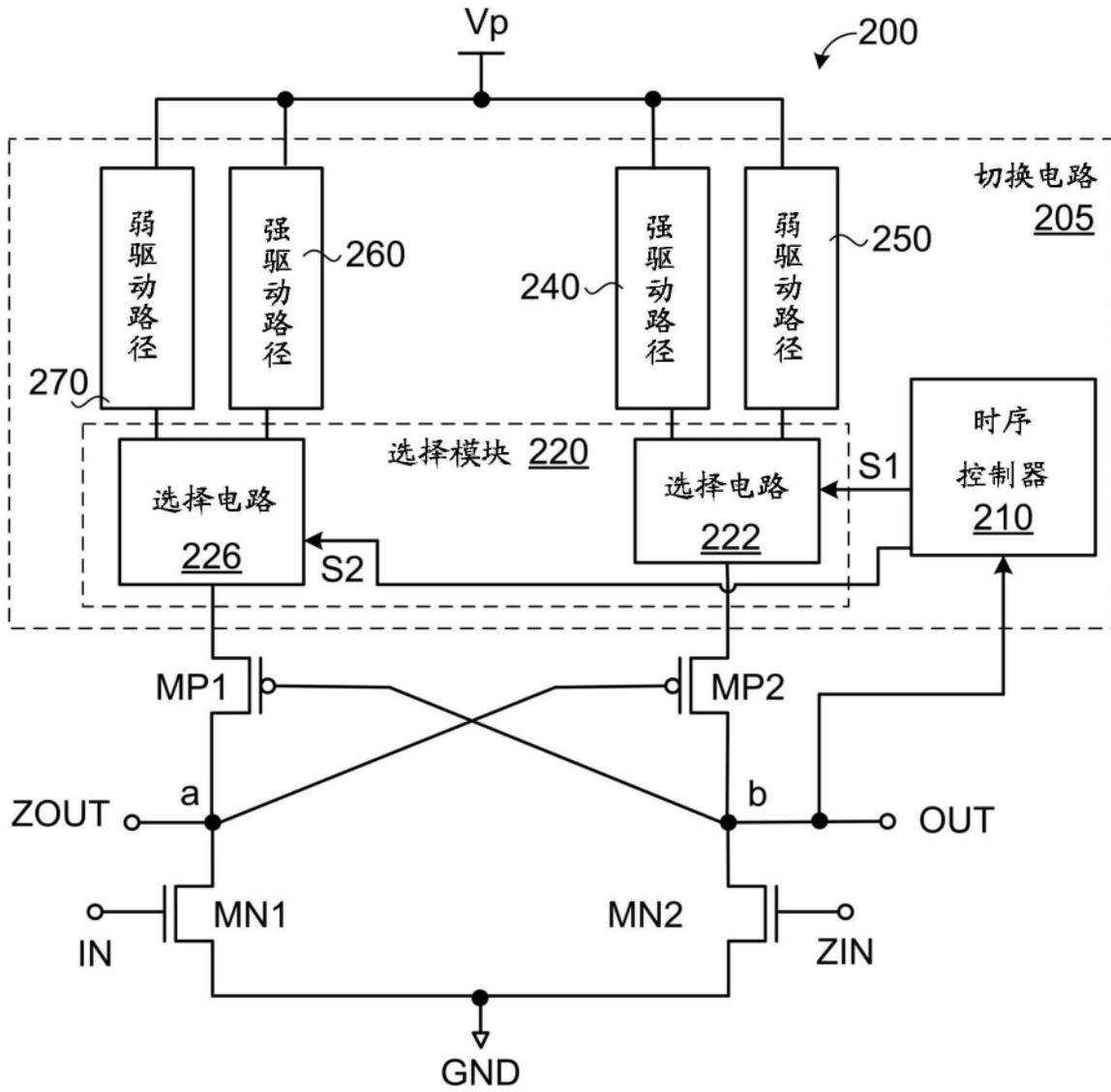


图2A

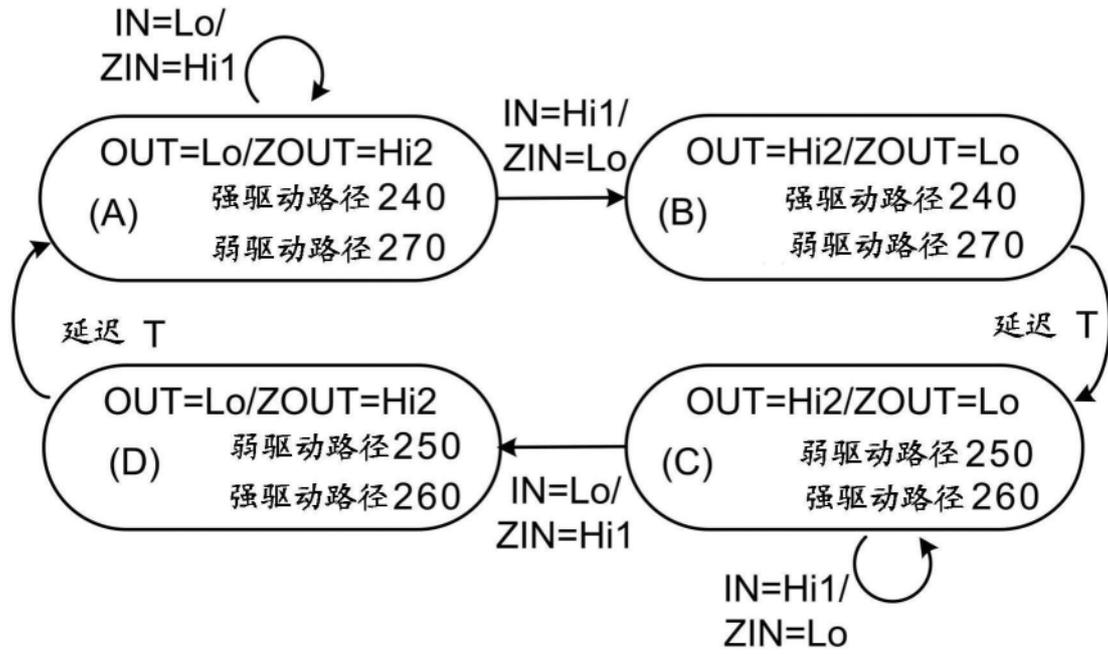


图2B

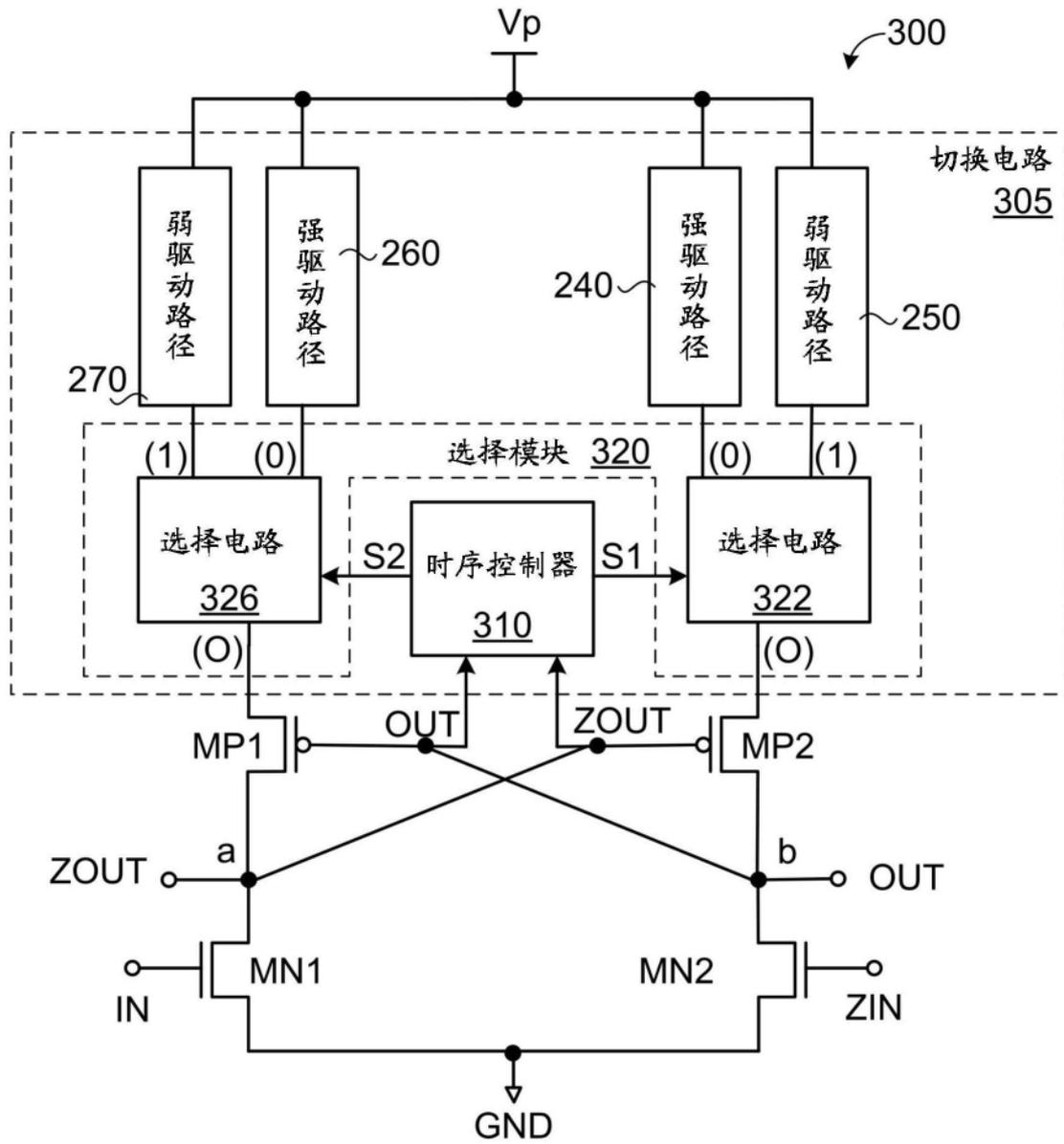


图3A

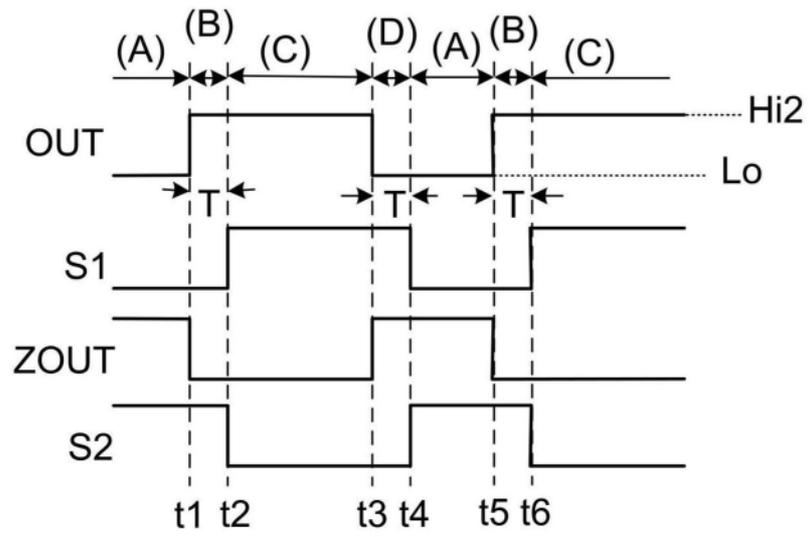


图3B

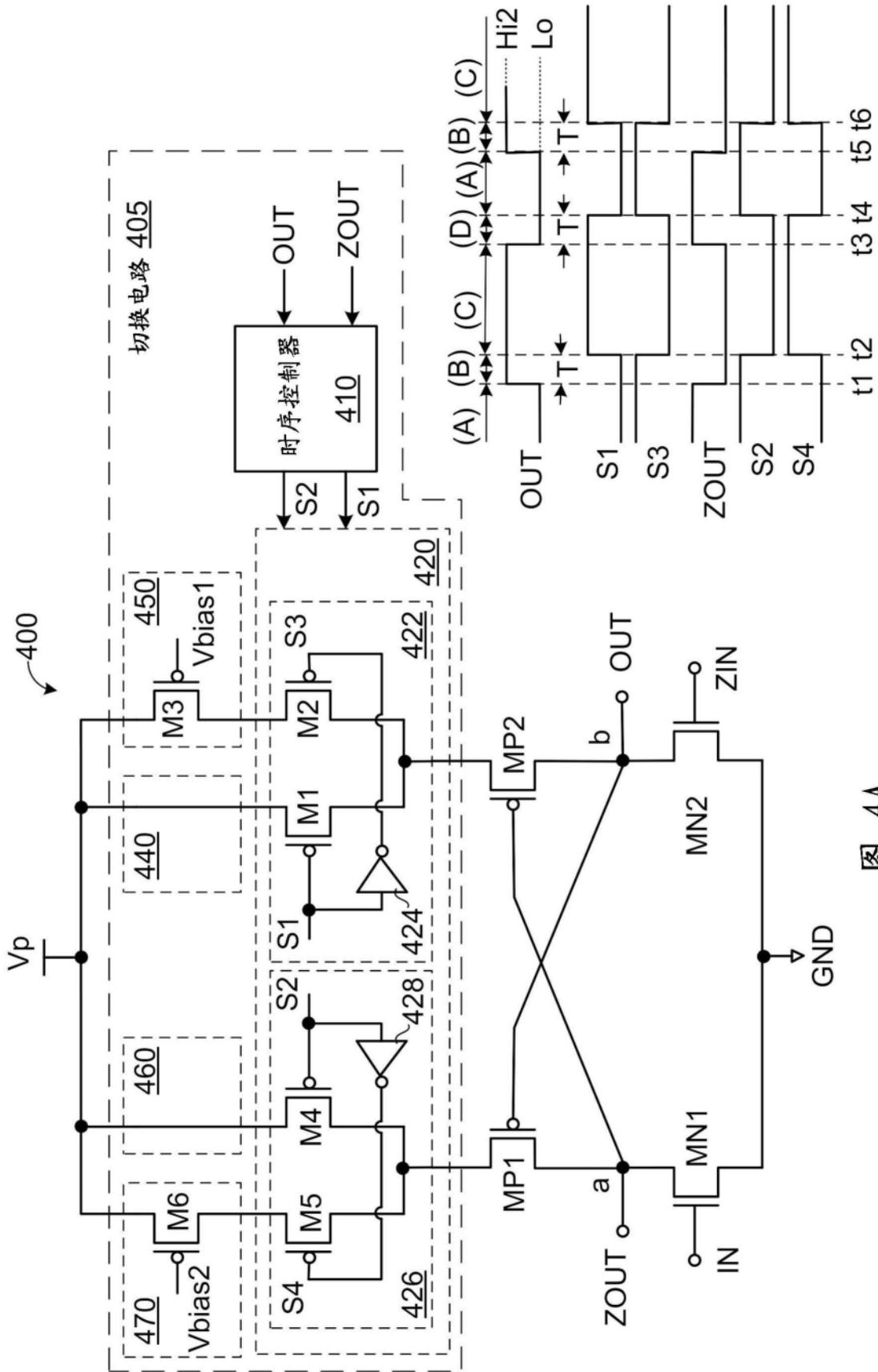


图 4A

图 4B

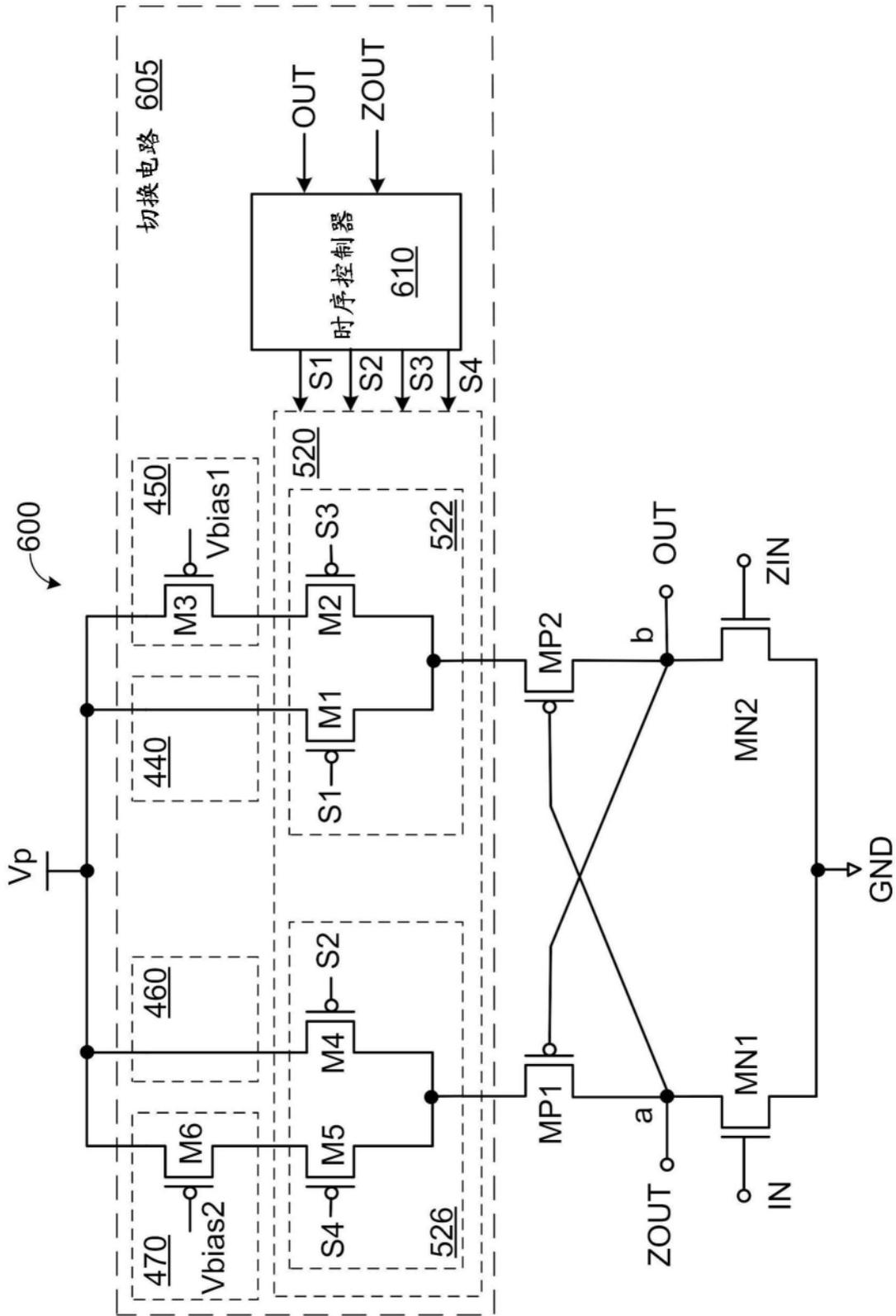


图6A

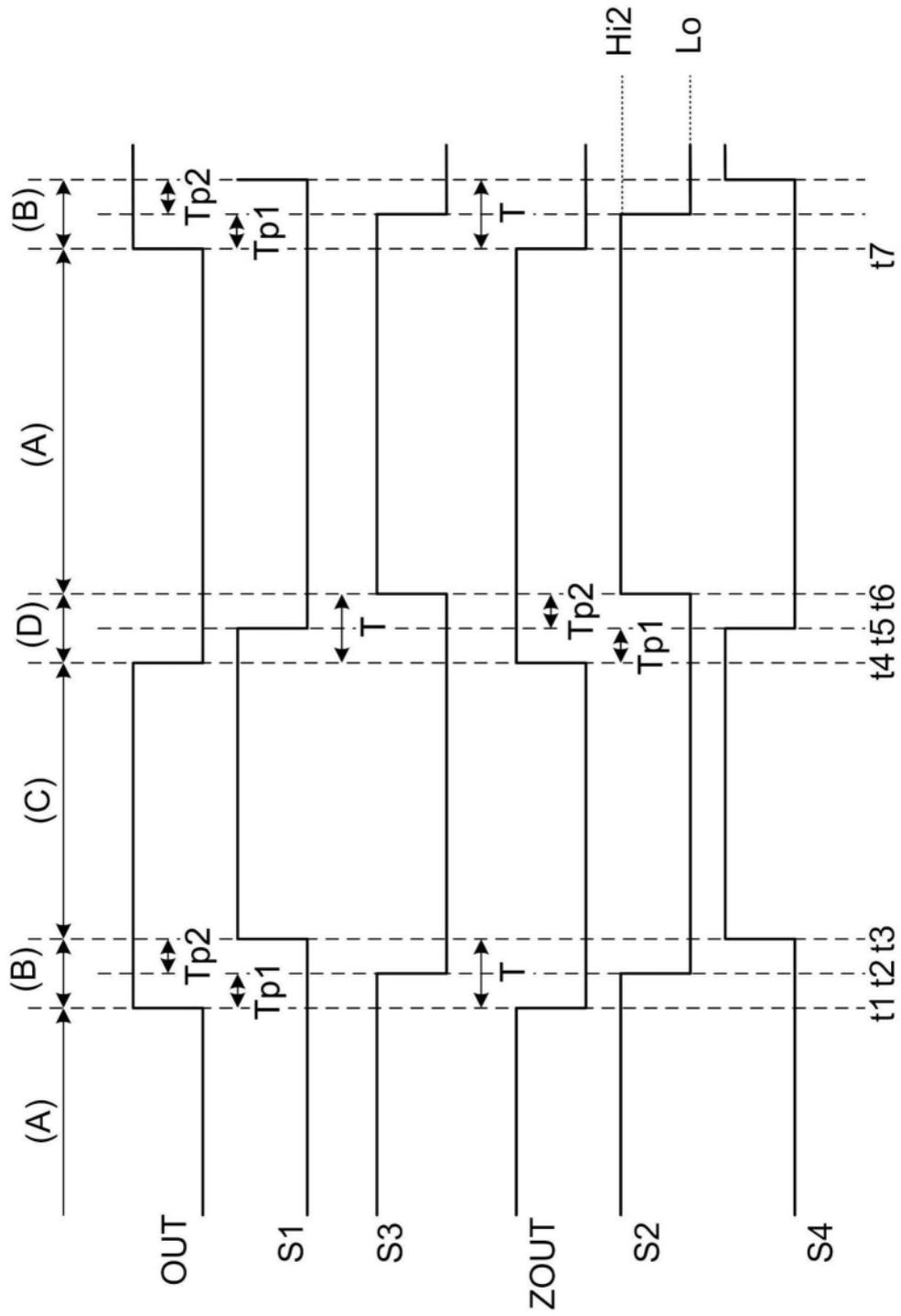


图6B